GigaDevice Semiconductor Inc.

GD32C221 芯片使用限制

勘误手册

1.4 版本

(2026 年 9 月)

目录

目录 2

图索引 4

表索引 5

1. 前言 6

1.1. 芯片版本定义 6

1.2. 芯片使用限制总览 6

2. 芯片使用限制描述 9

2.1. FMC 9
2.1.1. Flash 第一页配置为仅执行区域时，程序从 SRAM 启动会导致 RPERR 置位 9

2.2. PMU 9
2.2.1. 芯片上电时，PORRSTF 概率性无法置位 9
2.2.2. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒 9
2.2.3. 当 MCU 进入深度睡眠模式/深度睡眠模式 1 后，如果发生系统复位，极个别芯片可能会出现程序跑飞现象 10
2.2.4. 当 MCU 工作电压 V_{DD} 在 V_{POR} 和 V_{DD_Min} 之间时，有较低概率出现 EFLASH 读取出错 10

2.3. RCU 10
2.3.1. HXTAL 时钟监视器功能异常 10
2.3.2. OBRLD 置位时，会同时置位 EPRSTF 和 OBLRSTF 标志 11

2.4. GPIO 11
2.4.1. PA12 端口 LOCK 功能异常 11

2.5. ADC 11
2.5.1. 当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误 11
2.5.2. 当使能 ADC 外部触发功能并且触发信号从低电平切换到高电平时，会触发一次 ADC 转换 12
2.5.3. 模拟看门狗功能关闭后，ADC_WDx_OUT 信号无法清除 12

2.6. Tsensor 12
2.6.1. 开启关闭 Tsensor 会导致 V_{CORE} 波动 12

2.7. USART 12

2.7.1. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒 12
2.7.2. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位 13
2.7.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失 13
2.7.4. 自动波特率检测模式 1 和数据位反转功能同时开启，则自动波特率检测的那一笔数据接收出错 13
2.7.5. 智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位 14
2.7.6. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位 14
2.7.7. DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高 14
2.7.8. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR 14
2.7.9. 智能卡模式下，PERR 置位异常 15
2.7.10. 同步模式下，PERR 置位异常 15
2.7.11. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR 15
2.7.12. 自动波特率检测错误发生时，USART_BAUD 寄存器会被更新为错误的波特率值 15

2.8. SPI 16
2.8.1. SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作 16
2.8.2. SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零 16

2.9. I2S 16
2.9.1. I2S MCK 时钟输出功能异常 16

2.10. I2C 17
2.10.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死 17
2.10.2. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址 17
2.10.3. 由从机拉低 SCL 线导致的 SMBUS 主机超时，可能会导致 SMBUS 主机无法发出 STOP 信号 18
2.10.4. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常 18
2.10.5. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常 18
2.10.6. I2C 时钟配置为 IRC48M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒 19
2.10.7. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START 19

2.11. Core 19

3. 版本历史 20

图索引

图 1-1. GD32C221 的芯片修订版本 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6
表 3-1. 版本历史 20

1. 前言

该文档适用于 GD32C221 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

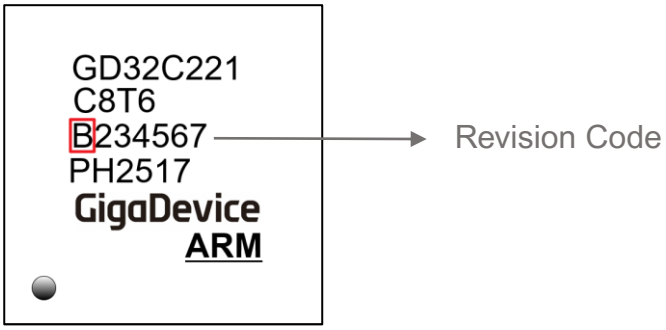
表 1-1. 适用产品

类型	产品系列
MCU	GD32C221xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32C221 的芯片修订版本*所示。

图 1-1. GD32C221 的芯片修订版本



1.2. 芯片使用限制总览

GD32C221 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案		
		修订版本 A	修订版本 B	修订版本 D
FMC	*Flash 第一页配置为仅执行区域时，程序从 SRAM 启动会导致 RPERR 置位*	Y	Y	Y
PMU	*芯片上电时，PORRSTF 概率性无法置位*	Y	Y	--
	在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒	N	N	--
	当 MCU 进入深度睡眠模式/深度睡眠模式 1 后，如果发生系统复位，极个别芯片可能会出现程序跑飞现象	Y	Y	--
	当 MCU 工作电压 VDD 在 VPOR 和 VDD_Min 之间时，有较低概率出现 EFLASH 读取出错	Y	Y	--

模块	使用限制	解决方案		
		修订版本 A	修订版本 B	修订版本 D
RCU	*HXTAL 时钟监视器功能异常*	Y	Y	--
	OBRLD 置位时，会同时置位 EPRSTF 和 OBLRSTF 标志	Y	Y	--
GPIO	*PA12 端口 LOCK 功能异常*	Y	Y	--
ADC	*当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误*	Y	Y	Y
	当使能 ADC 外部触发功能并且触发信号从低电平切换到高电平时，会触发一次 ADC 转换	Y	Y	Y
	模拟看门狗功能关闭后，ADC_WDx_OUT 信号无法清除	Y	Y	Y
Tsensor	*开启关闭 Tsensor 会导致 VCORE 波动*	N	N	--
USART	*通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒*	Y	Y	--
	通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位	Y	Y	--
	使用硬件流控方式时，USART 的高波特率会造成数据丢失	Y	Y	Y
	自动波特率检测模式 1 和数据位反转功能同时开启，则自动波特率检测的那一笔数据接收出错	Y	Y	Y
	智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位	N	N	N
	智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位	N	N	N
	DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高	N	N	N
	深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR	N	N	N
	智能卡模式下，PERR 置位异常	N	N	N
	同步模式下，PERR 置位异常	N	N	N
	深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR	N	N	N
	自动波特率检测错误发生时，USART_BAUD 寄存器会被更新为错误的波特率值	Y	Y	Y
SPI	*SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作*	Y	Y	Y
	SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零	Y	Y	Y
I2S	*I2S MCK 时钟输出功能异常*	Y	Y	--
I2C	*当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死*	Y	Y	--
	I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续	Y	Y	--

模块	使用限制	解决方案		
		修订版本 A	修订版本 B	修订版本 D
	无法匹配到从机地址			
	由从机拉低 SCL 线导致的 SMBUS 主机超时，可能会导致 SMBUS 主机无法发出 STOP 信号	N	N	--
	I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常	Y	Y	Y
	I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常	Y	Y	Y
	I2C 时钟配置为 IRC48M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒	Y	Y	--
	I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START	Y	Y	Y

注意：

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. FMC

2.1.1. Flash 第一页配置为仅执行区域时，程序从 SRAM 启动会导致 RPERR 置位

描述与影响

如果 Flash 的第一页被配置为仅执行区域，当程序从 SRAM 启动时，会导致 RPERR 误置位。

解决方案

以上问题发生时，忽略第一次 RPERR(可通过置位该位清除)。

2.2. PMU

2.2.1. 芯片上电时，PORRSTF 概率性无法置位

描述与影响

芯片上电时，PORRSTF 概率性无法置位，导致无法通过 PORRSTF 标志监测芯片是否曾经发生过上电复位。

解决方案

在应用程序初始化阶段，代码应先检查指定备份域寄存器(如 RTC_BKP0)是否为已标记值(如 0xA5)，若为非标记值，则认为发生过上电复位，然后软件将标记值写入备份域寄存器，否则认为没有发生过上电复位。此方法需占用一个备份域寄存器空间。

2.2.2. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒

描述与影响

当唤醒引脚(WKUPx)上存在频繁的唤醒信号时，若 MCU 在进入待机模式后快速(20us 内)退出，会导致内部信号 CORE_POR_H 在复位后无法再置 1，导致 CPU 无法运行，最终导致 MCU 无法被唤醒。

注意：当以上问题发生时，外部 NRST 复位也无法使 CPU 重新运行，芯片需要重新上电。

解决方案

无规避方案。针对以上应用场景，不建议使用待机模式，建议改用深度睡眠模式/深度睡眠模式 1 代替。

2.2.3. 当 MCU 进入深度睡眠模式/深度睡眠模式 1 后，如果发生系统复位，极个别芯片可能会出现程序跑飞现象

描述与影响

当 MCU 进入深度睡眠模式或深度睡眠模式 1 后(此时 EFLASH 会进入低功耗模式或掉电模式)，此时发生复位，EFLASH 上电时序参数设置接近极限(其他模式无该限制)，可能会出现极个别芯片 EFLASH 前几个字节数据加载异常情况，导致 MCU 程序跑飞。

解决方案

使用以下解决方案之一：

1) 应用中避免 MCU 在深度睡眠模式/深度睡眠模式 1 被复位(如 NRST 或 FWDGT 复位)，正常唤醒无问题。
2) 通过选项字节常开硬件看门狗，当问题发生后可通过硬件看门狗复位恢复（此方案适仅用于 EFLASH 进入低功耗模式的场景，不适用于 EFLASH 掉电模式的场景）。

注意：如对该勘误问题有疑问，建议与原厂技术支持联系获取更多细节内容。

2.2.4. 当 MCU 工作电压 V_{DD} 在 V_{POR} 和 V_{DD_Min} 之间时，有较低概率出现 EFLASH 读取出错

描述与影响

当 MCU 工作电压 V_{DD} 范围处在 V_{POR}(典型值 1.633V)和 V_{DD_Min}(典型值 2.3V)之间时，有较低概率出现 EFLASH 读取出错，MCU 进入异常状态。

解决方案

针对以上应用场景，可通过修改选项字节，将 BOR 上升阈值设置为 2.1V，BOR 下降阈值设置为 2.0V，并开启 BOR 复位功能。

2.3. RCU

2.3.1. HXTAL 时钟监视器功能异常

描述与影响

HXTAL 时钟监视器开启后，在 HXTAL 时钟丢失后，系统时钟会自动切到 CK_IRC48MDIV_SYS(IRC48M 提供时钟源)，但概率性无法产生 NMI 中断，即 HXTAL 时钟监视器概率性无法监测 HXTAL 时钟丢失。

解决方案

在开启 HXTAL 时钟监视器功能后，软件上轮询系统当前时钟源，检查是否发生过时钟切换。

2.3.2. OBRLD 置位时，会同时置位 EPRSTF 和 OBLRSTF 标志

描述与影响

由 OBRLD 置位引起的系统复位，会导致 EPRSTF 和 OBLRSTF 同时置位。

解决方案

在系统复位源处理代码片段中，当检测发现 EPRSTF 和 OBLRSTF 同时置位时，软件将其判定为选项字节加载引起的系统复位，并在处理完所有复位源判定后，清除所有复位标志。

2.4. GPIO

2.4.1. PA12 端口 LOCK 功能异常

描述与影响

复位后立刻使能 PA12 端口 LOCK 功能后，GPIOA_CTL 寄存器中的 CTL12 位域仍可以配置，但配置结果不符合预期。

解决方案

对于 PA12 端口，若要使用 LOCK 功能，需要先读整个 GPIOA_CTL 寄存器，将读取值写回，之后再使用 LOCK 功能。

2.5. ADC

2.5.1. 当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误

描述与影响

当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，在 EOC 置位后立刻读取 ADC_RDATA 寄存器会导致数据采集错误。

解决方案

在 EOC 标志置位后，延迟 2 个 ADC 时钟后再读取 ADC_RDATA 寄存器。

2.5.2. 当使能 ADC 外部触发功能并且触发信号从低电平切换到高电平时，会触发一次 ADC 转换

描述与影响

当使能 ADC 外部触发功能并且触发信号从低电平切换到高电平时，会触发一次 ADC 采样。例如，当使能常规序列外部触发源功能时(ETERC =1)，且外部触发源从软件触发(0b111)切换到 TIMER0_CH1(0b001)时，会触发一次 ADC 转换。该问题对于通过切换外部触发源来禁用外部触发功能的应用会有限制。

解决方案

在需要禁用 ADC 外部触发时，直接禁用 ADC 外部触发功能而不是切换外部触发源。

2.5.3. 模拟看门狗功能关闭后，ADC_WDx_OUT 信号无法清除

描述与影响

模拟看门狗功能关闭后，ADC_WDx_OUT 信号无法清除。此情况下，若 ADC_WDx_OUT 信号为 1 且被用作 Timer 的外部触发输入时，会导致 Timer 一直触发。

解决方案

软件需要重新初始化 ADC。

2.6. Tsensor

2.6.1. 开启关闭 Tsensor 会导致 V_{CORE} 波动

描述与影响

Tsensor 工作状态从关闭切换到开启或从开启切换到关闭时，会导致 V_{CORE} 波动，可能导致芯片进入 HardFault。

解决方案

无规避方案。不推荐客户使用。

2.7. USART

2.7.1. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒

描述与影响

当 USART 工作在多处理器通信模式且通过空闲帧将 USART 从静默模式唤醒时，在总线处于空闲模式且 USART 进入静默模式后，将导致 USART 将无法被唤醒。

解决方案

当使用空闲帧唤醒 USART 静默模式时，在总线处于空闲时，不允许进入静默模式。

2.7.2. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位

描述与影响

通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位。如果此时开启了 IDLE 中断，则在空闲帧唤醒后会进入 IDLE 中断处理函数。

解决方案

在进入静默模式前关闭 IDLE 中断，并在需要的时候开启 IDLE 中断。

2.7.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失

描述与影响

使用硬件流控方式时，当 USART 工作在高波特率通信时，由于 CTS 未及时拉低(流控不及时)，会导致数据丢失。

解决方案

不使用高波特率，或者在高波特率情况下使用 2bit 停止位。流控模式且用 1stop 位时，波特率限制在 0.7MHz 以内。

2.7.4. 自动波特率检测模式 1 和数据位反转功能同时开启，则自动波特率检测的那一笔数据接收出错

描述与影响

自动波特率检测模式 1(ABDM = 01)开启且数据位反转功能开启(DINV = 1)时，在发出自动波特率检测请求后(ABDCMD =1)，对于下一帧接收数据，从 USART_RDATA 中获取到的数据与 RX 线上的接收的数据不符，即数据接收出错。

注意：以上问题只对自动波特率检测的那一帧数据。

解决方案

如果用户关心自动波特率检测的那一帧数据，针对以上问题，则可以使用以下解决方案之一：

1) 若需要同时使用自动波特率检测功能和数据位反转功能，可使用自动波特率检测模式 0 代替(ABDM=00)。

2) 使用软件手动将数据最高位进行翻转，如果使能了奇偶校验功能，则需要软件重新计算奇偶校验位。

2.7.5. 智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位

描述与影响

智能卡模式下进行接收，接收数据帧存在重传，如果刚好重传的数据帧满足块计数值= BL+ 4，且当前重传的数据帧依旧保持校验错误而不会被移入数据寄存器，那么块结束标志(EBF)无法置位，且后续 BL 计数器持续计数，计数器跑飞，EBF 一直无法置位。

解决方案

无规避方案。

2.7.6. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位

描述与影响

智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误，会认为发生重传，但 TX 引脚未检测到 NACK 信号，读数据缓冲区非空标志(RBNE)和帧错误标志(FERR)均无法置位。

解决方案

无规避方案。

2.7.7. DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高

描述与影响

DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高，流控失效。

解决方案

无规避方案。使用中确保以上条件不同时成立。

2.7.8. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 PERR 位。例如使用 USART 地址匹配唤醒深度睡眠模式时，先收到一帧带奇偶校验错误且地址不匹配帧，再收到一帧无奇偶校验错误且地址匹配的帧，会导致在唤醒后 PERR 和 EPERR 置位。

解决方案

无规避方案。软件上忽略该情况下的奇偶校验错误。

2.7.9. 智能卡模式下，PERR 置位异常

描述与影响

智能卡模式下，NACK 禁能(NKEN = 0)且 SCRTNUM 配置为非 0 值时，当 USART 收到带奇偶校验错误的帧后，PERR 无法置位。

解决方案

无规避方案。

2.7.10. 同步模式下，PERR 置位异常

描述与影响

同步模式下且开启数据位反转(DINV = 1)功能时，即使 USART 收到无奇偶校验错误的帧，PERR 依然会置位。

解决方案

无规避方案。同步模式下不开启数据位反转功能。

2.7.11. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 PERR 位但不置位 EPERR。例如使用 USART 地址匹配唤醒深度睡眠模式时，先收到一帧带奇偶校验错误且地址不匹配帧，再收到一帧有奇偶校验错误且地址匹配的帧，会导致在唤醒后 PERR 置位但 EPERR 不置位。

解决方案

无规避方案。软件上忽略该情况下的奇偶校验错误。

2.7.12. 自动波特率检测错误发生时，USART_BAUD 寄存器会被更新为错误的波特率值

描述与影响

自动波特率检测错误发生时，USART_BAUD 寄存器会被更新为错误的波特率值。

解决方案

以上问题发生时(ABDE = 1)，重新配置为默认波特率。

2.8. SPI

2.8.1. SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作

描述与影响

SPI 工作在从机非 TI 模式(TMOD = 0)且数据有效采样边沿为第一个时钟跳变沿(CKPH = 0)，并开启 CRC 功能时，若此时从机未被片选中但 SCK 线上仍有时钟，则会导致从机 CRC 继续工作，进而导致 CRCERR 置位。该问题对于一主多从的应用场景会有限制。

解决方案

使用以下解决方案之一：

1) 使用软件片选，当从机发现未被片选中时，主动关闭 CRC 功能。
2) 主从机双方约定数据有效采样边沿为第二个时钟跳变沿(CKPH =1)。

2.8.2. SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零

描述与影响

SPI 作主机或从机且开启 CRC 校验功能，在 CRC 传输或校验完成后(通过置位 CRCNT 来发送或接收 CRC 数据并校验)，CRC 寄存器(SPI_RCRC 和 SPI_TCRC)不会自动清零，会导致下一帧数据通信时仍以上一帧计算后的 CRC 值继续进行 CRC 计算，导致 CRCERR 置位。

解决方案

在每一帧数据通信前，软件清除 CRC 值(通过将 CRCEN 先清零后置位)。

2.9. I2S

2.9.1. I2S MCK 时钟输出功能异常

描述与影响

当使能 I2S 主时钟输出功能(MCKOEN = 1)时，MCK 时钟无法正常输出，导致无法对需要额外主时钟的设备提供时钟输入。

解决方案

通过使用定时器 PWM 输出模拟 MCK 时钟输出，具体实现可参考"GD32C2x1_Demo_Suites\GD32C221C_EVAL_Demo_Suites"中的<11_I2S_Audio_Player>例程。

2.10. I2C

2.10.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死

描述与影响

当 I2C 作为从设备运行且配置为 7 位地址模式时，主机通过 IO 模拟 I2C 通信。如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Match Head Addr + Start + 7Bit Addr Read + Wait ACK+Start

当 I2C 作为从设备运行且配置为 10 位地址模式时，主机通过 IO 模拟 I2C 通信，如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Mismatch Head Addr +Start
或
Start +10 Bit Match Head Addr+Wait ACK+10 Bit Mismatch 8 Bit Addr+Start

解决方案

定时检测 SDA 状态，如果识别到 SDA 恒低，重新初始化 I2C 模块。

2.10.2. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址

描述与影响

I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，而是接着发送 START 信号启动第二帧数据的发送，会导致 I2C 从机将主机发送的从机地址第二字节(10 位地址中的低 8 位地址)识别为数据且地址匹配标志(ADDSEND)不会置位。例如，当从机处于地址轮询状态时，会导致从机一直等待地址匹配而无法跳出循环；当从机处于中断或 DMA 模式时，同样由于无法匹配从机地址而无法进行后续的数据处理。

解决方案

当 I2C 作从机使用 10 位地址模式时，外部 I2C 主机在每一帧发送结束后，要发对应的 STOP 信号。

2.10.3. 由从机拉低 SCL 线导致的 SMBUS 主机超时，可能会导致 SMBUS 主机无法发出 STOP 信号

描述与影响

当 I2C 作 SMBUS 主机时，由从机拉低 SCL 线导致的 SMBUS 主机超时，可能会导致 SMBUS 主机无法发出 STOP 信号，不满足 SMBUS 协议要求。

解决方案

无规避方案。

2.10.4. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常

描述与影响

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，然后软件修改配置为主机接收模式，此时无论 HEAD10R 配置为 0 还是 1，主机接收部分的波形都是 RESTART+10bit address head+Master Receive，即 HEAD10R 配置无效。

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，当 HEAD10R = 0 时，后续 RESTART 会直接进入主机接收的波形；HEAD10R=1，后续循环中 RESTART 将重复发送地址序列的第一部分(RESTART+10bit address head)。

解决方案

I2C 作主机配置为 10 位地址模式时，在每一帧发送结束后，要发对应的 STOP 信号。

2.10.5. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常

描述与影响

I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，I2C 主机时序形为 START+10bit address head+Master Receive，会导致从机不会 ACK，无法寻址到从机设备。该配置下，一帧正常的主机发送序列应该为 START + 10 位地址头(写)+第二个地址字节+ RESTART + 10 位地址头(读)。

解决方案

当主机需要发送 START + 10 位地址头(写)+第二个地址字节+ RESTART + 10 位地址头(读)序列时，将 HEAD10R 配置为 0。

2.10.6. I2C 时钟配置为 IRC48M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒

描述与影响

当 I2C 时钟配置为 IRC48M 的非 1 分频时，在低功耗唤醒场景下，当出现地址不匹配时，会导致 I2C 时钟丢失，导致后续无法正常唤醒。

解决方案

针对低功耗唤醒场景，将 IRC48MDIV_PER 配置为 1 分频。

2.10.7. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START

描述与影响

I2C 作主机发送完最后一字节数据，从机回复 NACK 信号，则传输完成(TC)中断里主机无法正确发送 START，即无法开启下一次传输。

解决方案

在 NACK 中断中发送一次 STOP 信号，然后再启动下一次传输。

2.11. Core

关于 Cortex-M23(r1p0)的限制，请参考"Cortex-M23 Software Developer Errata Notice"。该文档可在 ***ARM 官方网站***下载。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2025 年 9 月 22 日
1.1	1. 添加 PMU 限制，参考***当 MCU 进入深度睡眠模式/深度睡眠模式 1 后，如果发生系统复位，极个别芯片可能会出现程序跑飞现象*** 2. 更新 PMU 限制描述及解决方案，参考***在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒*** 3. 添加 RCU 限制，参考 ***OBRLD 置位时，会同时置位 EPRSTF 和 OBLRSTF 标志*** 4. 更新 GPIO 限制描述及解决方案，参考 ***PA12 端口 LOCK 功能异常*** 5. 添加 ADC 限制，参考***当 ADC 运行在常规序列模式时，在 ADC 使能后，再次置位 ADCEN 会启动一次 ADC 转换*** 6. 添加 ADC 限制，参考***当使能 ADC 外部触发功能并且触发信号从低电平切换到高电平时，会触发一次 ADC 转换*** 7. 添加 SPI 限制，参考 ***SPI 工作在从机非 TI 模式并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作*** 8. 添加 I2C 限制，参考 ***I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址*** 9. 添加 I2C 限制，参考***由从机拉低 SCL 线导致的 SMBUS 主机超时，可能会导致 SMBUS 主机无法发出 STOP 信号***	2025 年 11 月 3 日
1.2	1. 添加 A 版芯片使用限制 2. 更新 RCU 限制描述，参考 ***HXTAL 时钟监视器功能异常*** 3. 删除 ADC 限制，参考 ***ADC 运行在常规序列模式时，在 ADC 使能后，再次置位 ADCON 会启动一次 ADC 转换*** 4. 添加 PMU 限制，参考***当 MCU 工作电压 V_{DD} 在 V_{POR} 和 $V_{DD\ Min}$ 之间时，有较低概率出现 EFLASH 读取出错*** 5. 添加 Tsensor 限制，参考***开启关闭 Tsensor 会***	2026 年 1 月 4 日

	导致 V_{CORE} 波动 6. 添加 ***USART*** 限制 7. 添加 SPI 限制，参考 ***SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零*** 10. 添加 I2C 限制，参考 ***I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常***和 ***I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常***	
1.3	1. 添加 D 版芯片使用限制 2. 添加 FMC 限制，参考 ***Flash 第一页配置为仅执行区域时，程序从 SRAM 启动会导致 RPERR 置位*** 3. 添加 ADC 限制，参考***模拟看门狗功能关闭后，ADC_WDx_OUT 信号无法清除*** 4. 添加 USART 限制，参考 ***DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高***和***深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR***和***智能卡模式下，PERR 置位异常***和***同步模式下，PERR 置位异常和深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR***和***自动波特率检测错误发生时，USART_BAUD 寄存器会被更新为错误的波特率值*** 5. 添加 I2C 限制，参考 ***I2C 时钟配置为 IRC48M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒***和 ***I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START***	2026 年 5 月 24 日
1.4	1. 更新 PMU 限制解决方案，参考***当 MCU 进入深度睡眠模式/深度睡眠模式 1 后，如果发生系统复位，极个别芯片可能会出现程序跑飞现象***	2026 年 9 月 29 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved