GigaDevice Semiconductor Inc.

GD32F303xxA 芯片使用限制

勘误手册

1.1 版本

(2025 年 6 月)

目录

目录 2

图索引 4

表索引 5

1. 前言 6

1.1. 芯片版本定义 6

1.2. 芯片使用限制总览 6

2. 芯片使用限制描述 8

2.1. PMU 8

2.1.1. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒 8

2.2. RCU 8

2.2.1. 当 DSLP_HOLD 置位时，MCU 在进入深度睡眠模式后无法被唤醒 8

2.2.2. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位 8

2.3. ADC 9

2.3.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误 9

2.4. DAC 9

2.4.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点 9

2.5. USART 10

2.5.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒 10

2.5.2. 当 USART 配置为 DMA 发送模式，在置位 TEN 之前开启 DMA 通道，会导致数据丢失 10

2.5.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失 10

2.5.4. 在空闲帧唤醒模式下，USART 被空闲帧提前唤醒 10

2.6. I2C 11

2.6.1. 由于 BTC 未清除导致多读回一个数据 11

2.7. SDIO 11

2.7.1. 在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位 11

2.8. EXMC 12
2.8.1. 当 NAND 控制器保持时间设置为 1 时，会出现数据发送错误 12
2.9. Core 12
2.9.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成 12
3. 版本历史 14

图索引

图 1-1. GD32F303xxA 的芯片修订版本 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6

1. 前言

该文档适用于 GD32F303xxA 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

表 1-1. 适用产品

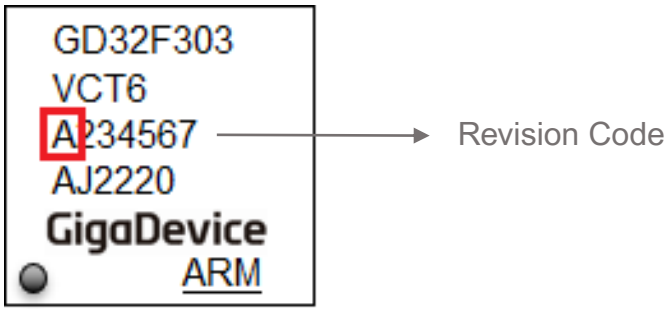
类型	产品系列
MCU	GD32F303xB 系列
	GD32F303xxA 系列

注意：具体适用产品请参考"GD32F303xB Datasheet"和"GD32F303xxA Datasheet"。

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32F303xxA 的芯片修订版本*所示。

图 1-1. GD32F303xxA 的芯片修订版本



1.2. 芯片使用限制总览

GD32F303xxA 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案	
		修订版本 A	修订版本 B
PMU	*在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒*	N	N
RCU	*当 DSLP_HOLD 置位时，MCU 在进入深度睡眠模式后无法被唤醒*	Y	Y
	当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位	Y	Y
ADC	*当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误*	Y	Y

DAC	***在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点***	Y	Y
USART	***使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒***	Y	Y
	当 USART 配置为 DMA 发送模式，在置位 TEN 之前开启 DMA 通道，会导致数据丢失	Y	Y
	使用硬件流控方式时，USART 的高波特率会造成数据丢失	N	N
	在空闲帧唤醒模式下，USART 被空闲帧提前唤醒	N	N
I2C	***由于 BTC 未清除导致多读回一个数据***	Y	Y
SDIO	***在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位***	Y	Y
EXMC	***当 NAND 控制器保持时间设置为 1 时，会出现数据发送错误***	Y	Y
Core	***当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成***	Y	Y

注意：

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. PMU

2.1.1. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒

描述与影响

当通过复位内部信号 STBY_CTL 进入待机模式时，如果存在小于 100ns 的毛刺信号，将会导致 MCU 无法被唤醒，因为窄的毛刺信号会导致内核电压异常。

注意： Tglitch 是 STBY_CTL 低电平与唤醒信号(PA0 高电平)之间的时间。

解决方案

无规避方案。

2.2. RCU

2.2.1. 当 DSLP_HOLD 置位时，MCU 在进入深度睡眠模式后无法被唤醒

描述与影响

当 DSLP_HOLD 位被置位，并在深度睡眠模式下调试 MCU 时，MCU 将无法被唤醒。

解决方案

当 DSLP_HOLD 位置位以使能低功耗调试时，应用程序需在进入深度睡眠模式前将系统时钟切换至 IRC8M。

2.2.2. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位

描述与影响

当 LXTAL 意外停振时，LXTALSTB 位无法通过禁能 LXTAL 清除，导致 LXTAL 无法重新启动。

解决方案

通过重复置位和复位 LXTALBPS 超过十次来清除 LXTALSTB 位，然后重新配置 LXTAL。以下是清除 LXTALSTB 位的参考代码：

```
void lxtal_stb_clear(void)
{
    volatile  uint32_t i = 0U;
    /* close LXTAL clock */
```

```
    rcu_osci_off(RCU_LXTAL);
    for(i = 0; i < 10; i++) {
        /* enable the LXTAL bypass mode */
        rcu_osci_bypass_mode_enable(RCU_LXTAL);
        /* disable the LXTAL bypass mode */
        rcu_osci_bypass_mode_disable(RCU_LXTAL);
    }
}
```

2.3. ADC

2.3.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误

描述与影响

当 ADC 时钟相较于 PCLK 时钟慢很多时，在 EOC 置位后立刻读取 ADC_RDATA 寄存器会导致数据采集错误。

解决方案

当 EOC 置位和读取 ADC_RDATA 之间的延迟不超过两个 ADC 时钟时，在 EOC 标志置位后，延迟 2 个 ADC 时钟后再读取 ADC_RDATA 寄存器。

2.4. DAC

2.4.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点

描述与影响

当 DAC 配置为噪声模式且 DAC 输出值设置为较大值时，叠加值(DH+DWBW)将超过最大值 4095，导致 DAC 输出信号出现零电压异常断点。

解决方案

配置 DAC 输出值和噪声波峰值时，避免叠加值(DH+DWBW)溢出。

2.5. USART

2.5.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒

描述与影响

静默模式使能后，对 USART_CTL0 寄存器的操作会使 USART 从静默模式唤醒。

解决方案

当使能静默模式并使用硬件方式检测空闲帧唤醒时，不允许对 USART_CTL0 寄存器进行操作。当使能静默模式并使用软件方式检测空闲帧唤醒时，只在需要退出静默模式时才允许操作 USART_CTL0 寄存器。

2.5.2. 当 USART 配置为 DMA 发送模式，在置位 TEN 之前开启 DMA 通道，会导致数据丢失

描述与影响

当 USART 配置为 DMA 发送模式(置位 DEN 位)时，在禁能发送器(复位 TEN 位)时启用 DMA 通道传输将导致缓冲区中的所有数据被发送到 USART 数据寄存器，导致数据丢失。

解决方案

在使能对应 DMA_CHxCTL 寄存器的 CHEN 位之前，先置位 USART_CTL0 寄存器中的 TEN 位。

2.5.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失

描述与影响

在 USART 波特率较高的情况下，采用硬件流控方式时，由于接收端 RTS 上拉的时间滞后，导致发送端没有及时检测到 RTS 电平，导致 USART 发送端多发送一个数据。

解决方案

无规避方案。

2.5.4. 在空闲帧唤醒模式下，USART 被空闲帧提前唤醒

描述与影响

在多处理器通信模式下，当 USART 配置为空闲帧唤醒时，在检测到指定长度的空闲帧之前，

USART 将从静默模式提前唤醒(IDELF 置为 1)。

解决方案

无规避方案。

2.6. I2C

2.6.1. 由于 BTC 未清除导致多读回一个数据

描述与影响

当 RBNE 置位且 BTC 未置位时，如果在读取 I2C_DATA 寄存器数据之前发生中断且在中断处理过程中 BTC 标志被置位，那么 I2C 将额外读取一个数据，原因是只读取数据操作无法清除 BTC 标志。

解决方案

1) 使用中断方法读取 I2C_DATA 寄存器(需要更高的中断优先级)；
2) 使用 DMA 方法读取 I2C_DATA 寄存器(推荐)。

2.7. SDIO

2.7.1. 在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位

描述与影响

在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位。

解决方案

使用以下解决方案之一：

1) 当使用轮询模式时，软件应同时检查 STBITE 标志和 DTEND 标志。仅当 STBITE 置位且 DTEND 未置位时，STBITE 标志才被视为有效。参考代码如下：

```
if ((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
   (RESET == sdio_flag_get(SDIO_FLAG_DTEND))){
    /* user code */
    ....
}
```

2) 当使用中断模式时，中断函数应优先处理 DTEND 标志，再处理 STBITE 标志，并在处理 DTEND 标志的代码中清除中断使能位 STBITEIE。参考代码如下：

```
void SDIO_IRQHandler(void){
    if((RESET != sdio_flag_get(SDIO_FLAG_DTEND)) && \\
      (0U != (SDIO_INTEN & SDIO_INTEN_DTENDIE))){
        sdio_interrupt_disable(SDIO_INT_STBITE);
        /* user code */
        ....
    }
    if((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
      (0U != (SDIO_INTEN & SDIO_INT_STBITE))){
        /* user code */
        ....
    }
}
```

3) 多块读不使用 CMD12 停止数据开放式传输的方式，而是使用 CMD23 提前通知从机设备需要传输的数据块数量。那么当 DTEND 置位后，从机不会再有多余的数据发送到数据线上。

2.8. EXMC

2.8.1. 当 NAND 控制器保持时间设置为 1 时，会出现数据发送错误

描述与影响

当保持时间(ATTHLD/COMHLD)设置为 1 时，NAND 控制器执行写数据操作时会多发一帧数据，会导致数据发送错误。

解决方案

配置 NAND 控制器保持时间(ATTHLD/COMHLD)大于 1，参考代码如下：

```
exmc_nand_pccard_timing_parameter_struct nand_timing_init_struct;
/* configure the address hold time(or the data hold time for write operation) */
nand_timing_init_struct.holdtime = 3;
```

2.9. Core

2.9.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成

该限制参考了"Cortex-M4 & Cortex-M4 with FPU Software Developers Errata Notice"中的 Arm ID 编号 776924。

描述与影响

VDIV 和 VSQRT 指令执行需要 14 个周期。当发生中断时，VDIV 或 VSQRT 指令不会终止，

而是在中断堆栈操作期间完成执行。如果启用了浮点状态的惰性上下文保存，浮点上下文的自动堆栈不会发生，直到在中断服务程序中执行了浮点指令。

惰性上下文保存默认启用。当启用时，中断服务程序中第一条指令开始执行的最短时间为 12 个周期。在某些时间条件下，如果中断服务程序中仅有一或两条指令，VDIV 或 VSQRT 指令可能无法将其结果写入寄存器组或 FPSCR。

故障发生条件如下：

1) 浮点单元已启用。
2) 惰性上下文保存未禁能。
3) 执行了 VDIV 或 VSQRT 指令。
4) VDIV 或 VSQRT 的目标寄存器为 s0 - s15 之一。
5) 中断发生并被响应。
6) 正在执行的中断服务程序未包含浮点指令。
7) 在执行 VDIV 或 VSQRT 后 14 个周期内，执行中断返回。

这 14 个周期中最少有 12 个周期用于上下文状态入栈，剩余 2 个周期供中断服务程序中的指令使用，或在整个入栈序列中应用 2 个等待状态(这意味着每次访问的等待状态并非固定)。

通常，这意味着如果存储系统在堆栈事务中插入等待状态，则此问题无法被观察到。

此限制的影响是 VDIV 或 VSQRT 指令未正确完成，寄存器组和 FPSCR 未更新，将导致这些寄存器保存错误的过时数据。

解决方案

仅当浮点单元使能时才需要解决方案。如果堆栈位于外部存储器，则无需解决方案。

有两种可能的解决方案：

1) 通过将 FPCCR 地址 0xE000EF34 的第 30 位 LSPEN 清零(设置为 0)来禁能浮点状态的惰性上下文保存。
2) 确保每个中断服务程序除异常返回指令外包含多于 2 条指令。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 8 月 12 日
1.1	1. 添加 SDIO 模块使用限制，参考***在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位*** 2. 删除 I2C 使用限制，***由于 I2C0 和 I2C1 的启动信号存在时间差，导致仲裁获胜的 master 无法接收 ACK，总线被阻塞***和 ***I2C 主机在仲裁丢失时，无法发起新的访问***	2025 年 6 月 25 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved