

GigaDevice Semiconductor Inc.

GD32F50x 系列硬件开发指南

应用笔记

AN278

1.0 版本

(2025 年 08 月)

目录

目录	2
图索引	4
表索引	6
1. 前言	7
2. 硬件设计	8
2.1. 电源	8
2.1.1. 备份域	8
2.1.2. VDD / VDDA 电源域	9
2.1.3. 省电模式	9
2.1.4. 供电设计	10
2.2. 电源检测及复位	11
2.2.1. POR / PDR	12
2.2.2. LVD	12
2.2.3. VAVD	13
2.2.4. VOVD 和 VUVD	13
2.2.5. NRST 引脚	14
2.3. 时钟	16
2.3.1. 外部高速晶体振荡时钟 (HXTAL)	17
2.3.2. 外部低速晶体振荡时钟 (LXTAL)	18
2.3.3. 时钟输出能力 (CKOUT)	19
2.3.4. HXTAL 时钟监视器 (HCKM)	19
2.3.5. LXTAL 时钟监视器 (LCKM)	19
2.3.6. 时钟频率监视器 (CKFM)	19
2.4. 启动配置	20
2.5. 典型外设模块	21
2.5.1. GPIO 电路	21
2.5.2. USART / UART 电路	22
2.5.3. CAN 电路	23
2.5.4. I2C 电路	24
2.5.5. SPI 电路	25
2.5.6. USB 电路	26
2.5.7. ADC 电路	27
2.5.8. DAC 电路	28
2.5.9. Standby 模式唤醒电路	29
2.5.10. Battery 电路	29
2.6. 下载调试电路	30

2.7. 参考原理图设计	33
3. PCB Layout 设计	34
3.1. 电源去耦电容	34
3.2. 时钟电路	34
3.3. 复位电路	35
3.4. USB 电路	35
4. 钢网与焊接	37
4.1. 钢网	37
4.1.1. 钢网推荐厚度	37
4.1.2. 钢网的清洁与使用	37
4.2. 焊接	38
5. 封装说明	40
6. 版本历史	41

图索引

图 2-1. GD32F50x 系列电源域概览	8
图 2-2. GD32F50x 系列推荐供电设计	10
图 2-3. RCU_RSTSCK 寄存器	11
图 2-4. 系统复位电路	11
图 2-5. 上电/掉电复位波形图	12
图 2-6. LVD 阈值波形图	12
图 2-7. VAVD 阈值监测波形图	13
图 2-8. VOVD 阈值监测波形图	14
图 2-9. VUVD 阈值监测波形图	14
图 2-10. 推荐外部复位电路	15
图 2-11. NRST 引脚上下电 MOS 管脉冲示意图	15
图 2-12. GD32F50x 系列时钟树	16
图 2-13. HXTAL 外部晶体电路	17
图 2-14. 旁路模式下 HXTAL 外部时钟电路	17
图 2-15. LXTAL 外部晶体电路	18
图 2-16. 旁路模式下 LXTAL 外部时钟电路	18
图 2-17. 推荐 BOOT 电路设计	21
图 2-18. 标准 IO 的基本结构	21
图 2-19. 无流控 USART/UART 参考电路	23
图 2-20. 流控 USART 参考电路	23
图 2-21. 同步模式下 USART 参考电路	23
图 2-22. CAN 参考电路	24
图 2-23. I2C 参考电路	24
图 2-24. SPI 四线模式参考电路	25
图 2-25. SPI 典型全双工模式连接	25
图 2-26. SPI 典型单工模式连接（主机：接收，从机：发送）	26
图 2-27. SPI 典型单工模式连接（主机：发送，从机：接收）	26
图 2-28. SPI 典型的双向线连接	26
图 2-29. 推荐 USB-Host 参考电路	27
图 2-30. 推荐 USB-Device 参考电路	27
图 2-31. ADC 采集电路设计	28
图 2-32. 推荐 Standby 外部唤醒引脚电路设计	29
图 2-33. 不可充电电池参考电路（1）	29
图 2-34. 不可充电电池参考电路（2）	29
图 2-35. 可充电电池参考电路	30
图 2-36. 推荐 JTAG 接线参考设计	31
图 2-37. 推荐 SWD 接线参考设计	31
图 2-38. GD32F50x 推荐参考原理图设计	33
图 3-1. 推荐电源引脚去耦 Layout 设计	34
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	35

图 3-3. 推荐 NRST 走线 Layout 设计	35
图 3-4. 推荐 USB 差分走线 Layout 设计	36
图 4-1. 推荐回流焊温度曲线	38

表索引

表 1-1. 适用产品	7
表 2-1. 节电模式总结	9
表 2-2. 不同复位类型下复位内容	11
表 2-3. 时钟输出的时钟源选择	19
表 2-4. 引导模式	20
表 2-5. USART/UART 重要引脚描述	22
表 2-6. 传输模式与上拉电阻参考关系	25
表 2-7. $f_{ADC} = 42\text{ MHz}$ 采样周期与外部输入阻抗关系	28
表 2-8. DAC 相关引脚描述	28
表 2-9. JTAG 下载调试接口分配	30
表 2-10. SWD 下载调试接口分配	31
表 4-1. GD32F50x 芯片推荐钢网厚度	37
表 4-2. 回流焊相关参数	38
表 5-1. 封装型号说明	40
表 6-1. 版本历史	41

1. 前言

本文是专为基于Arm® Cortex®-M33架构的32位通用MCU GD32F50x系列开发者提供的，对系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记目的是让开发者快速上手使用GD32F50x系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为8部分来讲述：

1. 电源，主要介绍GD32F50x系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32F50x系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32F50x系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32F50x系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32F50x系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32F50x系列硬件电路设计及PCB Layout设计注意事项；
7. 钢网与焊接，主要介绍钢网选择与使用方法及回流焊温度曲线；
8. 封装说明，主要介绍GD32F50x系列所包含的封装形式及命名。

该文档也满足了基于GD32F50x系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

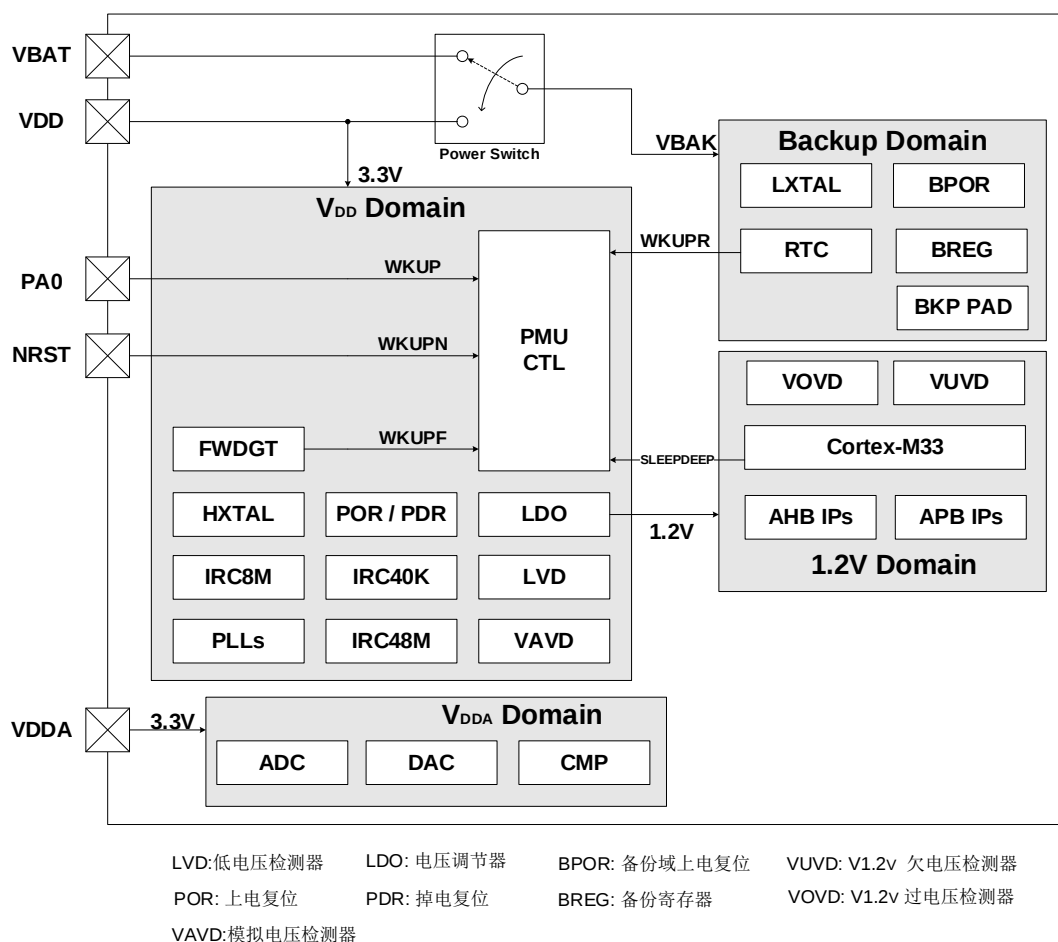
类型	型号
MCU	GD32F503xx 系列
	GD32F505xx 系列

2. 硬件设计

2.1. 电源

GD32F50x系列 V_{DD} / V_{DDA} 工作电压范围为2.6 V ~ 3.6 V。如[图2-1. GD32F50x系列电源域概览](#)所示，GD32F50x系列设备有三个电源域，包括 V_{DD} / V_{DDA} 域，1.2 V域和备份域。 V_{DD} / V_{DDA} 域由电源直接供电，且在 V_{DD} / V_{DDA} 域中嵌入了一个LDO，用来为1.2 V域供电。备份域供电 V_{BAK} 可通过电源切换器Power Switch切换由 V_{DD} 或VBAT引脚供电，当 V_{DD} 电源关闭时，电源切换器可以将备份域的电源切换到VBAT引脚，此时备份域由VBAT引脚（电池）供电。

图 2-1. GD32F50x 系列电源域概览



2.1.1. 备份域

备份域供电电压范围为1.8 V ~ 3.6 V。为了确保备份寄存器和RTC正常工作， V_{DD} 关闭时，VBAT管脚可以连接至电池或者是其他备份电源供电，但当 V_{DD} 接入后，即使VBAT管脚由外部电池等供电， V_{BAK} 还是由 V_{DD} 供电。

如果外部没有电池供电的应用，建议将VBAT引脚通过100 nF电容对地后接至 V_{DD} 引脚上。

注意：如果VBAT管脚悬空，MCU上电后Power Switch开关会将V_{BAK}切到V_{DD}上去，直接由内部V_{DD}供电给Backup域。

2.1.2. V_{DD} / V_{DDA} 电源域

V_{DD} / V_{DDA}电源域包括V_{DD}域和V_{DDA}域两部分，如果V_{DDA}不等于V_{DD}，要求两者之间的压差不能超过300 mV（芯片内部V_{DDA}与V_{DD}通过背靠背二极管连接）。为避免噪声，V_{DDA}可通过外部滤波电路连接至V_{DD}，相应的V_{SSA}通过特定电路（单点接地，通过0 Ω电阻或者磁珠等）连接至V_{SS}。

为了提高ADC的转换精度，为V_{DDA}独立供电可使模拟电路达到更好的特性。在大封装上含有作为ADC参考电压源的VREFP引脚（V_{REFP} ≤ V_{DDA}, V_{REFN} = V_{SSA}）。

在GD32F50x系列产品上，含有VREFP引脚（封装不小于100 pin的产品），VREFP引脚供电可以使用外部参考电源，也可以直连至V_{DDA}引脚。

2.1.3. 省电模式

GD32F50x系列产品提供三种省电模式，分别是睡眠模式、深度睡眠模式和待机模式，三种省电模式对比如[表2-1. 省电模式总结](#)所示。

表 2-1. 省电模式总结

模式	睡眠	深度睡眠	待机
描述	仅关闭 CPU 时钟	1、关闭 1.2V 电源域的所有时钟 2、关闭 IRC16M、HXTAL 和 PLL	1、关闭 1.2V 电源域的供电 2、关闭 IRC16M、HXTAL 和 PLL
LDO 状态	开启（正常功耗，正常驱动模式）	开启（正常功耗或低功耗模式，正常驱动或低驱动模式）	关闭
配置	SLEEPDEEP = 0	SLEEPDEEP = 1 STBMOD = 0	SLEEPDEEP = 1 STBMOD = 1, WURST=1
进入指令	WFI 或 WFE	WFI 或 WFE	WFI 或 WFE
唤醒	若通过 WFI 进入，则任何中断均可唤醒； 若通过 WFE 进入，则任何事件（或 SEVONPEND = 1 时的中断）均可唤醒	若通过 WFI 进入，来自 EXTI 的任何中断可唤醒；若通过 WFE 进入，来自 EXTI 的任何事件（或 SEVONPEND = 1 时的中断）可唤醒	1、NRST 引脚 2、WKUP 引脚 3、FWDGT 复位 4、RTC
唤醒延迟	无	IRC16M 唤醒时间 如果 LDO 处于低功耗模式，需增加 LDO 唤醒时间	上电序列

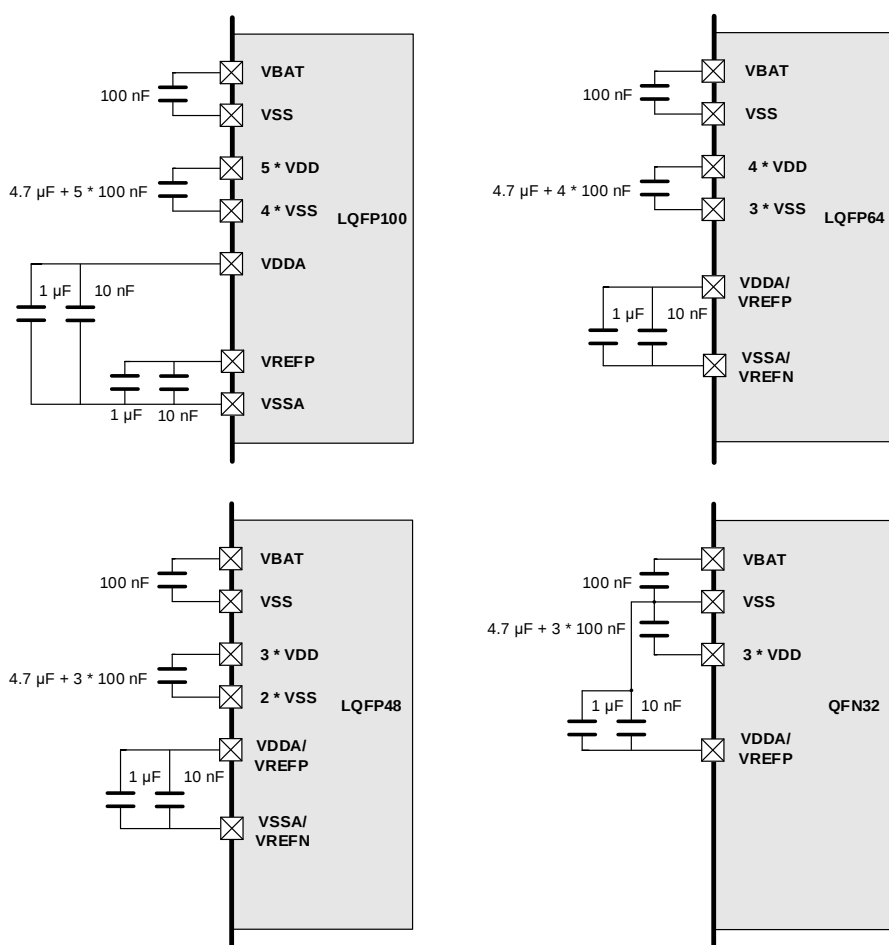
备注：在待机模式下，除NRST引脚、配置为RTC功能的PC13、用作LXTAL晶振引脚的PC14和PC15、使能的WKUP引脚外，其他所有I/O都处于高阻态。

2.1.4. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD脚必须外接电容（ $N * 100\text{ nF}$ 陶瓷电容+不小于 4.7 uF 钽电容，至少一个VDD需要接不小于 4.7 uF 电容到GND，其他VDD引脚接 100 nF ）；
- VDDA脚必须外接电容（建议 $10\text{ nF}+1\text{ uF}$ 陶瓷电容）；
- VBAT引脚必须连接至外部电池（ $1.8\text{ V} \sim 3.6\text{ V}$ ），如果没有外部电池，建议将VBAT引脚通过 100 nF 电容对地后接至VDD引脚上；
- VREFP引脚可直连至VDDA引脚，且在靠近VREFP引脚处对地连接 $10\text{ nF} + 1\text{ uF}$ 陶瓷电容。

图 2-2. GD32F50x 系列推荐供电设计



注意：

- 1、所有去耦电容须靠近芯片对应引脚放置；
- 2、当MCU电源电压不稳定，或有电压跌落等风险时，建议将VDD的 4.7 uF 电容调整为不低于 10 uF 的电容。

2.2. 电源检测及复位

GD32F50X复位控制包括三种控制方式：电源复位、系统复位和备份域复位。电源复位又称为冷复位，其复位除了备份域的所有系统。系统复位将复位除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP。备份域复位将复位备份区域。

表 2-2. 不同复位类型下复位内容

复位种类	电源复位	系统复位	备份域复位
复位内容	除了备份域的所有系统	除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP	备份区域

电源和系统复位的过程中，NRST会维持一个低电平，直至复位结束。MCU无法执行起来时，可以通过示波器监测NRST管脚波形来判断芯片是否有一直发生复位事件。

MCU复位源可以通过查询寄存器RCU_RSTSCK来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来。

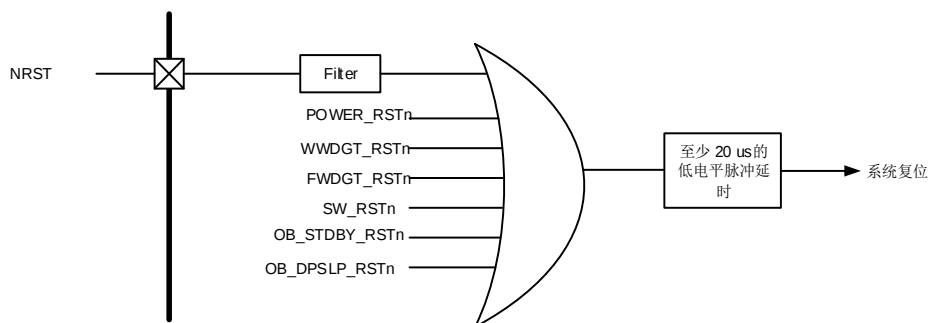
图 2-3. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP RSTF	WWDGT RSTF	FWDGT RSTF	SW RSTF	POR RSTF	EP RSTF	Reserved	RSTFC	Reserved							
r	r	r	r	r	r		rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														IRC40K STB	IRC40KE N

电源复位分为2类：1、上电 / 掉电复位（POR / PDR 复位）；2、从待机模式中返回后由内部复位发生器产生。

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100 nF），确保NRST管脚上电能产生一个至少20 us的低脉冲延时，完成有效上电复位过程。

图 2-4. 系统复位电路



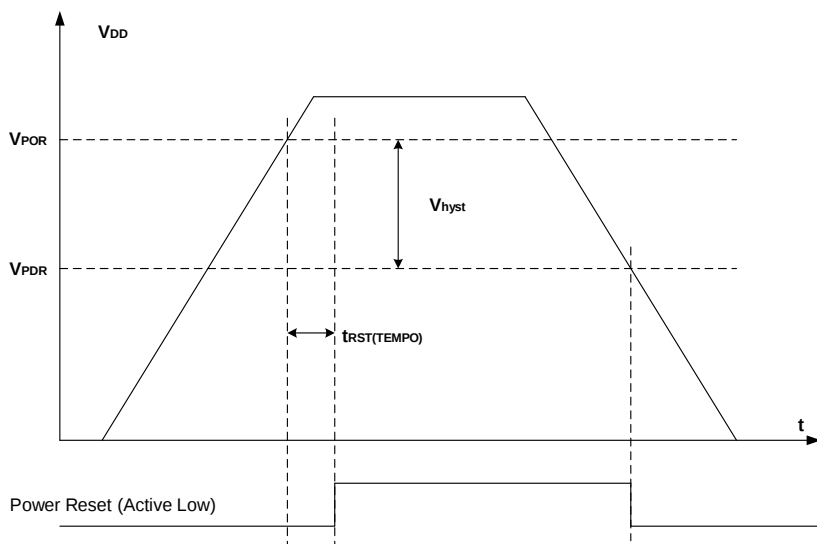
当以下事件之一发生时，产生备份域复位：

- 1、设置备份域控制寄存器中的BKPRST位为‘1’；
- 2、备份域电源上电复位（在V_{DD}和V_{BAT}两者都掉电的前提下，V_{DD}或V_{BAT}上电）。

2.2.1. POR / PDR

芯片内部集成 POR / PDR（上电/掉电复位）电路，用于检测 V_{DD} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压， V_{hyst} 值为迟滞电压，具体数值可参考值 **datasheet**。

图 2-5. 上电/掉电复位波形图

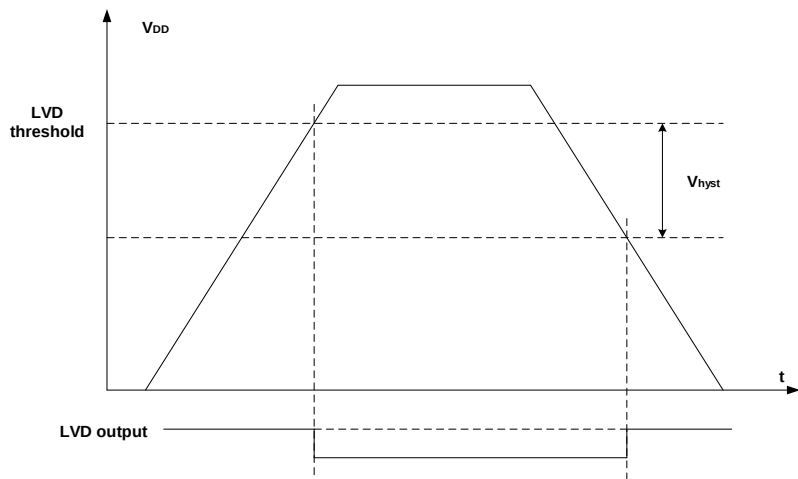


2.2.2. LVD

LVD 的功能是检测 V_{DD} 供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器 (PMU_CTL0) 中的 LVDT[2:0] 位进行配置。LVD 通过 LVDEN 置位使能，位于电源状态寄存器 (PMU_CS) 中的 LVDF 位表示低电压事件是否出现，该事件连接至 EXTI 的第 16 线，用户可以通过配置 EXTI 的第 16 线产生相应的中断。迟滞电压 V_{hyst} 值参考芯片 **datasheet**。

LVD 应用场合：当 MCU 电源受到外部干扰时，如发生电压跌落，可通过 LVD 设置低电压检测阈值（该阈值大于 PDR 值），一旦跌落到该阈值，LVD 中断被打开，可在中断函数里设置软复位等操作，避免 MCU 发生其他异常。

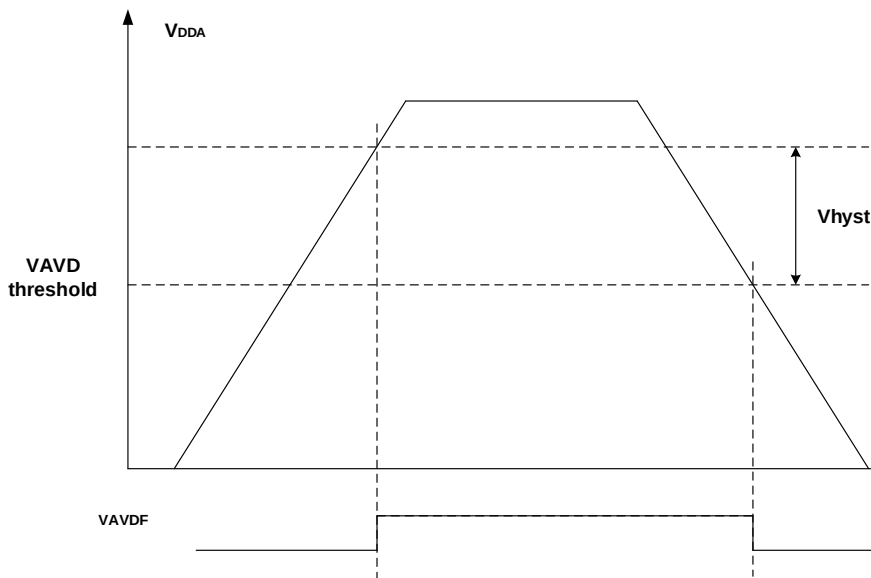
图2-6. LVD阈值波形图



2.2.3. VAVD

VAVD 用于检测 V_{DDA} 电源电压是否低于电源控制寄存器 (PMU_CTL0) 中 VAVDVC[1:0] 位域选择的编程阈值。通过置位 VAVDEN 位能够使能 VAVD，PMU_CS 寄存器中的 VAVDF 位指示 V_{DDA} 高于或低于指定的 VAVD 阈值。[图 2-7. VAVD 阈值监测波形图](#) 显示了 VAVD 门限与 VAVDF 之间的关系。迟滞电压 V_{hyst} 值参考 datasheet。

图2-7. VAVD阈值监测波形图

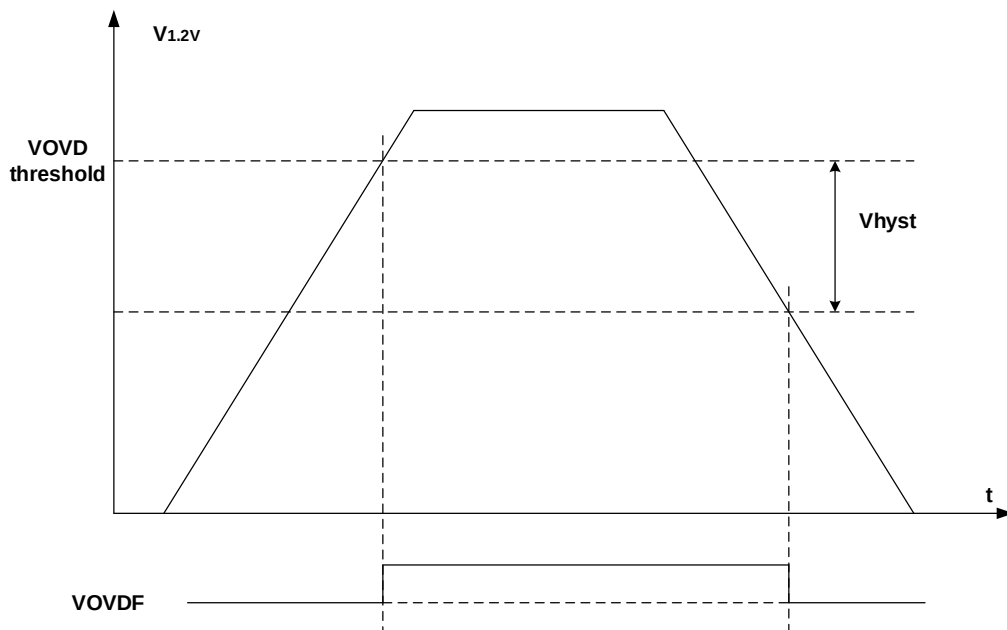


2.2.4. VOVD 和 VUVD

VUVD ($V_{1.2V}$ 欠压检测器) 和 VOVD ($V_{1.2V}$ 过压检测器) 用于检测 1.2V 电源域电压。当 1.2V 电压上电后，POR 将在 1.2V 域中产生一个复位序列，复位完成后，如果要进入指定的省电模式，须先配置相关的控制位，之后一旦执行 WFI 或 WFE 指令，设备便进入该省电模式。该电源域的电压可以通过 PMU_CTL0 寄存器中的 LDOVS[2:0] 配置。

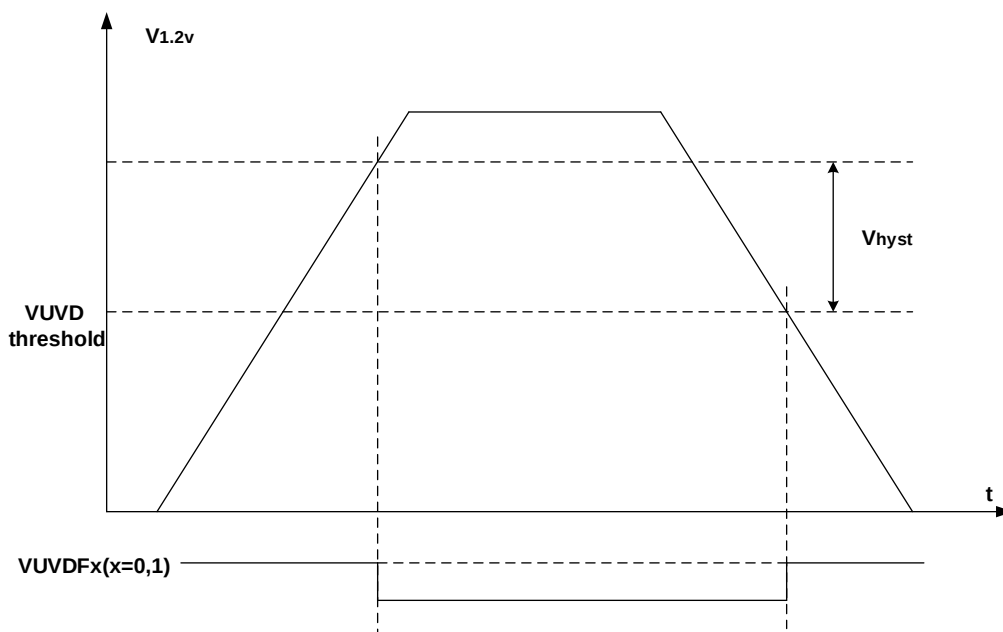
当 VOVDEN 为 0b1，将使能 1.2V 电源域电压检测器。一旦 $V_{1.2V}$ 电源域超过电源控制寄存器 (PMU_CTL0) 中 VOVDVC[1:0] 位选择的编程阈值，在模拟两个触发器同步后，VOVDF 将立即被置位。通过配置 PMU_CTL1 寄存器中的 VOVD0_DNF[7:0] 位，可以使用数字滤波后的 VOVDF。允许抑制峰值的可编程长度为 $1024 * T_{PCLK}$ 的 1 到 255。[图 2-8. VOVD 阈值监测波形图](#) 显示了 VOVD 门限与 VOVDF 之间的关系，迟滞电压 V_{hyst} 值参考 datasheet。

图2-8. VOVD阈值监测波形图



当 VUVDEN 为 0b1，将使能 1.2V 电源域电压检测器。一旦 $V_{1.2v}$ 电源域低于电源控制寄存器（PMU_CTL0）中 VUVDVC[1:0]位选择的编程阈值，在模拟两个触发器同步后，VUVDFO 将立即被置位。通过配置 PMU_CTL1 寄存器中的 VUVD0_DNF[7:0]位，可以使用数字滤波后的 VUVDFO。允许抑制峰值的可编程长度为 $1024 * T_{pclk}$ 的 1 到 255。[图 2-9. VUVD 阈值监测波形图](#)显示了 VOVD 门限与 VUVDFO 之间的关系,迟滞电压 V_{hyst} 值参考 datasheet。

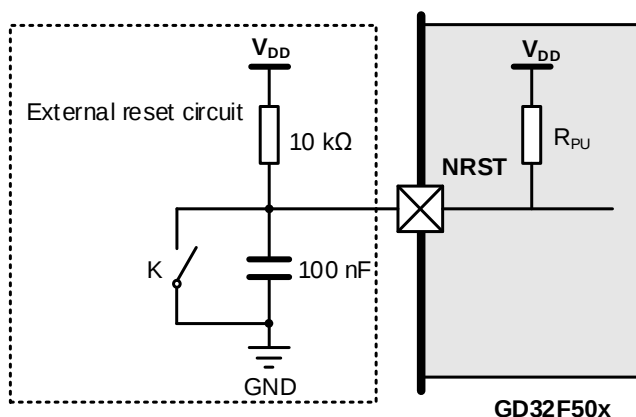
图2-9. VUVD阈值监测波形图



2.2.5. NRST 引脚

对于MCU的NRST引脚，为防止误触发复位，NRST管脚建议放置一个电容（典型值为100 nF）。

图 2-10. 推荐外部复位电路

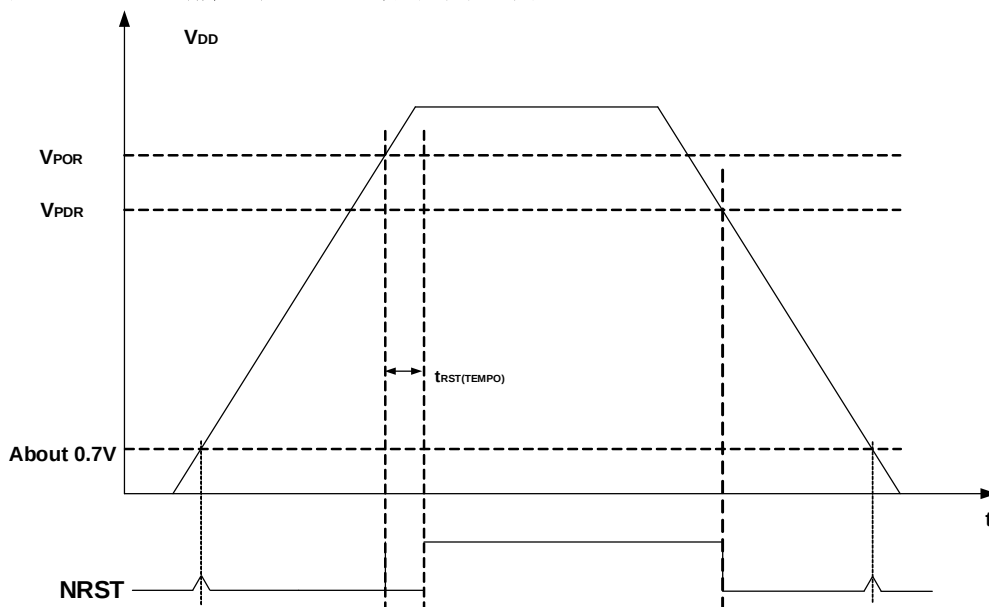


注意：

1. 内部上拉电阻 40 kΩ，建议外部上拉电阻建议 10 kΩ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管（更多硬件防护设计参考官网《[AN163 GD32 MCU EMC 硬件防护设计参考](#)》）；
3. 尽管 MCU 内部有硬件 POR 电路，仍推荐外部加 NRST 复位阻容电路；
4. 如果 MCU 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 MCU 复位完成时间，避开上电异常时序区。

因 MOS 管门限电压特性，在芯片上下电过程中，当 $V_{DD} / V_{DDA} < 0.7 V$ 时，芯片内部下拉 MOS 管不会将 NRST 引脚拉低。即，在芯片上下电过程中，在 $V_{DD} / V_{DDA} \approx 0.7 V$ 时，会出现一个微小脉冲，该脉冲不影响芯片正常工作，其示意如图 2-11. NRST 引脚上下电 MOS 管脉冲示意图中脉冲所示。

图 2-11. NRST 引脚上下电 MOS 管脉冲示意图



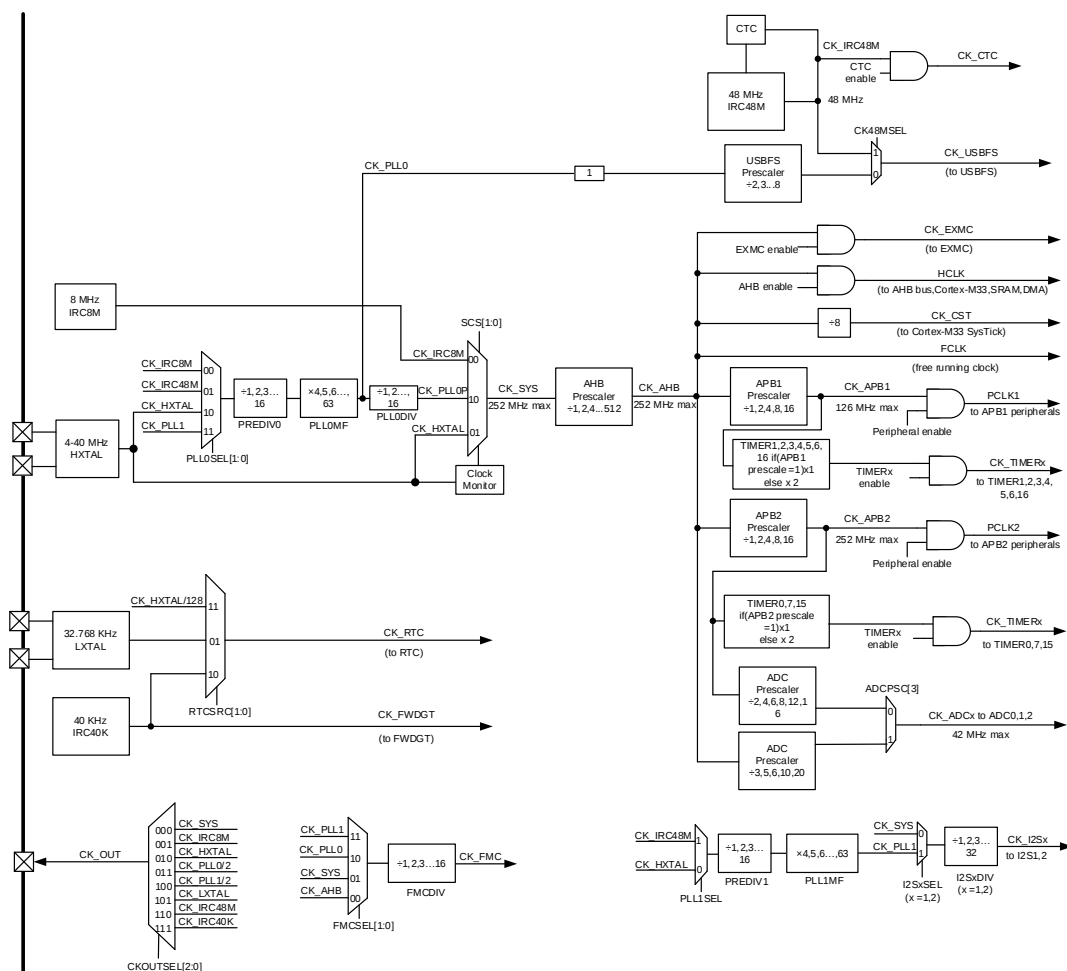
因充电和放电速度差异，下降沿的脉冲持续时间比上升沿长一些，二者持续时间都是 ms 级

2.3. 时钟

GD32F50x系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4 - 40 MHz外部高速晶体振荡器（HXTAL）
- 8 MHz内部高速RC振荡器（IRC8M）
- 48 MHz内部高速RC振荡器（IRC48M）
- 32.768 kHz外部低速晶体振荡器（LXTAL）
- 40 kHz内部低速RC振荡器（IRC40K）
- PLL0时钟源可选HXTAL、IRC8M或IRC48M
- HXTAL时钟可监控
- LXTAL时钟可监控
- 时钟频率可监控

图 2-12. GD32F50x 系列时钟树



Clock电路硬件防护设计参考官网 [《AN163 GD32 MCU EMC硬件防护设计参考》](#)。

2.3.1. 外部高速晶体振荡时钟（HXTAL）

4 - 40 MHz外部高速晶体振荡器可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源。旁路输入时，信号接至OSC_IN，OSC_OUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能RCU_CTL里的HXTALBPS位）。

图 2-13. HXTAL 外部晶体电路

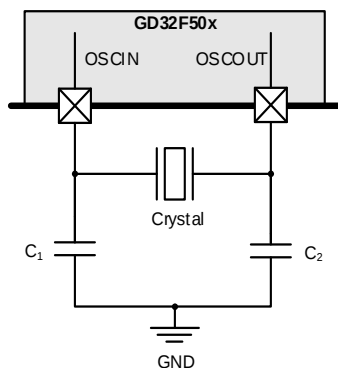
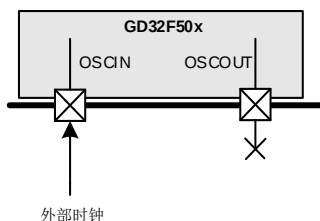


图 2-14. 旁路模式下 HXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC_IN输入，OSC_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_s)$ ，其中 C_s 为PCB和MCU引脚的杂散电容，典型值为10 pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在20 pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为20 pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. C_s 为PCB板走线及IC pin上的寄生电容，当晶体离MCU越近， C_s 越小，反之越大。所以，在实际应用中，当晶体离MCU较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联1 MΩ电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部IRC8M；
6. 正常使用有源晶振，会打开Bypass，此时要求高电平不低于0.7V_{DD}，低电平不大于0.3V_{DD}；
7. 谐振器与MCU时钟引脚连接的走线，即连接到MCU的OSC_OUT和OSC_IN两个引脚的走线，可能会因为PCB布局布线的空间限制，导致长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不相等，需要存在差值，以匹配实际的PCB板。对于这种情况，建议联系谐振器厂家，测算实际的数值。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL晶体是一个32.768 kHz的低速外部晶体，能够为RTC提供一个低功耗且高精度的时钟源。MCU的RTC模块相当于一个计数器，精度会受到晶体性能、匹配电容以及PCB材质等影响，如果想要获取到较好精度，在电路设计时，建议将PC13接至定时器输入捕获管脚，通过TIMER来对LXTAL进行校准，根据校准情况设定RTC的分频寄存器。LXTAL也可以支持旁路时钟输入（有源晶振等），可以通过配置RCU_BDCTL里面的LXTALBPS位来使能。

图 2-15. LXTAL 外部晶体电路

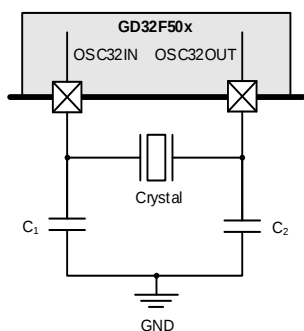
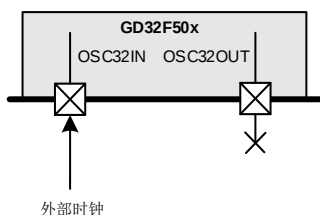


图 2-16. 旁路模式下 LXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC32_IN输入，OSC32_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2 pF – 7 pF之间，建议以5 pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10 pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10 pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC40K作为时钟源，并且使用V_{BAT}外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用V_{BAT}给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源。
4. MCU可以设置LXTAL的驱动能力。若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力。
5. 谐振器与MCU时钟引脚连接的走线，即连接到MCU的OSC_OUT和OSC_IN两个引脚的走线，可能会应PCB布局布线的空间限制，导致长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况，建议联系谐振器厂家，测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

通过设置时钟配置寄存器 0（RCU_CFG0）中的 CK_OUT 时钟源选择位域 CKOUTSEL 能够选择不同的时钟信号。相应的 GPIO 引脚应该被配置成备用功能 I/O（AFIO）模式来输出选择的时钟信号。

表 2-3. 时钟输出的时钟源选择

时钟输出的时钟源选择位域	时钟源
000	CK_SYS
001	CK_IRC8M
010	CK_HXTAL
011	CK_PLL0/2
100	CK_PLL1/2
101	CK_LXTAL
110	CK_IRC48M
111	CK_IRC40K

2.3.4. HXTAL 时钟监视器（HCKM）

设置控制寄存器 RCU_CTL 中的 HXTAL 时钟监视使能位 HCKMEN，HXTAL 可以使能时钟监视功能。该功能必须在 HXTAL 启动延迟完毕后使能，在 HXTAL 停止后禁止。一旦监测到 HXTAL 故障，HXTAL 将自动被禁止，中断寄存器 RCU_INT 中的 HXTAL 时钟阻塞中断标志位 HCKMIF 将被置‘1’，产生 HXTAL 故障事件。这个故障引发的中断和 Cortex®-M33 的不可屏蔽中断 NMI 相连。如果 HXTAL 被选作系统，PLL 或是 RTC 的时钟源，HXTAL 故障将促使选择 IRC8M 为系统时钟源，PLL 将被自动禁止，RTC 的时钟源需要重新配置。

2.3.5. LXTAL 时钟监视器（LCKM）

设置时钟控制寄存器 RCU_BDCTL 中的 LXTAL 时钟监视使能位 LCKMEN，LXTAL 可以使能时钟监视功能。该功能必须在 LXTAL 启动延迟完毕后使能。

LXTAL 上的时钟监视器在除 VBAT 以外的所有模式下工作。如果在外部 32 kHz 振荡器上检测到故障，可以向 CPU 发送中断。

然后，软件必须禁用 LCKMEN 位，停止有缺陷的 32 kHz 振荡器，并更改 RTC 时钟源，或采取任何必要的措施来保护应用程序。

当 LCKMEN 启用时，一个 4 位加一个计数器将在 IRC40K 域工作。如果 LXTAL 时钟卡在 0/1 错误或减慢约 20 kHz，计数器将溢出。将发现 LXTAL 时钟故障。一旦监测到 LXTAL 故障，中断寄存器 RCU_INT 中的 LXTAL 时钟阻塞中断标志位 LCKMIF 将被置‘1’，产生 LXTAL 故障事件。

2.3.6. 时钟频率监视器（CKFM）

该时钟频率监测器可以使用 IRC48M 对 IRC8M、HXTAL、PLL0P 和 PLL1 的时钟频率范围进

行监控。IRC8M 和 HXTAL 采用 1000 个 IRC48M 时钟周期作为监控窗口。对于 PLL0P 和 PLL1，采用 100 IRC48M 时钟周期作为监控窗口。用户可以通过配置 RCU_CKFMCFGx (x = 0,1,2,3) 寄存器来配置时钟频率的监控范围。如果使能了相应的中断，并设置了时钟频率失效标志，则将发生中断。

当 IRC48M 时钟被禁用或丢失时，时钟频率监控将失效。

2.4. 启动配置

GD32F50x 设备提供四种启动源。启动模式受到安全保护、OTP3 中的 NBTSB 和 BTFOSEL 位以及启动引脚的影响，详细说明见[表 2-4. 引导模式](#)。

在复位后，BOOT0 和 BOOT1 引脚上的值在 CK_SYS 的第 4 个上升沿被锁存。用户可自行选择所需要的引导源，通过设置上电复位和系统复位后的 BOOT0 和 BOOT1 的引脚电平。一旦这两个引脚电平被采样，它们可以被释放并用于其他用途。

表 2-4. 引导模式

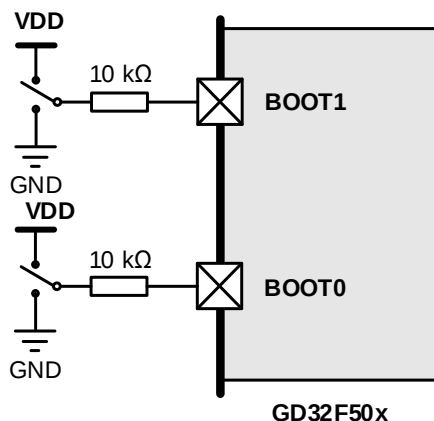
安全保护	OTP3		启动模式选择引脚		BOOT_MODE[2:0]	引导源选择
	NBTSB	BTFOSEL	BOOT0	BOOT1		
无保护/保护等级低	0	x	1	1	011	片上 SRAM
无保护/保护等级低	0	x	1	0	001	引导装载程序
无保护/保护等级低	0	0	0	x	000	主 Flash 存储器
无保护/保护等级低	0	1	0	x	101	OTP1
x	1	0	x	x	000	主 Flash 存储器
x	1	1	x	x	101	OTP1
保护等级高	x	0	x	x	000	主 Flash 存储器
保护等级高	x	1	x	x	101	OTP1

上电序列或系统复位后，ARM® Cortex®-M33 处理器先从 0x0000 0000 地址获取栈顶值，再从 0x0000 0004 地址获得引导代码的基地址，然后从引导代码的基地址开始执行程序。所选引导源对应的存储空间会被映射到引导存储空间，即从 0x0000 0000 开始的地址空间。如果片上 SRAM（开始于 0x2000 0000 的存储空间）被选为引导源，用户必须在应用程序初始化代码中通过修改 NVIC 异常向量和偏移地址将向量表重置到 SRAM 中。

当主 FLASH 存储器被选择作为引导源，从 0x0800 0000 开始的存储空间会被映射到引导存储空间。当选择 OTP1 作为引导源时，从地址 0x1FF0 0000 开始的内存空间会被映射到引导存储空间。

嵌入式启动加载程序位于系统内存中，用于重新编程闪存。GD32F50x MCU 嵌入式启动加载程序支持多种接口来更新闪存。在 GD32F50x 系列产品上可以使 USART 端口，以及标准 USB 端口。

图 2-17. 推荐 BOOT 电路设计



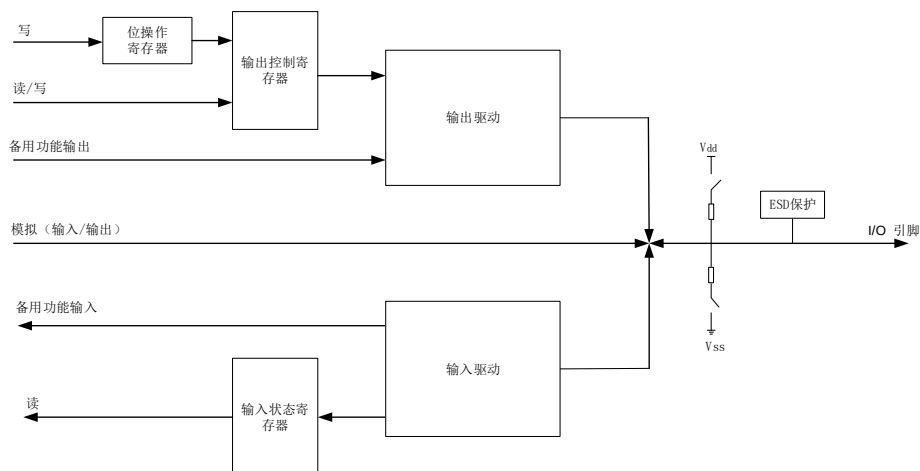
注意：MCU 运行后，如果改变 BOOT 状态，须系统复位后才可生效。

2.5. 典型外设模块

2.5.1. GPIO 电路

最多可支持 80 个通用 I/O 引脚（GPIO），分别为 PA0 ~ PA15，PB0 ~ PB15，PC0 ~ PC15，PD0 ~ PD15 和 PE0 ~ PE15，各片上设备用其来实现逻辑输入/输出功能。每个 GPIO 端口有相关的控制和配置寄存器以满足特定应用的需求。外设 GPIO 引脚上的外部中断在中断/事件控制器（EXIT）中有相关的控制和配置寄存器，GPIO 口的基本结构详见[图 2-18. 标准 IO 的基本结构](#)

图 2-18. 标准 IO 的基本结构



注意：

1. IO口分为5 V耐受和非5 V耐受，使用时注意区分IO口耐压情况，详见Datasheet；
2. 5 V耐受的IO口直接5 V时，建议IO口配置为开漏模式，外部上拉来工作；
3. IO口复位期间或者复位后，备用功能未激活，默认模式为浮空输入，电平特性不确定，为

了获得较一致的功耗，建议所有IO口配置成模拟输入，然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；

4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
5. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3 mA左右），配置为输出模式时，其工作速度不能超过2 MHz（最大负载为30 pF）；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
7. 非5 V耐受IO，外接超过V_{DD}的电压时，可能会产生灌电流；
8. 需要连接板外器件或者开关、按键的引脚，在紧靠对外端加上ESD防护电路。更多硬件防护设计参考官网《[AN163 GD32 MCU EMC硬件防护设计参考](#)》。

2.5.2. USART / UART 电路

通用同步异步收发器(USART)提供了一个灵活方便的串行数据交换接口，数据帧可以通过全双工或半双工，同步或异步的方式进行传输。USART提供了可编程的波特率发生器，能对系统时钟进行分频产生USART发送和接收所需的特定频率。

USART不仅支持标准的异步收发模式，还实现了一些其他类型的串行数据交换模式，如红外编码规范，SIR，智能卡协议，LIN，以及同步单双工模式。它还支持多处理器通信和Modem流控操作(CTS / RTS)。数据帧支持从LSB或者MSB开始传输。数据位的极性和TX / RX引脚都可以灵活配置。

USART支持DMA功能，以实现高速率的数据通信，除了UART4。

表 2-5. USART/UART 重要引脚描述

引脚	类型	描述
RX	输入	接收数据
TX	输出 I/O（单线模式/智能卡模式）	发送数据。当 USART 使能后，若无数 据发送，默认为高电平
CK	输出	用于同步通信的串行时钟信号
nCTS	输入	硬件流控模式发送使能信号
nRTS	输出	硬件流控模式发送请求信号

在使用USART / UART是，注意引脚的交叉相连，[图2-19. 无流控USART/UART参考电路](#)、[图2-20. 流控USART参考电路](#)、[图2-21. 同步模式下USART参考电路](#)。

图 2-19. 无流控 USART/UART 参考电路

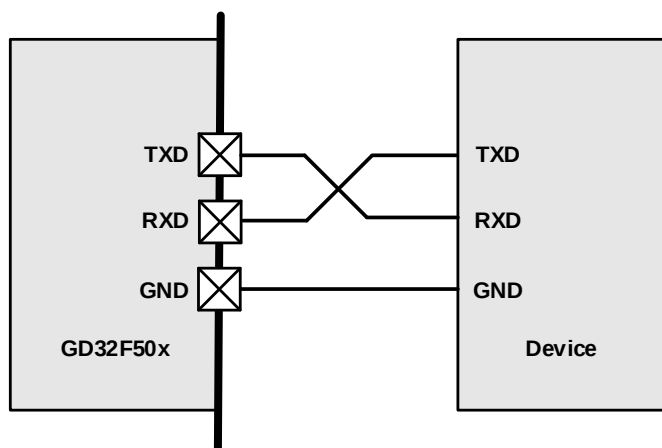


图2-20. 流控USART参考电路

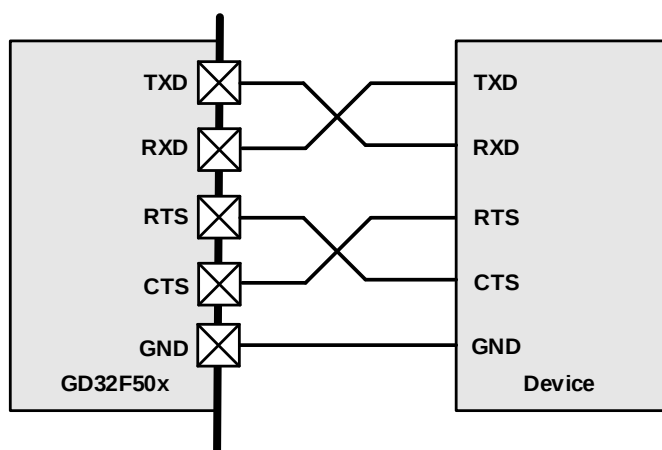
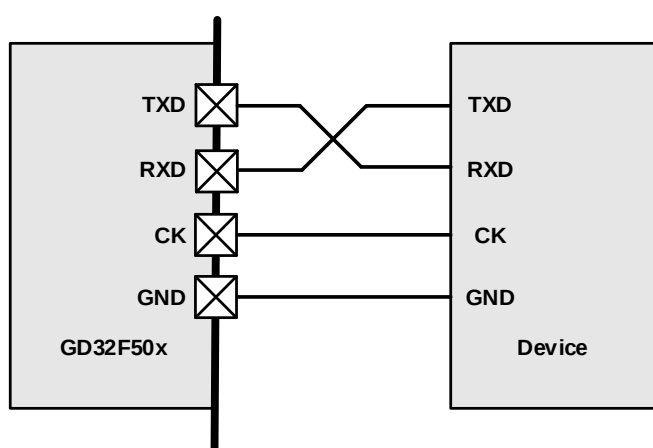


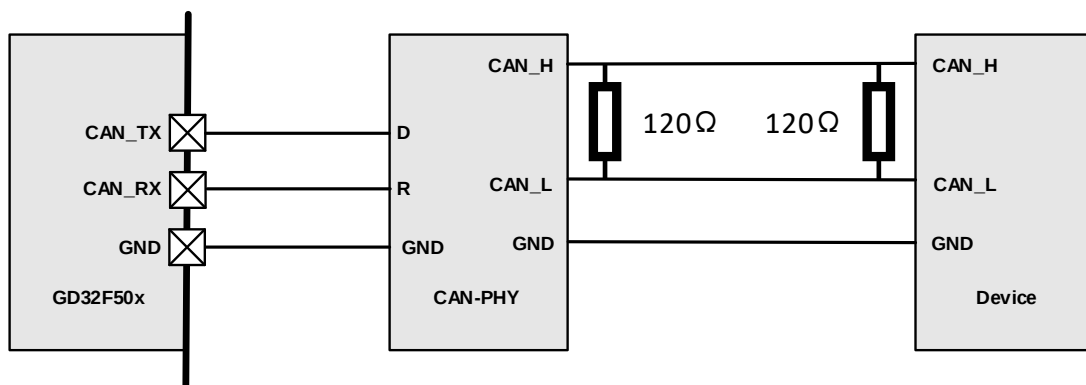
图2-21. 同步模式下USART参考电路



2.5.3. CAN 电路

GD32F50x 系列芯片提供 2 路 CAN 通信外设（CAN0 和 CAN1），[图2-22. CAN 参考电路](#)可供参考。

图 2-22. CAN 参考电路



上图中两个 $120\ \Omega$ 的阻抗匹配电阻，可根据实际情况决定阻抗匹配电阻阻值及其是否需要。

在 CAN 通信中，阻抗匹配的作用有三个：

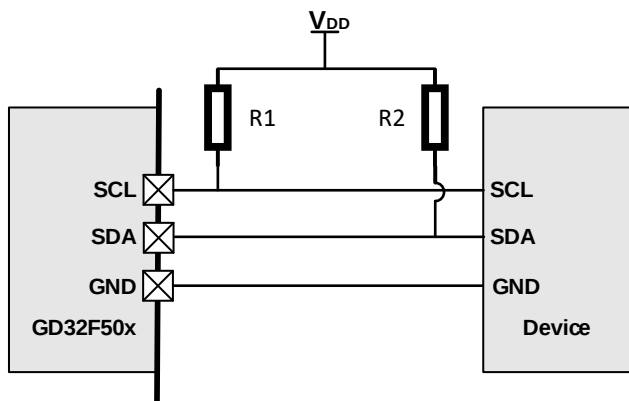
1. 提高抗干扰能力；
2. 防止信号反射，提高信号质量；
3. 确保总线上升/下降沿快速达到。

CAN 通信硬件防护设计参考官网 [《AN163 GD32 MCU EMC 硬件防护设计参考》](#)。

2.5.4. I2C 电路

GD32F50x 系列芯片提供 2 路 I2C 外设，均支持 I2C 协议的标速模式，快速模式以及快速+模式（Fast mode plus, Fm+），具备 CRC 计算和校验功能、支持 SMBus（系统管理总线）和 PMBus（电源管理总线）。SDA 和 SCL 都是双向线，所有 I2C 通道都可以工作在主机或者从机模式。同时，也支持多主机模式。I2C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

图 2-23. I2C 参考电路



如需连接到 I2C 总线设备的输出极，考虑到线与，则需空闲时电平置高。

针对 OC / OD 电路，电路反应速度和功耗由上拉电阻决定。上拉电阻小，则反应速度快，信号边沿陡峭，即信号质量好，但是功耗高。反之，若上拉电阻大，则电路反应速度慢，信号边沿较为平缓，即信号质量差，但是功耗低。

表 2-6. 传输模式与上拉电阻参考关系

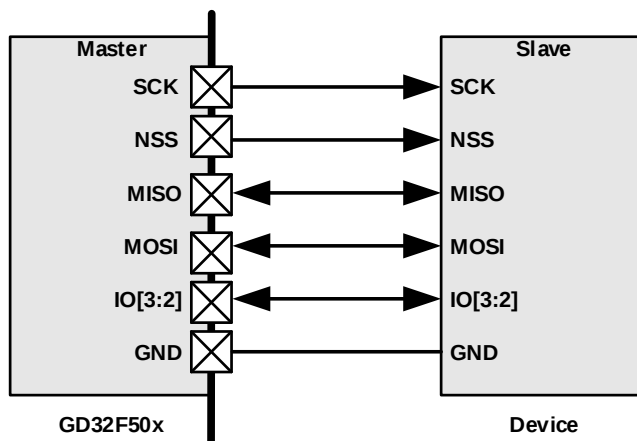
传输模式	上拉电阻 (kΩ)
标准模式	4.7
快速模式	2.2
快速+模式	1.5

考虑到I2C实际走线和电路板上情况的复杂多样，[表2-6. 传输模式与上拉电阻参考关系](#)中上拉电阻值仅供参考。在实际使用时，可结合在SDA与SCL之间加入串阻，以调节信号质量。

2.5.5. SPI 电路

GD32F50x系列芯片提供3路SPI，其中，SPI0可以通过寄存器配置，扩展为四线模式。除4线模式SPI外，所有SPI通道都可以工作在主机或者从机模式。SPI5工作在四线模式时，只能作为主机，不能作为从机；不工作在4线模式时，可以作为从机。

图 2-24. SPI 四线模式参考电路



上图为仅在SPI0工作在4线模式时才可参考，且此时GD32F50x系列芯片只能作为主机。针对一般的SPI，寄存器进行适当的配置后，有以下四种典型的工作模式连接方法供参考。在以下四种工作模式中，GD32F50x系列芯片都可以作为主机或者从机。

图 2-25. SPI 典型全双工模式连接

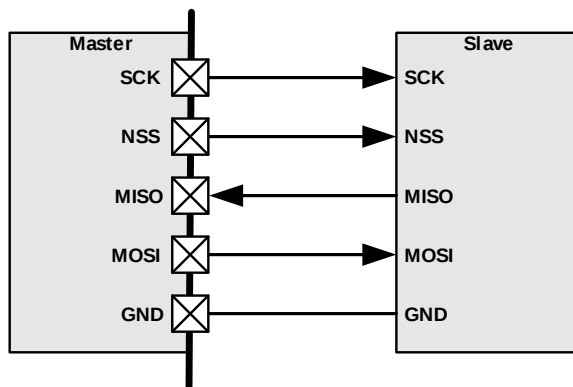


图 2-26. SPI 典型单工模式连接（主机：接收，从机：发送）

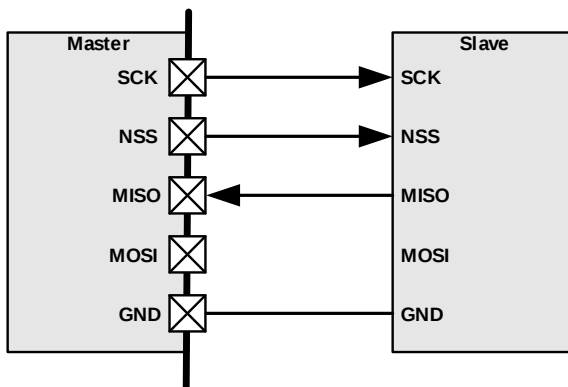


图 2-27. SPI 典型单工模式连接（主机：发送，从机：接收）

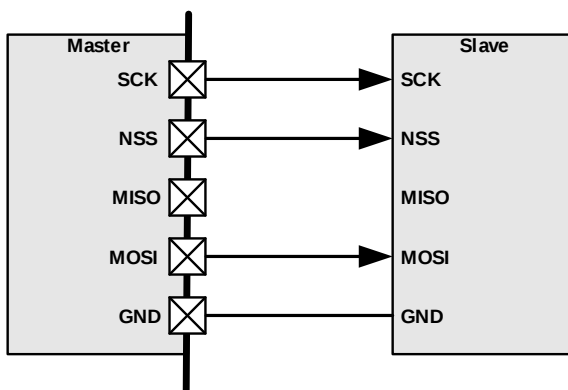
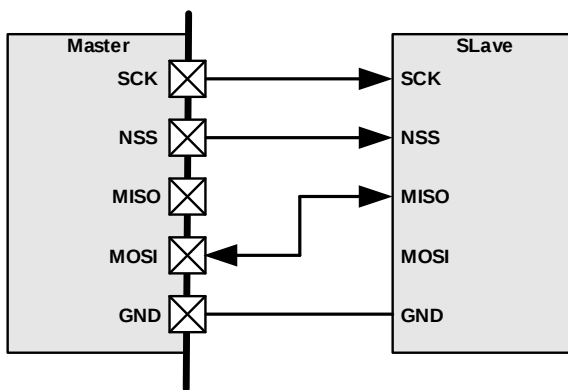


图 2-28. SPI 典型的双向线连接



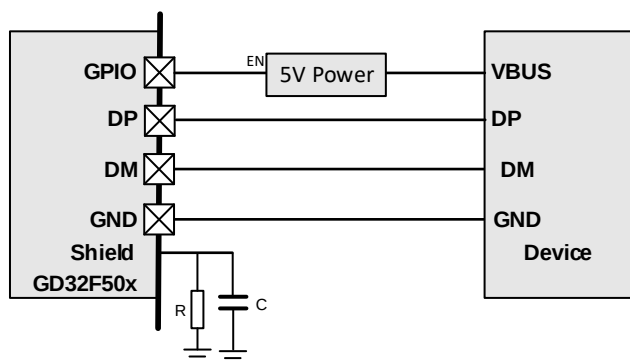
SPI通信硬件防护设计参考官网《[AN163 GD32 MCU EMC硬件防护设计参考](#)》。

2.5.6. USB 电路

GD32F50x系列产品具有USBFS模块，USBFS模块所使用的USB时钟需要配置为48 MHz。该48 MHz USB时钟从系统内部时钟产生，并且其时钟源和分频器需要在RCU模块中配置。

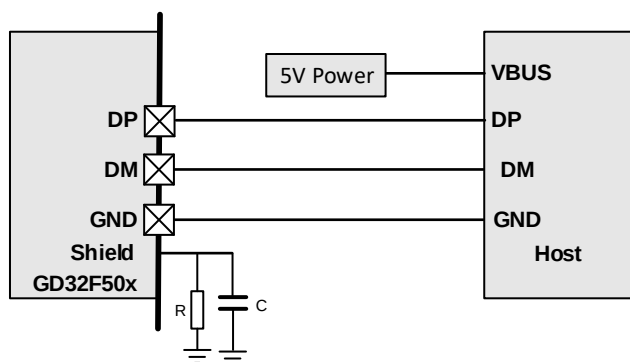
GD32F50x的USB模块既可设计为USB device，又可设计为USB host。设计为Host时，推荐的电路如[图2-29. 推荐USB-Host参考电路](#)所示，设计为Device模式时，推荐电路如[图2-30. 推荐USB-Device参考电路](#)。

图 2-29. 推荐 USB-Host 参考电路



推荐: $R = 1\text{ M}\Omega$, $C = 4700\text{ pF}$ 。

图 2-30. 推荐 USB-Device 参考电路



推荐: $R = 1\text{ M}\Omega$, $C = 4700\text{ pF}$ 。

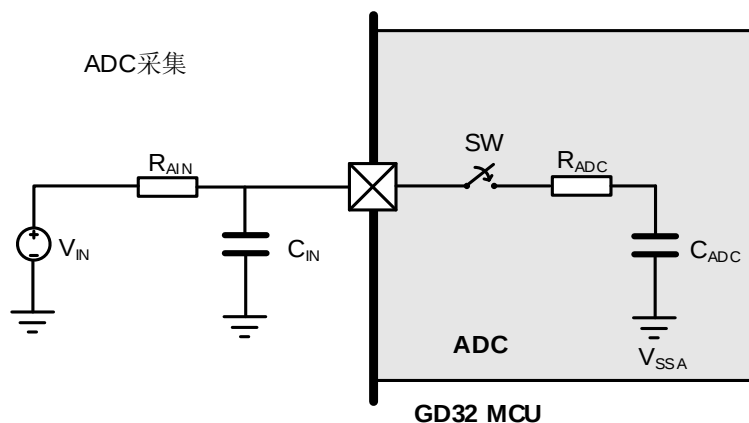
为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。USB通信硬件防护设计参考官网《[AN163 GD32 MCU EMC 硬件防护设计参考](#)》。

2.5.7. ADC 电路

GD32F50x系列芯片上集成了12位逐次逼近式模数转换器模块（ADC），可以采样来自于外部输入通道和内部通道的模拟信号。ADC0有16个外部通道和2个内部通道（温度传感器 V_{SENSE} 和参考电压 V_{REFINT} ），ADC1有18个外部通道，ADC2有17个外部通道。。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500 pF的小电容即可。

图 2-31. ADC 采集电路设计



$f_{\text{ADC}} = 40 \text{ MHz}$ 时，输入阻抗和采样周期关系如[表2-7. \$f_{\text{ADC}} = 42 \text{ MHz}\$ 采样周期与外部输入阻抗关系](#)，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-7. $f_{\text{ADC}} = 42 \text{ MHz}$ 采样周期与外部输入阻抗关系

T_s (cycles)	t_s (μs)	$R_{\text{AIN max}}$ ($\text{k}\Omega$)
1.5	0.0357	—
7.5	0.1786	1.83
13.5	0.3214	3.70
28.5	0.6786	8.38
41.5	0.9881	12.43
55.5	1.3214	16.80
71.5	1.7024	21.79
239.5	5.7024	74.16

2.5.8. DAC 电路

GD32F50x 的数字/模拟转换器可以将 12 位的数字数据转换为外部引脚上的电压输出。数据可以采用 8 位或 12 位模式，左对齐或右对齐模式。当使能了外部触发，DMA 可被用于更新输入端数字数据。在输出电压时，可以利用 DAC 输出缓冲区来获得更高的驱动能力。

两个 DAC 可以独立或并发工作。

表 2-8. DAC 相关引脚描述

名称	描述	信号类型
V_{DDA}	模拟电源	输入，模拟电源
V_{SSA}	模拟电源地	输入，模拟电源地
V_{REFP}	DAC 正参考电压， $2.6\text{V} \leq V_{\text{REFP}} \leq V_{\text{DDA}}$	输入，模拟正参考电压
DAC0_OUTx	DACx 模拟输出	模拟输出信号

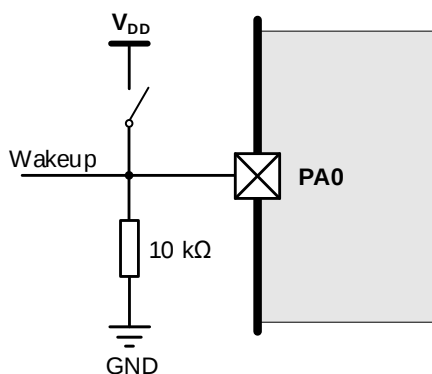
在使能 DAC 模块前，GPIO 口（PA4 对应 DAC0_OUT0，PA5 对应 DAC0_OUT1）应配置为模拟

模式。

2.5.9. Standby 模式唤醒电路

GD32F50x系列支持三种低功耗模式，分别为睡眠模式，深度睡眠模式和待机模式，其中功耗最低的是Standby待机模式，此低功耗模式需要的唤醒时间也是最长的。从Standby模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPEN位即可。WKUP唤醒引脚参考电路设计如下：

图 2-32. 推荐 Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，PA0至V_{DD}间如果有串电阻，可能会增加额外的功耗。

2.5.10. Battery 电路

GD32F50x系列芯片含有VBAT引脚，在V_{DD}掉电时，通过给VBAT引脚供电，可保持芯片备份域正常工作。当使用外部电池为VBAT引脚供电时，以下电路供参考。

图 2-33. 不可充电电池参考电路（1）

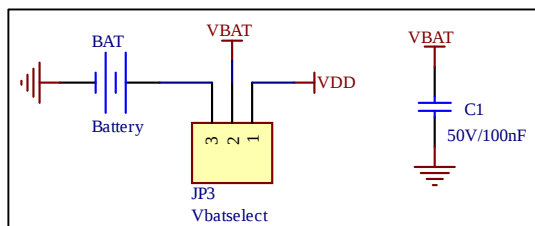


图 2-34. 不可充电电池参考电路（2）

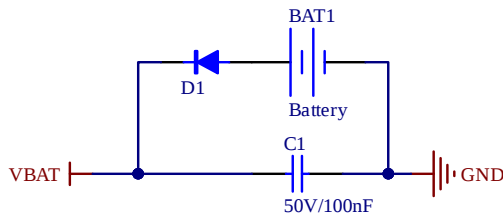
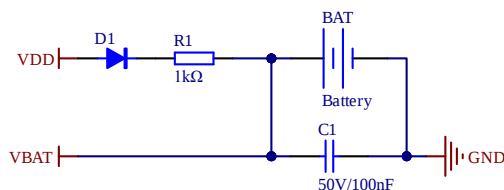


图 2-35. 可充电电池参考电路



参考以上电路时，请注意电池电压、二极管压降和VBAT引脚的供电电压范围，避免出现过压或欠压的现象。针对可充电电池的参考电路中电阻，其阻值根据电池特性选择。

2.6. 下载调试电路

GD32F50x系列内核支持JTAG调试接口和SWD接口。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

PA15: JTDI为上拉模式；

PA14: JTCK / SWCLK为下拉模式；

PA13: JTMS / SWDIO为上拉模式；

PB4: NJTRST为上拉模式；

PB3: JTDO为浮空模式。

表 2-9. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-36. 推荐 JTAG 接线参考设计

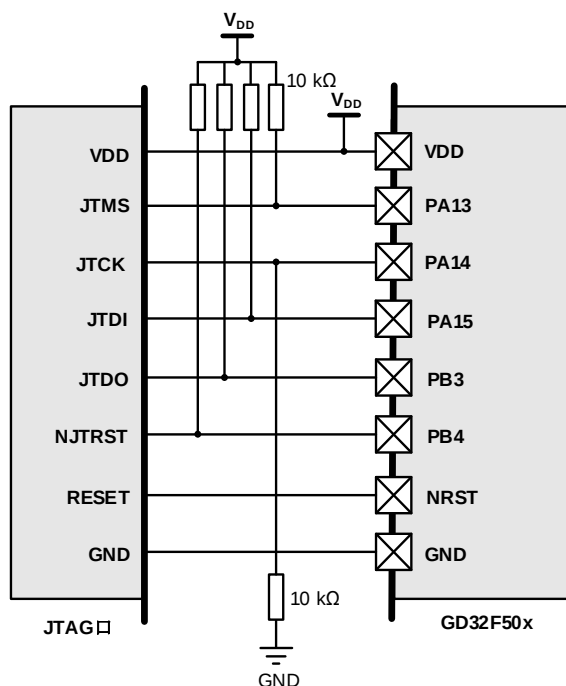
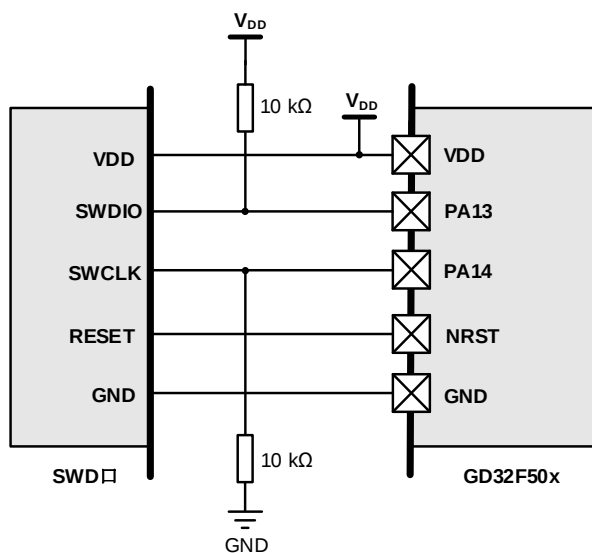


表 2-10. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-37. 推荐 SWD 接线参考设计



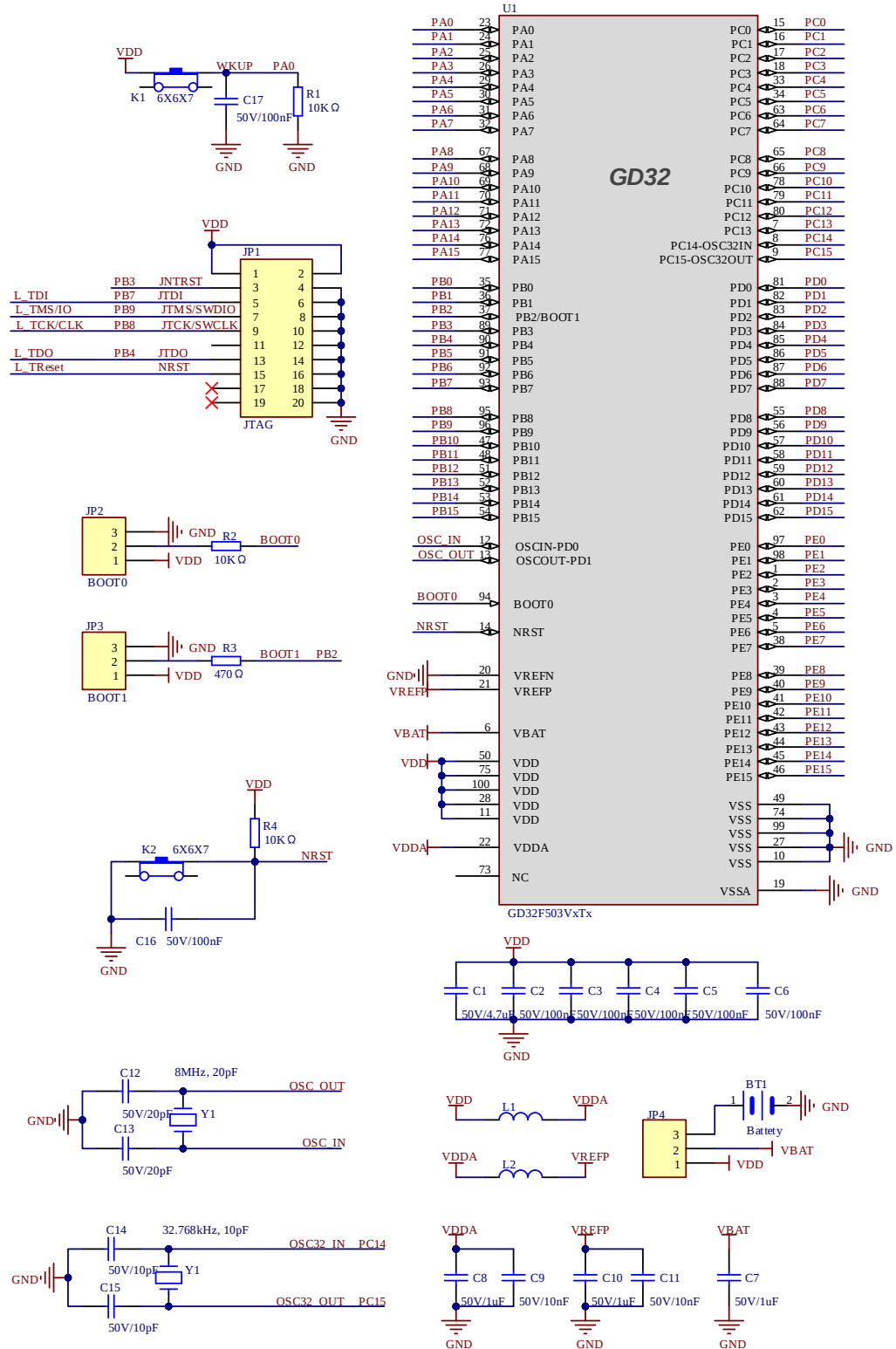
有以下几种方式可以提高 SWD 下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短 SWD 两个信号线长度，最好 15 cm 以内；
2. 将 SWD 两根线和 GND 线编个麻花，缠在一起；

3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入 $100\ \Omega \sim 1\ \text{k}\Omega$ 电阻。

2.7. 参考原理图设计

图 2-38. GD32F50x 推荐参考原理图设计



3. PCB Layout 设计

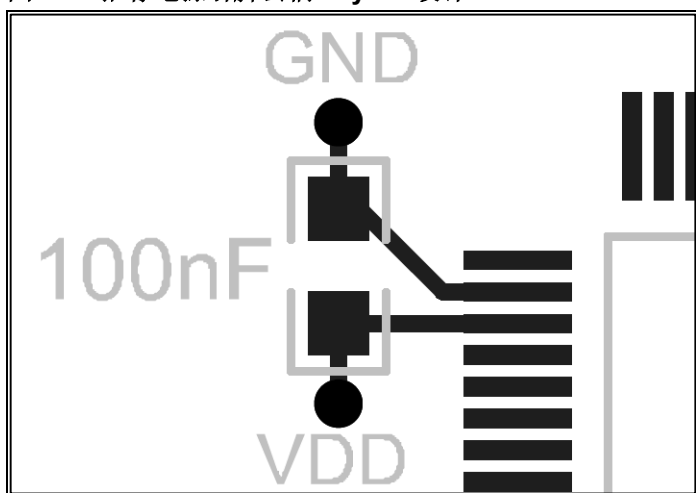
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。更多layout设计参见官网《[AN191 GD32 MCU硬件Layout设计参考](#)》。

3.1. 电源去耦电容

GD32F50x系列电源有V_{DD}、V_{DDA}、V_{REFP}和V_{BAT}四个供电脚，100 nF去耦电容采用陶瓷即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

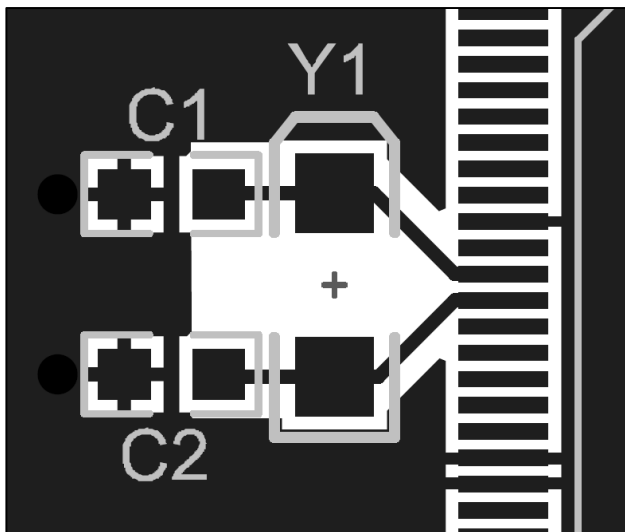
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32F50x系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



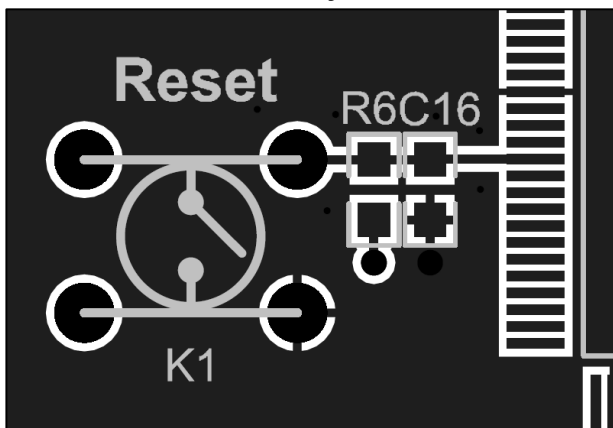
注意：

1. 晶体尽量靠近MCU时钟Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.4. USB 电路

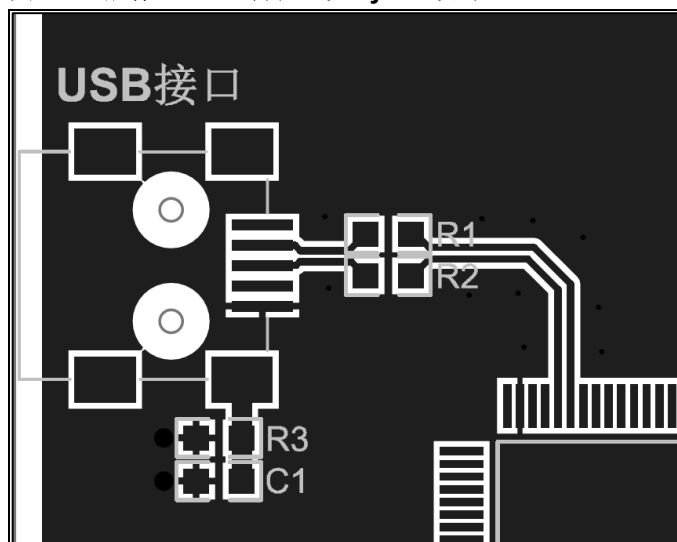
USB模块有DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90Ω，差分走线严格按照

等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

由于阻抗匹配考虑，串联匹配电阻建议 $50\ \Omega$ 左右即可。当USB终端接口离MCU较远的时候，需要适当增大该串联电阻值。

USB差分走线参考如下：

图 3-4. 推荐 USB 差分走线 Layout 设计



推荐： $R1 = R2 = 50\ \Omega$ ， $R3 = 1\ \text{M}\Omega$ ， $C = 4700\ \text{pF}$ 。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免直角、锐角或弧形走线；
4. 差分走线上所接阻容、EMC 等器件，或测试点，也要做到对称原则。

4. 钢网与焊接

4.1. 钢网

SMT 贴片时，钢网的厚度和漏孔的开口尺寸，取决于锡膏的种类、焊盘开孔的分布、密度以及间距等因素。钢网漏孔开口尺寸过大，往往导致锡膏分布量过多，容易造成焊接过程中的“桥连”情况。漏孔开口尺寸过小，会导致锡膏使用过少，导致焊点强度不足或虚焊。

4.1.1. 钢网推荐厚度

钢网的厚度和开孔尺寸一般遵循规则：宽厚比高于 1.5（即钢网的开孔宽度是钢网厚度的 1.5 倍及以上）、面积高于 0.66（即钢网开孔面积是开孔柱体侧面积的 0.66 倍及以上），这样可以最大程度保证刷锡时，在焊盘上有适当量的锡膏。

GD32F50x 系列新品推荐钢网厚度如[表 4-1. GD32F50x 芯片推荐钢网厚度](#)所示。

表 4-1. GD32F50x 芯片推荐钢网厚度

芯片封装	厚度 (mm)
LQFP100(14x14, 0.5pitch)	0.12
LQFP64(10x10, 0.5pitch)	0.12
BGA64(4x4, 0.4pitch)	0.12
QFN64(7x7, 0.35pitch)	0.12
LQFP48(7x7, 0.5pitch)	0.12
QFN48(5x5, 0.35pitch)	0.12
QFN32(5x5, 0.5pitch)	0.12

在具体实践中，上表仅可作为 GD32F50x 系列产品钢网厚度参考，具体电路板钢网厚度，请结合电路板上器件密度、其他芯片引脚 pitch 值和焊盘尺寸及工艺要求，综合评估。

4.1.2. 钢网的清洁与使用

钢网的清洁

- 使用前应该先清洗钢网，以除去运输过程或长期放置中沾染到的污染物；
- 钢网使用完后应及时清洗干净，装回包装，放置在专用储藏位置；
- 对于等待清洗的钢网，不可随意放置，避免损坏钢网，或者引入其他污染物；
- 钢网应该竖直放置在专用储藏位置，钢网之间应相互隔离，禁止叠放或相互接触。

钢网的使用

- 用来焊接的锡膏应升温 and 搅拌均匀后使用，避免堵塞钢网；
- 移动钢网时应轻拿轻放，避免钢网磕碰到硬物或锋利器具；
- 刷锡时钢网应紧贴电路板，且注意调整刮刀上的压力，以钢网上不留残余锡膏同时不伤害钢网为宜；

- 刷锡后，停顿3 s左右，再抬起钢网脱模，脱模速度不宜过快；
- 一般钢网使用寿命为10万次，达到使用寿命极限的钢网应报废，禁止钢网超额使用。

4.2. 焊接

在实际加工生产过程中，回流焊炉温曲线设置需要参考很多因素，除了元器件自身特性外，还需要考虑如印刷电路板材质、元器件分布密度、锡膏成分等因素。下面给大家介绍针对GD32F50x 系列芯片的回流焊炉温曲线，供参考。

图 4-1. 推荐回流焊温度曲线

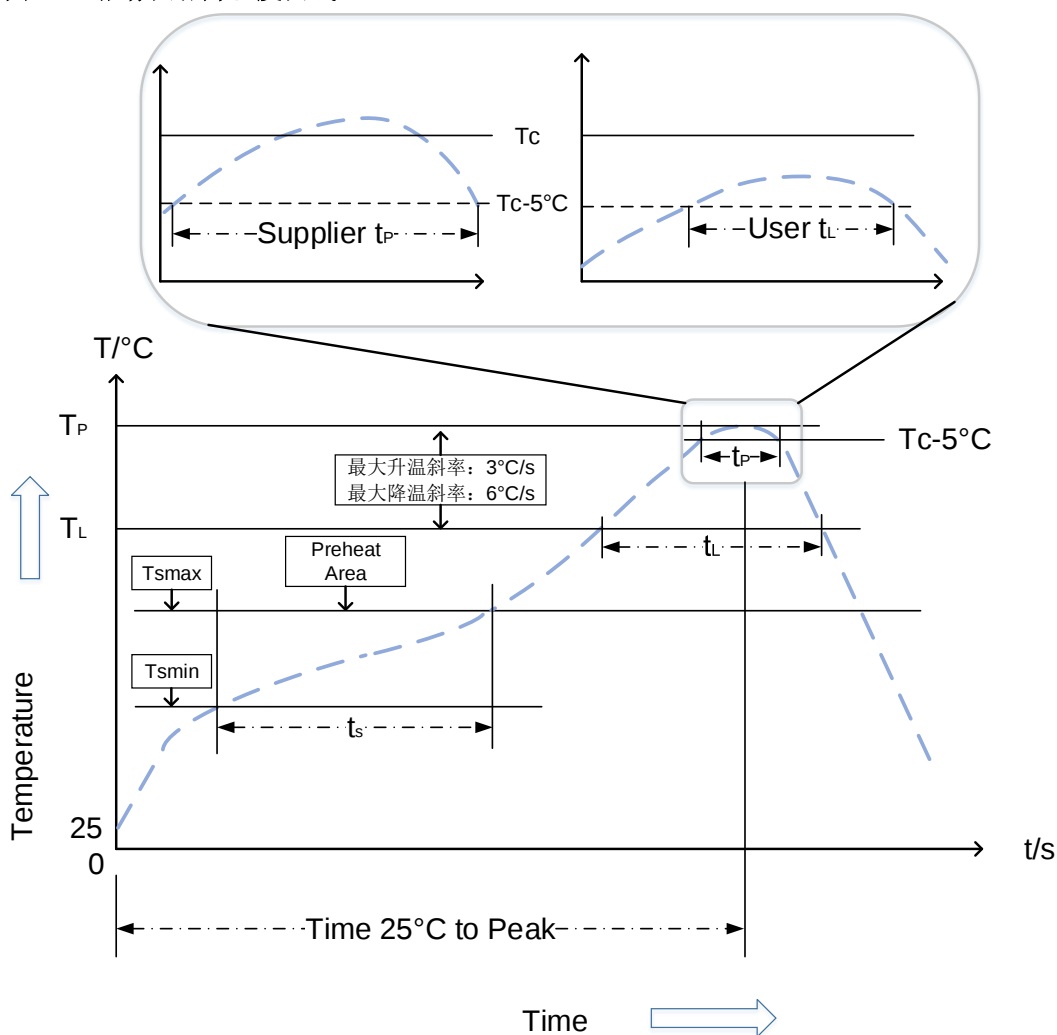


表 4-2. 回流焊相关参数

特征参数	无铅装配
平均升温斜率（217 °C 到峰值温度）	最大 3 °C / s
预热（150 °C - 200 °C）持续时间	60 – 120 s
保持 217 °C 以上的时间	60 – 150 s
峰值温度	260 + 5 / - 0 °C
真实峰值温度 5 °C 以内持续时间	30 s

降温斜率	最大 6 °C / s
从 25 °C 到温度峰值时间	最大 8 min

5. 封装说明

GD32F50x系列共有4种封装形式，分别为LQFP100、LQFP64、BGA64、QFN64、LQFP48、QFN48、QFN32。

表 5-1. 封装型号说明

产品型号	封装
GD32F50xVxT6	LQFP100(14x14, 0.5pitch)
GD32F50xRGT6	LQFP64(10x10, 0.5pitch)
GD32F50xRxL6	BGA64(4x4, 0.4pitch)
GD32F50xREO6	QFN64(7x7, 0.35pitch)
GD32F50xCxT6	LQFP48(7x7, 0.5pitch)
GD32F50xCEO6	QFN48(5x5, 0.35pitch)
GD32F50xKxU6	QFN32(5x5, 0.5pitch)

(尺寸单位为毫米mm)

6. 版本历史

表 6-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2025 年 10 月 31 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.