GigaDevice Semiconductor Inc.

GD32F527xx
Arm® Cortex®-M33 32-bit MCU

用户手册

1.5 版本

(2026 年 9 月)

目录

目录 2

图索引 29

表索引 39

1. 系统及存储器架构 44

1.1. Arm® Cortex®-M33 处理器 44

1.2. 系统架构 45

1.3. 存储器映射 48

1.3.1. 片上 SRAM 存储器 52
1.3.2. 片上 FLASH 存储器概述 53

1.4. 引导配置 53

1.5. 系统配置控制器 54

1.6. 系统配置寄存器(SYSCFG) 54

1.6.1. 配置寄存器 0(SYSCFG_CFG0) 55
1.6.2. 配置寄存器 1(SYSCFG_CFG1) 56
1.6.3. EXTI 源选择寄存器 0(SYSCFG_EXTISS0) 56
1.6.4. EXTI 源选择寄存器 1(SYSCFG_EXTISS1) 58
1.6.5. EXTI 源选择寄存器 2(SYSCFG_EXTISS2) 59
1.6.6. EXTI 源选择寄存器 3(SYSCFG_EXTISS3) 61
1.6.7. I/O 补偿控制寄存器(SYSCFG_CPSCTL) 62
1.6.8. 系统状态寄存器 (SYSCFG_STAT) 62
1.6.9. SRAM0 ECC 状态寄存器(SYSCFG_SRAM0ECC) 64
1.6.10. SRAM1 ECC 状态寄存器(SYSCFG_SRAM1ECC) 65
1.6.11. SRAM2 ECC 状态寄存器(SYSCFG_SRAM2ECC) 66
1.6.12. ADDSRAM ECC 状态寄存器(SYSCFG_ADDSRAMECC) 67
1.6.13. TCMSRAM ECC 状态寄存器(SYSCFG_TCMSRAMECC) 67
1.6.14. BKPSRAM ECC 状态寄存器(SYSCFG_BKPSRAMECC) 68
1.6.15. FLASH ECC 地址寄存器(SYSCFG_FLASHECC_ADDR) 69
1.6.16. FLASH ECC 寄存器(SYSCFG_FLASHECC) 69
1.6.17. 用户配置寄存器(USER_CFG) 70

1.7. 设备电子签名 70
1.7.1. 存储容量信息 70
1.7.2. 设备唯一 ID(96 位/位域) 71
2. 系统安全 73
2.1. 简介 73
2.2. 主要特性 73
2.3. 存储安全 73
2.3.1. 系统 Flash 区保护 74
2.3.2. 用户 Flash 区保护 74
2.3.3. SRAM 区保护 75
2.3.4. 可信任代码区保护 76
2.3.5. 密码区保护 77
2.3.6. 外部存储区保护 77
2.4. 启动保护 78
2.4.1. 唯一启动入口 78
2.4.2. 安全启动 78
2.5. 安全调试 79
2.5.1. 限制调试访问 80
2.5.2. 关闭调试功能 80
2.6. 加密和随机数 80
2.7. 系统监控 81
2.7.1. 入侵检测 81
2.7.2. 电源监控 81
2.7.3. 时钟监控 82
2.7.4. 温度监控 82
2.7.5. 关键代码执行时间监控 82
2.8. 器件 UID 82
3. 闪存控制器(FMC) 83
3.1. 简介 83
3.2. 主要特征 83

3.3. 功能说明 83
3.3.1. 闪存结构 83
3.3.2. 错误检查和纠正(ECC) 86
3.3.3. 读操作 87
3.3.4. FMC_CTL/FMC_OBCTLx 寄存器解锁 87
3.3.5. 页擦除 87
3.3.6. 扇区擦除 89
3.3.7. 整片擦除 90
3.3.8. 主存储闪存块编程 91
3.3.9. OTP 闪存块编程 93
3.3.10. 选项字节修改 94
3.3.11. 选项字节说明 94
3.3.12. 扇区擦除/编程保护 96
3.3.13. CBUS 读保护 97
3.3.14. 安全保护 97
3.3.15. 熔丝内容描述 98
3.3.16. 熔丝读操作 98
3.3.17. 熔丝写操作 99
3.4. FMC 寄存器 100
3.4.1. 解锁寄存器(FMC_KEY) 100
3.4.2. 选项字节解锁寄存器(FMC_OBKEY) 100
3.4.3. 状态寄存器(FMC_STAT) 100
3.4.4. 控制寄存器(FMC_CTL) 102
3.4.5. 选项字节控制寄存器 0(FMC_OBCTL0) 103
3.4.6. 选项字节控制寄存器 1(FMC_OBCTL1) 105
3.4.7. 页擦除配置寄存器(FMC_PECFG) 106
3.4.8. 页擦除功能解锁寄存器(FMC_PEKEY) 106
3.4.9. OTP1 配置寄存器(FMC_OTP1CFG) 107
3.4.10. 代码加载 ECC 错误地址 0(FMC_LDECCADDR0) 107
3.4.11. 代码加载 ECC 错误地址 1(FMC_LDECCADDR1) 107
3.4.12. 代码加载 ECC 错误地址 2(FMC_LDECCADDR2) 108
3.4.13. 选项字节状态寄存器(FMC_OBSTAT) 108
3.4.14. 产品 ID 寄存器(FMC_PID) 109
3.4.15. 熔丝控制和状态寄存器(EFUSE_CS) 109
3.4.16. 熔丝地址寄存器(EFUSE_ADDR) 111
3.4.17. 熔丝控制寄存器(EFUSE_CTL) 111
3.4.18. 熔丝用户数据寄存器(EFUSE_USER_DATA) 112
4. 电源管理单元(PMU) 113
4.1. 简介 113

4.2. 主要特征 113

4.3. 功能说明 113

4.3.1. 电池备份域 114
4.3.2. 备份 SRAM 115
4.3.3. V_{DD} / V_{DDA} 电源域 115
4.3.4. V_{CORE} 电源域 117
4.3.5. 省电模式 118

4.4. PMU 寄存器 121

4.4.1. 控制寄存器(PMU_CTL) 121
4.4.2. 电源控制和状态寄存器(PMU_CS) 123

5. 复位和时钟单元(RCU) 125

5.1. 复位控制单元(RCTL) 125

5.1.1. 简介 125
5.1.2. 功能说明 125

5.2. 时钟控制单元(CCTL) 126

5.2.1. 简介 126
5.2.2. 主要特性 128
5.2.3. 功能说明 128

5.3. RCU 寄存器 133

5.3.1. 控制寄存器(RCU_CTL) 133
5.3.2. PLL 寄存器(RCU_PLL) 135
5.3.3. 时钟配置寄存器 0(RCU_CFG0) 137
5.3.4. 时钟中断寄存器(RCU_INT) 139
5.3.5. AHB1 复位寄存器(RCU_AHB1RST) 142
5.3.6. AHB2 复位寄存器(RCU_AHB2RST) 144
5.3.7. AHB3 复位寄存器(RCU_AHB3RST) 145
5.3.8. APB1 复位寄存器(RCU_APB1RST) 145
5.3.9. APB2 复位寄存器(RCU_APB2RST) 149
5.3.10. AHB1 使能寄存器(RCU_AHB1EN) 151
5.3.11. AHB2 使能寄存器(RCU_AHB2EN) 154
5.3.12. AHB3 使能寄存器(RCU_AHB3EN) 155
5.3.13. APB1 使能寄存器(RCU_APB1EN) 155
5.3.14. APB2 使能寄存器(RCU_APB2EN) 158
5.3.15. AHB1 睡眠模式使能寄存器(RCU_AHB1SPEN) 161
5.3.16. AHB2 睡眠模式使能寄存器(RCU_AHB2SPEN) 164
5.3.17. AHB3 睡眠模式使能寄存器(RCU_AHB3SPEN) 165
5.3.18. APB1 睡眠模式使能寄存器(RCU_APB1SPEN) 165

5.3.19. APB2 睡眠模式使能寄存器(RCU_APB2SPEN) 169
5.3.20. 备份域控制寄存器(RCU_BDCTL) 171
5.3.21. 复位源/时钟寄存器(RCU_RSTSCK) 173
5.3.22. PLL 时钟扩频控制寄存器(RCU_PLLSSCTL) 174
5.3.23. PLLI2S 寄存器(RCU_PLLI2S) 175
5.3.24. PLLSAI 寄存器(RCU_PLLSAI) 176
5.3.25. 时钟配置寄存器 1(RCU_CFG1) 178
5.3.26. 时钟配置寄存器 2(RCU_CFG2) 179
5.3.27. 附加时钟控制寄存器(RCU_ADDCTL) 180
5.3.28. 附加时钟中断寄存器(RCU_ADDINT) 181
5.3.29. APB1 附加复位寄存器(RCU_ADDAPB1RST) 182
5.3.30. APB1 附加使能寄存器(RCU_ADDAPB1EN) 183
5.3.31. APB1 附加睡眠模式使能寄存器(RCU_ADDAPB1SPEN) 183
5.3.32. 电源解锁寄存器(RCU_VKEY) 184
5.3.33. 深度睡眠模式电压寄存器(RCU_DSV) 184

6. 时钟校准控制器(CTC) 186

6.1. 简介 186

6.2. 主要特性 186

6.3. 功能说明 186

6.3.1. REF 同步脉冲发生器 187
6.3.2. CTC 校准计数器 187
6.3.3. 频率评估和自动校准过程 187
6.3.4. 软件编程指南 188

6.4. CTC 寄存器 190

6.4.1. 控制寄存器 0(CTC_CTL0) 190
6.4.2. 控制寄存器 1(CTC_CTL1) 191
6.4.3. 状态寄存器(CTC_STAT) 192
6.4.4. 中断清除寄存器(CTC_INTC) 194

7. 中断/事件控制器(EXTI) 195

7.1. 简介 195

7.2. 主要特征 195

7.3. 中断功能描述 195

7.4. 结构框图 199

7.5. 外部中断及事件功能概述 199
7.6. EXTI 寄存器 202
7.6.1. 中断使能寄存器(EXTI_INTEN) 202
7.6.2. 事件使能寄存器(EXTI_EVEN) 202
7.6.3. 上升沿触发使能寄存器(EXTI_RTEN) 203
7.6.4. 下降沿触发使能寄存器(EXTI_FTEN) 203
7.6.5. 软件中断事件寄存器(EXTI_SWIEV) 203
7.6.6. 挂起寄存器(EXTI_PD) 204
8. 通用和备用输入/输出接口(GPIO 和 AFIO) 205
8.1. 简介 205
8.2. 主要特性 205
8.3. 功能描述 205
8.3.1. GPIO 引脚配置 206
8.3.2. 外部中断/事件线 207
8.3.3. 备用功能(AF) 207
8.3.4. 附加功能 207
8.3.5. 输入配置 207
8.3.6. 输出配置 208
8.3.7. 模拟配置 208
8.3.8. 备用功能(AF)配置 209
8.3.9. GPIO 锁定功能 209
8.3.10. GPIO 单周期输出翻转功能 210
8.4. GPIO 寄存器 211
8.4.1. 端口控制寄存器(GPIOx_CTL, x=A…I) 211
8.4.2. 端口输出模式寄存器(GPIOx_OMODE, x=A…I) 213
8.4.3. 端口输出速度寄存器(GPIOx_OSPD, x=A…I) 214
8.4.4. 端口上拉/下拉寄存器(GPIOx_PUD, x=A…I) 216
8.4.5. 端口输入状态寄存器(GPIOx_ISTAT, x=A…I) 218
8.4.6. 端口输出控制寄存器(GPIOx_OCTL, x=A…I) 218
8.4.7. 端口位操作寄存器(GPIOx_BOP, x=A…I) 219
8.4.8. 端口配置锁定寄存器(GPIOx_LOCK, x=A…I) 219
8.4.9. 备用功能选择寄存器 0(GPIOx_AFSEL0, x=A…I) 220
8.4.10. 备用功能选择寄存器 1(GPIOx_AFSEL1, x=A…I) 221
8.4.11. 位清除寄存器(GPIOx_BC, x=A…I) 222
8.4.12. 端口位翻转寄存器(GPIOx_TG, x=A…I) 222
9. 循环冗余校验计算单元(CRC) 224

9.1. 简介 224
9.2. 主要特征 224
9.3. 功能说明 225
9.4. CRC 寄存器 226
9.4.1. 数据寄存器(CRC_DATA) 226
9.4.2. 独立数据寄存器(CRC_FDATA) 226
9.4.3. 控制寄存器(CRC_CTL) 227
10. 真随机数生成器(TRNG) 228
10.1. 简介 228
10.2. 主要特性 228
10.3. 功能描述 228
10.3.1. 操作流程 229
10.3.2. 错误标志 229
10.4. TRNG 寄存器 230
10.4.1. 控制寄存器 (TRNG_CTL) 230
10.4.2. 状态寄存器 (TRNG_STAT) 230
10.4.3. 数据寄存器 (TRNG_DATA) 231
11. 公钥加密处理器(PKCAU) 233
11.1. 简介 233
11.2. 主要特征 233
11.3. 功能说明 233
11.3.1. 操作数 234
11.3.2. RSA 算法 234
11.3.3. ECC 算法 235
11.3.4. 整数算术运算模式 237
11.3.5. Fp 域椭圆曲线运算模式 247
11.3.6. PKCAU 运算流程 252
11.3.7. 计算时间 253
11.3.8. 状态、错误和中断 254
11.4. PKCAU 寄存器 255

11.4.1. 控制寄存器 (PKCAU_CTL) 255
11.4.2. 状态寄存器 (PKCAU_STAT) 256
11.4.3. 状态清除寄存器 (PKCAU_STATC) 257

12. 哈希处理器(HAU) 258

12.1. 简介 258

12.2. 主要特性 258

12.3. 数据类型 258

12.4. HAU 内核 260

12.4.1. 自动数据填充 260
12.4.2. 摘要计算 261
12.4.3. 哈希模式 262
12.4.4. HMAC 模式 262

12.5. HAU 挂起模式 262

12.5.1. 通过 CPU 加载数据 262
12.5.2. 通过 DMA 加载数据 263

12.6. HAU 中断 263

12.6.1. 输入 FIFO 中断 263
12.6.2. 计算完成中断 264

12.7. HAU 寄存器 265

12.7.1. 控制寄存器(HAU_CTL) 265
12.7.2. 数据输入寄存器(HAU_DI) 266
12.7.3. 配置寄存器(HAU_CFG) 267
12.7.4. 数据输出寄存器(HAU_DO0..7) 267
12.7.5. 中断使能寄存器(HAU_INTEN) 270
12.7.6. 状态与标志寄存器(HAU_STAT) 270
12.7.7. 上下文交换寄存器 x(HAU_CTXSx)(x=0...53) 271

13. 加密处理器(CAU) 272

13.1. 简介 272

13.2. 主要特征 272

13.3. CAU 数据类型和初始化向量 273

13.3.1. 数据类型 273

13.3.2. 初始化向量 274
13.4. 加密处理器流程 274
13.4.1. DES / TDES 加密处理流程 275
13.4.2. AES 加密处理流程 279
13.5. 操作模式 286
13.6. CAU DMA 接口 287
13.7. CAU 中断 287
13.8. CAU 挂起模式 288
13.9. CAU 寄存器 289
13.9.1. 控制寄存器(CAU_CTL) 289
13.9.2. 状态寄存器 0 (CAU_STAT0) 290
13.9.3. 数据输入寄存器 (CAU_DI) 291
13.9.4. 数据输出寄存器 (CAU_DO) 292
13.9.5. DMA 使能寄存器 (CAU_DMAEN) 292
13.9.6. 中断使能寄存器 (CAU_INTEN) 293
13.9.7. 状态寄存器 1 (CAU_STAT1) 293
13.9.8. 中断标志寄存器 (CAU_INTF) 294
13.9.9. 密钥寄存器 (CAU_KEY0..3(H/L)) 294
13.9.10. 初始化向量寄存器 (CAU_IV0..1(H/L)) 297
13.9.11. GCM 或 CCM 模式上下文交换寄存器 x (CAU_GCMCCMCTXSx) (x=0..7) 298
13.9.12. GCM 模式上下文交换寄存器 x (CAU_GCMCTXSx) (x=0..7) 299
14. 直接存储器访问控制器(DMA) 300
14.1. 简介 300
14.2. 主要特征 300
14.3. 结构框图 301
14.4. 功能描述 301
14.4.1. 外设握手 302
14.4.2. 数据处理 304
14.4.3. 地址生成 308
14.4.4. 循环模式 309
14.4.5. 存储切换模式 309
14.4.6. 传输控制器 310
14.4.7. 传输操作 310

14.4.8. 传输完成 311
14.4.9. 通道配置 312
14.5. 中断 313
14.5.1. 标志 313
14.5.2. 异常 314
14.5.3. 错误 314
14.6. DMA 寄存器 316
14.6.1. 中断标志位寄存器 0(DMA_INTF0) 316
14.6.2. 中断标志位寄存器 1(DMA_INTF1) 317
14.6.3. 中断标志位清除寄存器(DMA_INTC0) 318
14.6.4. 中断标志位清除寄存器 1(DMA_INTC1) 318
14.6.5. 通道 x 控制寄存器(DMA_CHxCTL) 319
14.6.6. 通道 x 计数寄存器(DMA_CHxCNT) 323
14.6.7. 通道 x 外设基地址寄存器(DMA_CHxPADDR) 323
14.6.8. 通道 x 存储器 0 基地址寄存器(DMA_CHxM0ADDR) 324
14.6.9. 通道 x 存储器 1 基地址寄存器(DMA_CHxM1ADDR) 324
14.6.10. 通道 xFIFO 控制寄存器(DMA_CHxFCTL) 325
15. 图像处理加速器(IPA) 327
15.1. 简介 327
15.2. 主要特性 327
15.3. 结构框图 328
15.4. 功能概述 328
15.4.1. 传输操作 329
15.4.2. 前景层和背景层 LUT 329
15.4.3. 前景层和背景层像素通道扩展(PCE) 330
15.4.4. 混合 332
15.4.5. 目标像素通道压缩(PCC) 333
15.4.6. 内部定时器 334
15.4.7. 行标记 335
15.4.8. 传输流 335
15.4.9. 配置 336
15.5. 中断 339
15.6. IPA 寄存器 342
15.6.1. 控制寄存器(IPA_CTL) 342
15.6.2. 中断状态寄存器(IPA_INTF) 343

15.6.3. 中断标志清除寄存器(IPA_INTC) 344
15.6.4. 前景层存储区基地址寄存器(IPA_FMADDR) 345
15.6.5. 前景层行偏移寄存器(IPA_FLOFF) 346
15.6.6. 背景层存储区基地址寄存器(IPA_BMADDR) 346
15.6.7. 背景层行偏移寄存器(IPA_BLOFF) 347
15.6.8. 前景层像素控制寄存器(IPA_FPCTL) 347
15.6.9. 前景层像素值寄存器(IPA_FPV) 349
15.6.10. 背景层像素控制寄存器(IPA_BPCTL) 349
15.6.11. 背景层像素值寄存器(IPA_BPV) 351
15.6.12. 前景层 LUT 存储区基地址寄存器(IPA_FLMADDR) 352
15.6.13. 背景层 LUT 存储区基地址寄存器(IPA_BLMADDR) 352
15.6.14. 目标像素控制寄存器(IPA_DPCTL) 353
15.6.15. 目标像素值寄存器(IPA_DPV) 353
15.6.16. 目标存储区基地址寄存器(IPA_DMADDR) 356
15.6.17. 目标行偏移寄存器(IPA_DLOFF) 356
15.6.18. 图像大小寄存器(IPA_IMS) 357
15.6.19. 行标记寄存器(IPA_LM) 357
15.6.20. 内部定时器控制寄存器(IPA_ITCTL) 358

16. 调试(DBG) 360

16.1. 简介 360

16.2. JTAG/SW 功能说明 360

16.2.1. 切换 JTAG/ SW 接口 360
16.2.2. 引脚分配 360
16.2.3. JTAG 链状结构 361
16.2.4. 调试复位 361
16.2.5. JEDEC-106 ID code 361

16.3. 调试保持功能说明 361

16.3.1. 低功耗模式调试支持 361
16.3.2. TIMER, I2C, RTC, WWDGT, FWDGT 和 CAN 外设调试支持 362

16.4. DBG 寄存器 363

16.4.1. ID 寄存器(DBG_ID) 363
16.4.2. 控制寄存器 0(DBG_CTL0) 363
16.4.3. 控制寄存器 1(DBG_CTL1) 364
16.4.4. 控制寄存器 2(DBG_CTL2) 366
16.4.5. 控制寄存器 3(DBG_CTL3) 367

17. 可编程参考电流(IREF) 369

17.1. 简介 369

17.2. 主要特性 369
17.3. 功能描述 369
17.3.1. 信号描述 369
17.3.2. 用户校验 369
17.4. IREF 寄存器 370
18. 模数转换器(ADC) 371
18.1. 简介 371
18.2. 主要特征 371
18.3. 引脚和内部信号 372
18.4. 功能说明 373
18.4.1. 前置校准功能 373
18.4.2. ADC 时钟 374
18.4.3. ADCON 使能 374
18.4.4. 常规序列 374
18.4.5. 运行模式 374
18.4.6. 转换结果阈值监测功能 377
18.4.7. 数据存储模式 377
18.4.8. 采样时间配置 378
18.4.9. 外部触发 378
18.4.10. DMA 请求 379
18.4.11. 溢出检测 379
18.4.12. ADC 内部通道 379
18.4.13. 电池电压监测 380
18.4.14. 可编程分辨率(DRES) 380
18.4.15. 片上硬件过采样 380
18.5. ADC 同步模式 382
18.5.1. 独立模式 383
18.5.2. 常规并行模式 383
18.5.3. 常规跟随模式 384
18.5.4. 在 ADC 同步模式中使用 DMA 385
18.6. 中断 385
18.7. ADC 寄存器 387
18.7.1. 状态寄存器 (ADC_STAT) 387

18.7.2. 控制寄存器 0 (ADC_CTL0) 388
18.7.3. 控制寄存器 1 (ADC_CTL1) 389
18.7.4. 采样时间寄存器 0 (ADC_SAMPT0) 391
18.7.5. 采样时间寄存器 1 (ADC_SAMPT1) 392
18.7.6. 看门狗高阈值寄存器 (ADC_WDHT) 393
18.7.7. 看门狗低阈值寄存器 (ADC_WDLT) 393
18.7.8. 常规序列寄存器 0 (ADC_RSQ0) 394
18.7.9. 常规序列寄存器 1 (ADC_RSQ1) 394
18.7.10. 常规序列寄存器 2 (ADC_RSQ2) 395
18.7.11. 常规数据寄存器 (ADC_RDATA) 395
18.7.12. 过采样控制寄存器 (ADC_OVSAMPCTL) 396
18.7.13. 摘要状态寄存器 (ADC_SSTAT) 397
18.7.14. 同步控制寄存器 (ADC_SYNCCTL) 398
18.7.15. 同步常规数据寄存器 (ADC_SYNCDATA) 400

19. 数模转换器(DAC) 401

19.1. 简介 401

19.2. 主要特征 401

19.3. 功能描述 402

19.3.1. DAC 使能 402
19.3.2. DAC 输出缓冲 402
19.3.3. DAC 数据配置 402
19.3.4. DAC 触发 403
19.3.5. DAC 转换 403
19.3.6. DAC 噪声波 403
19.3.7. DAC 输出电压 404
19.3.8. DMA 请求 404
19.3.9. DAC 并发转换 405

19.4. DAC 寄存器 406

19.4.1. DACx 控制寄存器(DAC_CTL0) 406
19.4.2. DACx 软件触发寄存器(DAC_SWT) 408
19.4.3. DACx_OUT0 12 位右对齐数据保持寄存器(DAC_OUT0_R12DH) 409
19.4.4. DACx_OUT0 12 位左对齐数据保持寄存器(DAC_OUT0_L12DH) 409
19.4.5. DACx_OUT0 8 位右对齐数据保持寄存器(DAC_OUT0_R8DH) 410
19.4.6. DACx_OUT1 12 位右对齐数据保持寄存器(DAC_OUT1_R12DH) 410
19.4.7. DACx_OUT1 12 位左对齐数据保持寄存器(DAC_OUT1_L12DH) 411
19.4.8. DACx_OUT1 8 位右对齐数据保持寄存器(DAC_OUT1_R8DH) 411
19.4.9. DACx 并发模式 12 位右对齐数据保持寄存器(DACC_R12DH) 412
19.4.10. DACx 并发模式 12 位左对齐数据保持寄存器(DACC_L12DH) 412
19.4.11. DACx 并发模式 8 位右对齐数据保持寄存器(DACC_R8DH) 413

19.4.12. DACx_OUT0 数据输出寄存器(DAC_OUT0_DO) 413
19.4.13. DACx_OUT1 数据输出寄存器(DAC_OUT1_DO) 414
19.4.14. DACx 状态寄存器 0(DAC_STAT0) 414

20. 看门狗定时器(WDGT) 416

20.1. 独立看门狗定时器(FWDGT) 416

20.1.1. 简介 416
20.1.2. 主要特征 416
20.1.3. 功能说明 416
20.1.4. FWDGT 寄存器 419

20.2. 窗口看门狗定时器(WWDGT) 422

20.2.1. 简介 422
20.2.2. 主要特征 422
20.2.3. 功能说明 422
20.2.4. WWDGT 寄存器 425

21. 实时时钟(RTC) 427

21.1. 简介 427

21.2. 主要特性 427

21.3. 功能描述 428

21.3.1. 结构框图 428
21.3.2. 时钟源和预分频 429
21.3.3. 影子寄存器 429
21.3.4. 位域可屏蔽可配置的闹钟 429
21.3.5. 可配置周期的自动唤醒定时器 430
21.3.6. RTC 初始化和配置 430
21.3.7. 读取日历 431
21.3.8. RTC 复位 432
21.3.9. RTC 移位功能 433
21.3.10. RTC 参考时钟检测 433
21.3.11. RTC 数字粗校准 434
21.3.12. RTC 数字平滑校准 434
21.3.13. 时间戳功能 436
21.3.14. 侵入检测 436
21.3.15. 校准时钟输出 437
21.3.16. 闹钟输出 438
21.3.17. RTC 省电模式管理 438
21.3.18. RTC 中断 438

21.4. RTC 寄存器 440

21.4.1. 时间寄存器(RTC_TIME) 440
21.4.2. 日期寄存器(RTC_DATE) 440
21.4.3. 控制寄存器(RTC_CTL) 441
21.4.4. 状态寄存器(RTC_STAT) 444
21.4.5. 预分频寄存器(RTC_PSC) 445
21.4.6. 唤醒定时器寄存器(RTC_WUT) 446
21.4.7. 粗校准寄存器(RTC_COSC) 446
21.4.8. 闹钟 0 时间日期寄存器(RTC_ALRM0TD) 447
21.4.9. 闹钟 1 时间日期寄存器(RTC_ALRM1TD) 448
21.4.10. 写保护钥匙寄存器(RTC_WPK) 449
21.4.11. 亚秒寄存器(RTC_SS) 450
21.4.12. 移位控制寄存器(RTC_SHIFTCTL) 450
21.4.13. 时间戳时间寄存器(RTC_TTS) 451
21.4.14. 时间戳日期寄存器(RTC_DTS) 452
21.4.15. 时间戳亚秒寄存器(RTC_SSTS) 452
21.4.16. 高精度频率补偿寄存器(RTC_HRFC) 453
21.4.17. 侵入寄存器(RTC_TAMP) 454
21.4.18. 闹钟 0 亚秒寄存器(RTC_ALRM0SS) 456
21.4.19. 闹钟 1 亚秒寄存器(RTC_ALRM1SS) 457
21.4.20. 备份寄存器(RTC_BKPx)(x=0..19) 458

22. 定时器(TIMERx) 459

22.1. 高级定时器(TIMERx,x=0,7) 460

22.1.1. 简介 460
22.1.2. 主要特性 460
22.1.3. 功能描述 460
22.1.4. TIMERx 寄存器(x=0,7) 489

22.2. 通用定时器 L0(TIMERx, x=1,2,3,4) 519

22.2.1. 简介 519
22.2.2. 主要特性 519
22.2.3. 功能描述 519
22.2.4. TIMERx 寄存器(x=1,2,3,4) 534

22.3. 通用定时器 L1(TIMERx, x=8,11) 559

22.3.1. 简介 559
22.3.2. 主要特性 559
22.3.3. 功能描述 559
22.3.4. TIMERx 寄存器(x=8,11) 570

22.4. 通用定时器 L2(TIMERx, x=9,10,12,13) 582

22.4.1. 简介 582
22.4.2. 主要特性 582
22.4.3. 功能描述 582
22.4.4. TIMERx 寄存器(x=9,10,12,13) 590

22.5. 基本定时器(TIMERx, x=5,6) 601

22.5.1. 简介 601
22.5.2. 主要特性 601
22.5.3. 功能描述 601
22.5.4. TIMERx 寄存器(x=5,6) 605

23. 通用同步异步收发器(USART) 610

23.1. 简介 610

23.2. 主要特性 610

23.3. 功能描述 611

23.3.1. USART 帧格式 612
23.3.2. 波特率发生 613
23.3.3. USART 发送器 613
23.3.4. USART 接收器 614
23.3.5. DMA 方式访问数据缓冲区 615
23.3.6. 硬件流控制 617
23.3.7. 多处理器通信 618
23.3.8. LIN 模式 619
23.3.9. 同步通信模式 619
23.3.10. 串行红外(IrDA SIR)编解码功能模块 620
23.3.11. 半双工通信模式 621
23.3.12. 智能卡(ISO7816-3)模式 622
23.3.13. USART 中断 623

23.4. USART 寄存器 625

23.4.1. 状态寄存器 0(USART_STAT0) 625
23.4.2. 数据寄存器(USART_DATA) 627
23.4.3. 波特率寄存器(USART_BAUD) 627
23.4.4. 控制寄存器 0(USART_CTL0) 628
23.4.5. 控制寄存器 1(USART_CTL1) 629
23.4.6. 控制寄存器 2(USART_CTL2) 631
23.4.7. 保护时间和预分频器寄存器(USART_GP) 633
23.4.8. 控制寄存器 3(USART_CTL3) 633
23.4.9. 接收超时寄存器(USART_RT) 635
23.4.10. 状态寄存器 1(USART_STAT1) 635
23.4.11. 兼容性控制寄存器(USART_CHC) 636

24. 内部集成电路总线接口(I2C) 638

24.1. 内部集成电路总线接口(I2Cx，x=0,1,2) 638

24.1.1. 简介 638
24.1.2. 主要特性 638
24.1.3. 功能描述 638
24.1.4. I2C 寄存器 654

24.2. 内部集成电路总线接口(I2Cx，x=3,4,5) 665

24.2.1. 简介 665
24.2.2. 主要特征 665
24.2.3. 功能说明 665
24.2.4. I2C 寄存器 689

25. 串行外设接口/片上音频接口(SPI/I2S) 702

25.1. 简介 702

25.2. 主要特性 702

25.2.1. SPI 主要特性 702
25.2.2. I2S 主要特性 702

25.3. SPI 结构框图 703

25.4. SPI 信号线描述 703

25.4.1. 常规配置(非 SPI 四线模式) 703
25.4.2. SPI 四线配置 703

25.5. SPI 功能描述 704

25.5.1. SPI 时序和数据帧格式 704
25.5.2. NSS 功能 705
25.5.3. SPI 运行模式 706
25.5.4. DMA 功能 713
25.5.5. CRC 功能 713

25.6. SPI 中断 714

25.6.1. 状态标志位 714
25.6.2. 错误标志 714

25.7. I2S 结构框图 715

25.8. I2S 信号线描述 716

25.9. I2S 功能描述 716
25.9.1. I2S 音频标准 716
25.9.2. I2S 时钟 723
25.9.3. 运行 724
25.9.4. DMA 功能 727
25.10. I2S 中断 727
25.10.1. 状态标志位 727
25.10.2. 错误标志 728
25.11. SPI/I2S 寄存器 729
25.11.1. 控制寄存器 0(SPI_CTL0) 729
25.11.2. 控制寄存器 1(SPI_CTL1) 731
25.11.3. 状态寄存器(SPI_STAT) 732
25.11.4. 数据寄存器(SPI_DATA) 733
25.11.5. CRC 多项式寄存器(SPI_CRCPOLY) 734
25.11.6. 接收 CRC 寄存器(SPI_RCRC) 734
25.11.7. 发送 CRC 寄存器(SPI_TCRC) 735
25.11.8. I2S 控制寄存器(SPI_I2SCTL) 735
25.11.9. I2S 时钟预分频寄存器(SPI_I2SPSC) 737
25.11.10. SPI5 四线 SPI 控制寄存器(SPI_QCTL) 737
26. 串行音频接口(SAI) 739
26.1. 简介 739
26.2. 主要特征 739
26.3. 功能描述 740
26.3.1. 模块框图 740
26.3.2. 时钟分频器 741
26.3.3. 操作模式 742
26.3.4. 同步模式 743
26.3.5. 帧配置 743
26.3.6. Slot 配置 745
26.3.7. 数据配置 747
26.3.8. 同步 FIFO 747
26.3.9. AC'97 链路控制器 748
26.3.10. SPDIF 输出 749
26.3.11. 立体声/单声道 751
26.3.12. 静音 751
26.3.13. 压缩扩展器 752
26.3.14. 输出驱动 754

26.3.15. IO 管理 754
26.3.16. DMA 接口 755
26.3.17. 使能/失能 755
26.3.18. 错误标志位 755
26.3.19. 中断 758
26.4. SAI 寄存器 759
26.4.1. 同步配置寄存器(SAI_SYNCFG) 759
26.4.2. 子模块 x 配置寄存器 0(SAI_BxCFG0)(x = 0, 1) 759
26.4.3. 子模块 x 配置寄存器 1(SAI_BxCFG1)(x = 0, 1) 762
26.4.4. 子模块 x 帧配置寄存器(SAI_BxFCFG)(x = 0, 1) 764
26.4.5. 子模块 x slot 配置寄存器(SAI_BxSCFG)(x = 0, 1) 765
26.4.6. 子模块 x 中断使能寄存器(SAI_BxINTEN)(x = 0, 1) 766
26.4.7. 子模块 x 状态寄存器(SAI_BxSTAT)(x = 0, 1) 767
26.4.8. 子模块 x 中断标志清除寄存器(SAI_BxINTC)(x = 0, 1) 769
26.4.9. 子模块 x 数据寄存器(SAI_BxDATA)(x = 0, 1) 770
27. 数字摄像头接口(DCI) 771
27.1. 简介 771
27.2. 主要特性 771
27.3. 结构框图 771
27.4. 信号描述 772
27.5. 功能说明 772
27.5.1. DCI 硬件同步模式 772
27.5.2. 内嵌码同步模式 773
27.5.3. 用快照或连续捕获模式捕获数据 773
27.5.4. 窗口功能 773
27.5.5. 像素格式、数据填充和 DMA 接口 774
27.6. 状态、错误和中断 775
27.7. DCI 寄存器 776
27.7.1. 控制寄存器(DCI_CTL) 776
27.7.2. 状态寄存器 0(DCI_STAT0) 777
27.7.3. 状态寄存器 1(DCI_STAT1) 778
27.7.4. 中断使能寄存器(DCI_INTEN) 778
27.7.5. 中断标志寄存器(DCI_INTF) 779
27.7.6. 中断标志清除寄存器(DCI_INTC) 780
27.7.7. 同步码寄存器(DCI_SC) 780

27.7.8. 同步码屏蔽寄存器(DCI_SCUMSK) 781
27.7.9. 剪裁窗口开始位置寄存器(DCI_CWSPOS) 781
27.7.10. 剪裁窗口大小寄存器(DCI_CWSZ) 782
27.7.11. 数据寄存器(DCI_DATA) 782

28. TFT-LCD 接口(TLI) 784

28.1. 简介 784

28.2. 主要特点 784

28.3. 结构框图 784

28.4. 信号线描述 785

28.5. 功能描述 785

28.5.1. LCD 显示时序 785
28.5.2. 像素 DMA 功能 786
28.5.3. 像素格式 787
28.5.4. 层窗口和混合功能 787
28.5.5. Layer 配置重载 788
28.5.6. 抖动 788

28.6. 中断 788

28.7. TLI 寄存器 790

28.7.1. 同步脉冲宽度寄存器(TLI_SPSZ) 790
28.7.2. 后沿宽度寄存器(TLI_BPSZ) 790
28.7.3. 有效宽度寄存器(TLI_ASZ) 791
28.7.4. 总宽度寄存器(TLI_TSZ) 791
28.7.5. 控制寄存器(TLI_CTL) 792
28.7.6. 重载层配置寄存器(TLI_RL) 793
28.7.7. 背景色配置寄存器(TLI_BGC) 793
28.7.8. 中断使能寄存器(TLI_INTEN) 794
28.7.9. 中断标志寄存器(TLI_INTF) 795
28.7.10. 中断标志清除寄存器(TLI_INTC) 795
28.7.11. 行标记寄存器(TLI_LM) 796
28.7.12. 当前像素位置寄存器(TLI_CPPOS) 796
28.7.13. 状态寄存器(TLI_STAT) 797
28.7.14. 第 x 层控制寄存器(TLI_LxCTL)(x = 0, 1) 797
28.7.15. 第 x 层水平位置参数寄存器(TLI_LxHPOS)(x = 0, 1) 798
28.7.16. 第 x 层垂直位置参数寄存器(TLI_LxVPOS)(x = 0, 1) 799
28.7.17. 第 x 层色键值寄存器(TLI_LxCKEY)(x = 0, 1) 799
28.7.18. 第 x 层像素格式寄存器(TLI_LxPPF)(x = 0, 1) 800

28.7.19. 第 x 层恒定 Alpha 寄存器(TLI_LxSA)(x = 0, 1) 800
28.7.20. 第 x 层默认颜色寄存器(TLI_LxDC)(x = 0, 1) 801
28.7.21. 第 x 层混合寄存器(TLI_LxBLEND)(x = 0, 1) 801
28.7.22. 第 x 层帧基地址寄存器(TLI_LxFBADDR)(x = 0, 1) 802
28.7.23. 第 x 层行长度寄存器(TLI_LxFLLEN)(x = 0, 1) 802
28.7.24. 第 x 层总行数寄存器(TLI_LxFTLN)(x = 0, 1) 803
28.7.25. 第 x 层颜色查找表寄存器(TLI_LxLUT)(x = 0, 1) 803

29. SDIO 接口(SDIO) 805

29.1. 简介 805

29.2. 主要特征 805

29.3. SDIO 总线拓扑 805

29.4. SDIO 功能描述 807

29.4.1. SDIO 适配器 808
29.4.2. APB2 接口 811

29.5. 卡功能描述 813

29.5.1. 卡寄存器 813
29.5.2. 命令 814
29.5.3. 响应 822
29.5.4. 数据包格式 826
29.5.5. 卡的两种状态 827

29.6. 编程序列 833

29.6.1. 卡识别 833
29.6.2. 无数据命令 834
29.6.3. 单个数据块或多个数据块写 835
29.6.4. 单个数据块或多个数据块读 836
29.6.5. 数据流写和数据流读(仅适用于 MMC) 836
29.6.6. 擦除 838
29.6.7. 总线宽度选择 838
29.6.8. 保护管理 838
29.6.9. 卡上锁/解锁操作 839

29.7. 特定操作 841

29.7.1. SD I/O 特定操作 841
29.7.2. CE-ATA 特定操作 844

29.8. SDIO 寄存器 845

29.8.1. 电源控制寄存器(SDIO_PWRCTL) 845

29.8.2. 时钟控制寄存器(SDIO_CLKCTL) 845
29.8.3. 命令参数寄存器(SDIO_CMDAGMT) 846
29.8.4. 命令控制寄存器(SDIO_CMDCTL) 847
29.8.5. 命令索引响应寄存器(SDIO_RSPCMDIDX) 848
29.8.6. 响应寄存器(SDIO_RESPx)(x=0...3) 849
29.8.7. 数据超时寄存器(SDIO_DATATO) 849
29.8.8. 数据长度寄存器(SDIO_DATALEN) 850
29.8.9. 数据控制寄存器(SDIO_DATACTL) 850
29.8.10. 数据计数寄存器(SDIO_DATACNT) 852
29.8.11. 状态寄存器(SDIO_STAT) 852
29.8.12. 中断清除寄存器(SDIO_INTC) 853
29.8.13. 中断使能寄存器(SDIO_INTEN) 855
29.8.14. FIFO 计数寄存器(SDIO_FIFOCNT) 856
29.8.15. FIFO 数据寄存器(SDIO_FIFO) 857

30. 外部存储器控制器(EXMC) 858

30.1. 简介 858

30.2. 主要特性 858

30.3. 功能说明 858

30.3.1. 结构框图 858
30.3.2. EXMC 访问基本规范 859
30.3.3. 外部设备地址映射 860
30.3.4. NOR / PSRAM 控制器 863
30.3.5. NAND Flash 或 PC Card 控制器 884
30.3.6. SDRAM 控制器 889

30.4. EXMC 寄存器 899

30.4.1. NOR / PSRAM 控制器寄存器 899
30.4.2. NAND Flash / PC Card 控制器寄存器 904
30.4.3. SDRAM 控制器寄存器 910
30.4.4. SQPI - PSRAM 控制器寄存器 916

31. 控制器局域网络(CAN) 920

31.1. 简介 920

31.2. 主要特征 920

31.3. 功能说明 921

31.3.1. 工作模式 921

31.3.2. 通信模式 922
31.3.3. 数据发送 923
31.3.4. 数据接收 925
31.3.5. 过滤功能 926
31.3.6. 时间触发通信 930
31.3.7. 通信参数 930
31.3.8. CAN FD 操作 931
31.3.9. 传输延迟补偿 932
31.3.10. 错误标志 933
31.3.11. 中断 933

31.4. CAN 寄存器 936

31.4.1. 控制寄存器(CAN_CTL) 936
31.4.2. 状态寄存器(CAN_STAT) 937
31.4.3. 发送状态寄存器(CAN_TSTAT) 938
31.4.4. 接收 FIFO0 寄存器(CAN_RFIFO0) 941
31.4.5. 接收 FIFO1 寄存器(CAN_RFIFO1) 942
31.4.6. 中断使能寄存器(CAN_INTEN) 942
31.4.7. 错误寄存器(CAN_ERR) 944
31.4.8. 位时序寄存器(CAN_BT) 945
31.4.9. FD 控制寄存器(CAN_FDCTL) 946
31.4.10. FD 状态寄存器(CAN_FDSTAT) 947
31.4.11. FD 传输延迟补偿寄存器(CAN_FDTDC) 947
31.4.12. 数据位时序寄存器(CAN_DBT) 948
31.4.13. 发送邮箱标识符寄存器(CAN_TMIx)(x = 0..2) 948
31.4.14. 发送邮箱属性寄存器(CAN_TMPx)(x = 0..2) 949
31.4.15. 发送邮箱 data0 寄存器(CAN_TMDATA0x)(x=0..2) 950
31.4.16. 发送邮箱 data1 寄存器(CAN_TMDATA1x)(x=0..2) 950
31.4.17. 接收 FIFO 邮箱标识符寄存器(CAN_RFIFOMIx)(x=0,1) 951
31.4.18. 接收 FIFO 邮箱属性寄存器(CAN_RFIFOMPx)(x=0,1) 952
31.4.19. 接收 FIFO 邮箱 data0 寄存器(CAN_RFIFOMDATA0x)(x=0,1) 952
31.4.20. 接收 FIFO 邮箱 data1 寄存器(CAN_RFIFOMDATA1x)(x=0,1) 953
31.4.21. 过滤器控制寄存器(CAN_FCTL) 953
31.4.22. 过滤器模式配置寄存器(CAN_FMCFG) 954
31.4.23. 过滤器位宽配置寄存器(CAN_FSCFG) 954
31.4.24. 过滤器关联 FIFO 寄存器(CAN_FAFIFO) 955
31.4.25. 过滤器激活寄存器(CAN_FW) 955
31.4.26. 过滤器(x)数据(y)寄存器(CAN_FxDATAy)(x=0..27, y=0,1) 956

32. 以太网(ENET) 957

32.1. 简介 957

32.2. 主要特性 957

32.2.1. 模块框图 958
32.2.2. MAC 802.3 以太网数据包描述 959
32.2.3. 以太网信号描述 959
32.3. 功能描述 960
32.3.1. 接口配置 960
32.3.2. MAC 功能简介 964
32.3.3. DMA 控制器描述 973
32.3.4. MAC 统计计数器：MSC 995
32.3.5. 唤醒管理：WUM 995
32.3.6. 精确时间协议：PTP 998
32.3.7. 典型的以太网配置流程示例 1002
32.3.8. 以太网中断 1003
32.4. ENET 寄存器 1005
32.4.1. MAC 配置寄存器(ENET_MAC_CFG) 1005
32.4.2. MAC 帧过滤器寄存器(ENET_MAC_FRMF) 1007
32.4.3. MAC hash 列表高寄存器(ENET_MAC_HLH) 1009
32.4.4. MAC hash 列表低寄存器(ENET_MAC_HLL) 1009
32.4.5. MAC PHY 控制寄存器(ENET_MAC_PHY_CTL) 1009
32.4.6. MAC PHY 数据寄存器(ENET_MAC_PHY_DATA) 1010
32.4.7. MAC 流控寄存器(ENET_MAC_FCTL) 1011
32.4.8. MAC VLAN 标签寄存器(ENET_MAC_VLT) 1012
32.4.9. MAC 远程唤醒帧过滤器寄存器(ENET_MAC_RWFF) 1013
32.4.10. MAC 唤醒管理寄存器(ENET_MAC_WUM) 1013
32.4.11. MAC 调试寄存器(ENET_MAC_DBG) 1014
32.4.12. MAC 中断状态寄存器(ENET_MAC_INTF) 1016
32.4.13. MAC 中断屏蔽寄存器(ENET_MAC_INTMSK) 1017
32.4.14. MAC 地址 0 高寄存器(ENET_MAC_ADDR0H) 1018
32.4.15. MAC 地址 0 低寄存器(ENET_MAC_ADDR0L) 1018
32.4.16. MAC 地址 1 高寄存器(ENET_MAC_ADDR1H) 1019
32.4.17. MAC 地址 1 低寄存器(ENET_MAC_ADDR1L) 1019
32.4.18. MAC 地址 2 高寄存器(ENET_ MAC_ADDR2H) 1020
32.4.19. MAC 地址 2 低寄存器(ENET_MAC_ADDR2L) 1021
32.4.20. MAC 地址 3 高寄存器(ENET_MAC_ADDR3H) 1021
32.4.21. MAC 地址 3 低寄存器(ENET_MAC_ADDR3L) 1022
32.4.22. MAC 流控阈值寄存器(ENET_MAC_FCTH) 1022
32.4.23. MSC 控制寄存器(ENET_MSC_CTL) 1023
32.4.24. MSC 接收中断状态寄存器(ENET_MSC_RINTF) 1024
32.4.25. MSC 发送中断状态寄存器(ENET_MSC_TINTF) 1025
32.4.26. MSC 接收中断屏蔽寄存器(ENET_MSC_RINTMSK) 1025
32.4.27. MSC 发送中断屏蔽寄存器(ENET_MSC_TINTMSK) 1026
32.4.28. MSC 1 次冲突后发送"好"帧的计数器寄存器(ENET_MSC_SCCNT) 1027
32.4.29. MSC 1 次以上冲突后发送"好"帧的计数器寄存器(ENET_MSC_MSCCNT) 1027

32.4.30. MSC 发送"好"帧计数器寄存器(ENET_MSC_TGFCNT) 1028
32.4.31. MSC CRC 错误接收帧计数器寄存器(ENET_MSC_RFCECNT) 1028
32.4.32. MSC 对齐错误接收帧计数器寄存器(ENET_MSC_RFAECNT) 1029
32.4.33. MSC"好"单播帧接收帧计数器寄存器(ENET_MSC_RGUFCNT) 1029
32.4.34. PTP 时间戳控制寄存器(ENET_PTP_TSCTL) 1029
32.4.35. PTP 亚秒递增寄存器(ENET_PTP_SSINC) 1032
32.4.36. PTP 时间戳高寄存器(ENET_PTP_TSH) 1032
32.4.37. PTP 时间戳低寄存器(ENET_PTP_TSL) 1033
32.4.38. PTP 时间戳高更新寄存器(ENET_PTP_TSUH) 1033
32.4.39. PTP 时间戳低更新寄存器(ENET_PTP_TSUL) 1034
32.4.40. PTP 时间戳加数寄存器(ENET_PTP_TSADDEND) 1034
32.4.41. PTP 期望时间高寄存器(ENET_PTP_ETH) 1035
32.4.42. PTP 期望时间低寄存器(ENET_PTP_ETL) 1035
32.4.43. PTP 时间戳标志寄存器(ENET_PTP_TSF) 1035
32.4.44. PTP PPS 控制寄存器(ENET_PTP_PPSCTL) 1036
32.4.45. DMA 总线控制寄存器(ENET_DMA_BCTL) 1037
32.4.46. DMA 发送查询使能寄存器(ENET_DMA_TPEN) 1038
32.4.47. DMA 接收查询使能寄存器(ENET_DMA_RPEN) 1039
32.4.48. DMA 接收描述符列表地址寄存器(ENET_DMA_RDTADDR) 1040
32.4.49. DMA 发送描述符列表地址寄存器(ENET_DMA_TDTADDR) 1040
32.4.50. DMA 状态寄存器(ENET_DMA_STAT) 1041
32.4.51. DMA 控制寄存器(ENET_DMA_CTL) 1044
32.4.52. DMA 中断使能寄存器(ENET_DMA_INTEN) 1046
32.4.53. DMA 丢失帧和缓存溢出计数器寄存器(ENET_DMA_MFBOCNT) 1048
32.4.54. DMA 接收状态看门狗计数器寄存器(ENET_DMA_RSWDC) 1049
32.4.55. DMA 当前发送描述符地址寄存器(ENET_DMA_CTDADDR) 1049
32.4.56. DMA 当前接收描述符地址寄存器(ENET_DMA_CRDADDR) 1050
32.4.57. DMA 当前发送缓存地址寄存器(ENET_DMA_CTBADDR) 1050
32.4.58. DMA 当前接收缓存地址寄存器(ENET_DMA_CRBADDR) 1051

33. 通用串行总线全速接口(USBFS) 1052

33.1. 概述 1052

33.2. 主要特性 1052

33.3. 结构框图 1053

33.4. 信号线描述 1053

33.5. 功能描述 1053

33.5.1. USBFS 时钟及工作模式 1053
33.5.2. USB 主机功能 1055
33.5.3. USB 设备功能 1057

33.5.4. OTG 功能概述 1058
33.5.5. 数据 FIFO 1059
33.5.6. 操作手册 1060
33.6. 中断 1064
33.7. USBFS 寄存器 1065
33.7.1. 全局控制与状态寄存器组 1065
33.7.2. 主机控制和状态寄存器组 1087
33.7.3. 设备控制和状态寄存器组 1098
33.7.4. 电源和时钟控制寄存器 (USBFS_PWRCLKCTL) 1121
34. 通用串行总线高速接口(USBHS) 1122
34.1. 概述 1122
34.2. 主要特性 1122
34.3. 结构框图 1123
34.4. 信号线描述 1123
34.5. 功能描述 1123
34.5.1. USBHS PHY 选择、时钟及工作模式 1123
34.5.2. USB 主机功能 1126
34.5.3. USB 设备功能 1128
34.5.4. OTG 功能概述 1129
34.5.5. 数据 FIFO 1130
34.5.6. DMA 功能 1132
34.5.7. 操作手册 1133
34.6. 中断 1138
34.7. USBHS 寄存器 1140
34.7.1. 全局控制与状态寄存器组 1140
34.7.2. 主机控制和状态寄存器组 1163
34.7.3. 设备控制和状态寄存器组 1176
34.7.4. 电源和时钟控制寄存器(USBHS_PWRCLKCTL) 1204
35. 附录 1206
35.1. 寄存器表中使用的缩写列表 1206
35.2. 术语表 1206

35.3. 可用外设 1207

36. 版本历史 1208

图索引

图 1-1 Cortex®-M33 处理器结构框图 45
图 1-2 GD32F527xx 系列器件的系统架构示意图 47
图 1-3 ECC 解码器示意图 52
图 2-1. GD32F527xx 存储器访问架构 74
图 2-2.可信任代码区保护 76
图 2-3.可信任代码区与密码区应用 77
图 2-4.安全启动流程 79
图 3-1. 页擦除操作流程 89
图 3-2. 扇区擦除操作流程 90
图 3-3. 整片擦除操作流程 91
图 3-4. 闪存编程操作流程 92
图 4-1. 电源域概览 114
图 4-2. 上电 / 掉电复位波形图 116
图 4-3. BOR 波形图 116
图 4-4. LVD 阈值波形图 117
图 5-1. 系统复位电路 126
图 5-2. 时钟树 127
图 5-3. HXTAL 时钟源 129
图 5-4. 旁路模式下 HXTAL 时钟源 129
图 6-1. CTC 简介 186
图 6-2. CTC 校准计数器 187
图 7-1. EXTI 的结构框图 199
图 8-1. GPIO 端口位的基本结构 206
图 8-2. 输入配置的基本结构 208
图 8-3. 输出配置的基本结构 208
图 8-4. 模拟配置的基本结构 209
图 8-5. 备用功能配置的基本结构 209
图 9-1. CRC 计算单元框图 224
图 10-1. TRNG 模块框图 228
图 11-1. PKCAU 模块框图 233
图 11-2. RSA 算法流程图 234
图 11-3. ECDSA 签名流程图 236
图 11-4. ECDSA 验证流程图 237
图 11-5. 算术加法 238
图 11-6. 算术减法 239
图 11-7. 算术乘法 239
图 11-8. 算术比较 240
图 11-9. 取模运算 240
图 11-10. 模加法 241
图 11-11. 模减法 242

图 11-12. 蒙哥马利参数计算 242
图 11-13. 蒙哥马利域和自然域之间的相互映射 243
图 11-14. 蒙哥马利乘法 244
图 11-15. 普通模式模幂运算 244
图 11-16. 快速模式模幂运算 245
图 11-17. 模逆运算 245
图 11-18. RSA CRT 求幂 246
图 11-19. 椭圆曲线在 Fp 域上点的检查 247
图 11-20. 普通模式 ECC 标量乘法 248
图 11-21. 快速模式 ECC 标量乘法 249
图 11-22. ECDSA 签名 250
图 11-23. ECDSA 验证 251
图 12-1. DATAM 不交换 / 半字交换 259
图 12-2. DATAM 字节交换 / 位交换 259
图 12-3. HAU 结构框图 260
图 13-1. DATAM 不交换 / 半字交换 273
图 13-2. DATATM 字节交换 / 位交换 274
图 13-3. CAU 框图 275
图 13-4. DES / TDES ECB 加密 276
图 13-5. DES / TDES ECB 解密 277
图 13-6. DES / TDES CBC 加密 278
图 13-7. DES / TDES CBC 解密 279
图 13-8. AES ECB 加密 280
图 13-9. AES ECB 解密 280
图 13-10. AES CBC 加密 281
图 13-11. AES CBC 解密 282
图 13-12. 计数器块结构 282
图 13-13. AES CTR 加密/解密 283
图 14-1. 系统架构 301
图 14-2. 三种传输模式的数据流 302
图 14-3. 握手机制 303
图 14-4. PWIDTH 为'0b00'时，数据的打包 / 解包 307
图 14-5. PWIDTH 为'0b01'时，数据的打包 / 解包 308
图 14-6. PWIDTH 为'0b10'时，数据的打包 / 解包 308
图 14-7. 存储切换模式 309
图 14-8. DMA0 与 DMA1 的系统连接 315
图 15-1. IPA 模块框图 328
图 15-2. 从'RGB888'到'ARGB8888'像素格式扩展 331
图 15-3. 从'RGB565'到'ARGB8888'像素格式扩展 331
图 15-4. 从'ARGB1555'或'ARGB4444'到'ARGB8888'像素格式扩展 332
图 15-5. 像素压缩 334
图 15-6. 内部定时器操作 335
图 15-7. IPA 的系统连接 341
图 18-1. ADC 模块框图 373

图 18-2. 单次运行模式 374
图 18-3. 连续运行模式 375
图 18-4. 扫描运行模式，且连续转换模式失能 376
图 18-5. 扫描运行模式，连续运行模式使能 376
图 18-6. 间断转换模式 376
图 18-7. 12 位数据存储模式 377
图 18-8. 10 位数据存储模式 377
图 18-9. 8 位数据存储模式 377
图 18-10. 6 位数据存储模式 378
图 18-11. 20 位到 16 位的结果截断 381
图 18-12. 右移 5 位和取整的数例 381
图 18-13. ADC 同步框图 383
图 18-14. 基于 16 个通道的常规并行模式 384
图 18-15. 一个采用连续运行模式通道上的跟随模式 384
图 19-1. DAC 结构框图 401
图 19-2. DAC LFSR 算法 404
图 19-3. DAC 三角噪声模式生成的波形 404
图 20-1. 独立看门狗定时器框图 417
图 20-2. 窗口看门狗定时器框图 422
图 20-3. 窗口看门狗定时器时序图 423
图 21-1. RTC 结构框图 428
图 22-1. 高级定时器结构框图 461
图 22-2. 内部时钟分频为 1 时，计数器的时序图 462
图 22-3. 当 PSC 数值从 0 变到 2 时，计数器的时序图 463
图 22-4. 向上计数时序图，PSC=0/2 464
图 22-5. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值 464
图 22-6. 向下计数时序图，PSC=0/2 465
图 22-7. 向下计数时序图，在运行时改变 TIMERx_CAR 寄存器值 466
图 22-8. 中央计数模式计数器时序图 467
图 22-9. 中央计数模式下计数器重复时序图 468
图 22-10. 在向上计数模式下计数器重复时序图 468
图 22-11. 在向下计数模式下计数器重复时序图 469
图 22-12. 通道输入捕获原理 469
图 22-13. 三种输出比较模式 471
图 22-14. EAPWM 时序图 472
图 22-15. CAPWM 时序图 472
图 22-16 通道 x 输出 PWM(CHxVAL < CHxCOMVAL_ADD) 474
图 22-17 通道 x 输出 PWM(CHxVAL = CHxCOMVAL_ADD) 474
图 22-18. 通道 x 输出 PWM(CHxVAL > CHxCOMVAL_ADD) 475
图 22-19. 通道 x 输出 PWM(CHxVAL 或 CHxCOMVAL_ADD > CARL) 475
图 22-20. 通道 x 输出 PWM 占空比随着 CHxCOMVAL_ADD 值而改变 476
图 22-21. 复合 PWM 模式下四通道输出 476
图 22-22. 带死区时间的互补输出 479
图 22-23. 通道响应中止输入(高电平有效)时，输出信号的行为 480

图 22-24. 在译码器模式 2 且 CI0FE0 极性不反相时计数器行为 481
图 22-25. 在译码器模式 2 且 CI0FE0 极性反相时计数器行为 481
图 22-26. 霍尔传感器用在 BLDC 电机控制中 482
图 22-27. 两个定时器之间的霍尔传感器时序图 483
图 22-28. 复位模式 484
图 22-29. 暂停模式 484
图 22-30. 事件模式 485
图 22-31. 单脉冲模式，TIMERx_CHxCV = 0x04 TIMERx_CAR=0x60 485
图 22-32. 定时器 0 主/从模式的例子 486
图 22-33. 用定时器 2 的 CI0 输入来触发定时器 0 和定时器 2 487
图 22-34. 通用定时器 L0 结构框图 520
图 22-35. 内部时钟分频为 1 时，计数器的时序图 521
图 22-36. 当 PSC 数值从 0 变到 2 时，计数器的时序图 522
图 22-37. 向上计数时序图，PSC=0/2 523
图 22-38. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值 523
图 22-39. 向下计数时序图，PSC=0/2 524
图 22-40. 向下计数时序图，在运行时改变 TIMERx_CAR 寄存器值 525
图 22-41. 中央计数模式计数器时序图 526
图 22-42. 通道输入捕获原理 527
图 22-43. 三种输出比较模式 528
图 22-44. EAPWM 时序图 529
图 22-45. CAPWM 时序图 530
图 22-46. 复位模式 531
图 22-47. 暂停模式 532
图 22-48. 事件模式 532
图 22-49. 通用定时器 L1 结构框图 560
图 22-50. 内部时钟分频为 1 时，计数器的时序图 560
图 22-51. 当 PSC 数值从 0 变到 2 时，计数器的时序图 561
图 22-52. 向上计数时序图，PSC=0/2 562
图 22-53. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值 562
图 22-54. 通道输入捕获原理 563
图 22-55. 三种输出比较模式 565
图 22-56. EAPWM 时序图 566
图 22-57. CAPWM 时序图 566
图 22-58. 复位模式 567
图 22-59. 暂停模式 568
图 22-60. 事件模式 568
图 22-61. 单脉冲模式，TIMERx_CHxCV = 4 TIMERx_CAR=99 569
图 22-62. 通用定时器 L2 结构框图 582
图 22-63. 内部时钟分频为 1 时，计数器的时序图 583
图 22-64. 当 PSC 数值从 0 变到 2 时，计数器的时序图 584
图 22-65. 向上计数时序图，PSC=0/2 585
图 22-66. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值 585
图 22-67. 通道输入捕获原理 586

图 22-68. 三种输出比较模式 588
图 22-69. 基本定时器结构框图 601
图 22-70. 内部时钟分频为 1 时，计数器的时序图 602
图 22-71. 当 PSC 数值从 0 变到 2 时，计数器的时序图 602
图 22-72. 向上计数时序图，PSC=0/2 603
图 22-73. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值 604
图 23-1. USART 模块内部框图 612
图 23-2. USART 字符帧(8 数据位和 1 停止位) 612
图 23-3. USART 发送步骤 614
图 23-4. 过采样方式接收一个数据位(OSB=0) 615
图 23-5. 采用 DMA 方式实现 USART 数据发送配置步骤 616
图 23-6. 采用 DMA 方式实现 USART 数据接收配置步骤 617
图 23-7. 两个 USART 之间的硬件流控制 617
图 23-8. 硬件流控制 618
图 23-9. 空闲状态下检测断开帧 619
图 23-10. 数据传输过程中检测断开帧 619
图 23-11. 同步模式下的 USART 示例 620
图 23-12. 8-bit 格式的 USART 同步通信波形(CLEN=1) 620
图 23-13. IrDA SIR ENDEC 模块 621
图 23-14. IrDA 数据调制 621
图 23-15. ISO7816-3 数据帧格式 622
图 23-16. USART 中断映射框图 624
图 24-1. I2C 模块框图 639
图 24-2. 数据有效性 640
图 24-3. 起始和停止信号 640
图 24-4. 时钟同步 640
图 24-5. SDA 线仲裁 641
图 24-6. 7 位地址的 I2C 通讯流程 641
图 24-7. 10 位地址的 I2C 通讯流程(主机发送) 641
图 24-8. 10 位地址的 I2C 通讯流程(主机接收) 641
图 24-9. 从机发送模式(10 位地址模式) 643
图 24-10. 从机接收模式(10 位地址模式) 644
图 24-11. 主机发送模式(10 位地址模式) 645
图 24-12. 主机接收使用方案 A 模式(10 位地址模式) 647
图 24-13. 主机接收使用方案 B 模式(10 位地址模式) 649
图 24-14. I2C 模块框图 666
图 24-15. 数据有效性 667
图 24-16. 开始和停止信号 668
图 24-17. 10 位地址的 I2C 通讯流程(主机发送) 668
图 24-18. 7 位地址的 I2C 通讯流程(主机发送) 668
图 24-19. 7 位地址的 I2C 通讯流程(主机接收) 669
图 24-20. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=0) 669
图 24-21. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=1) 669
图 24-22. 数据保持时间 670

图 24-23. 数据建立时间 670
图 24-24. 数据发送 672
图 24-25. 数据接收 672
图 24-26. I2C 从机初始化 675
图 24-27. I2C 从机发送编程模型(SS=0) 676
图 24-28. I2C 从机发送编程模型(SS=1) 677
图 24-29. I2C 从机接收编程模型 678
图 24-30. I2C 主机初始化 679
图 24-31. I2C 主机发送编程模型(N<=255) 680
图 24-32. I2C 主机发送编程模型(N>255) 681
图 24-33. I2C 主机接收编程模型(N<=255) 682
图 24-34. I2C 主机接收编程模型(N>255) 683
图 24-35. SMBus 主机发送器和从机接收器通信流程 686
图 24-36. SMBus 主机接收器和从机发送器通信流程 686
图 25-1. SPI 结构框图 703
图 25-2. 常规模式下的 SPI 时序图 704
图 25-3. SPI 四线模式下的 SPI 时序图(CKPL=1, CKPH=1, LF=0) 705
图 25-4. 典型的全双工模式连接 707
图 25-5. 典型的单工模式连接(主机：接收，从机：发送) 708
图 25-6. 典型的单工模式连接(主机：只发送，从机：接收) 708
图 25-7. 典型的双向线连接 708
图 25-8. 主机 TI 模式在不连续发送时的时序图 710
图 25-9. 主机 TI 模式在连续发送时的时序图 710
图 25-10. 从机 TI 模式时序图 710
图 25-11. SPI 四线模式写操作时序图 711
图 25-12. SPI 四线模式读操作时序图 712
图 25-13. I2S 结构框图 715
图 25-14. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=0, CKPL=0) 716
图 25-15. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=0, CKPL=1) 717
图 25-16. I2S 飞利浦标准时序图(DTLEN=10, CHLEN=1, CKPL=0) 717
图 25-17. I2S 飞利浦标准时序图(DTLEN=10, CHLEN=1, CKPL=1) 717
图 25-18. I2S 飞利浦标准时序图(DTLEN=01, CHLEN=1, CKPL=0) 717
图 25-19. I2S 飞利浦标准时序图(DTLEN=01, CHLEN=1, CKPL=1) 717
图 25-20. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=1, CKPL=0) 718
图 25-21. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=1, CKPL=1) 718
图 25-22. MSB 对齐标准时序图(DTLEN=00, CHLEN=0, CKPL=0) 718
图 25-23. MSB 对齐标准时序图(DTLEN=00, CHLEN=0, CKPL=1) 718
图 25-24. MSB 对齐标准时序图(DTLEN=10, CHLEN=1, CKPL=0) 718
图 25-25. MSB 对齐标准时序图(DTLEN=10, CHLEN=1, CKPL=1) 719
图 25-26. MSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=0) 719
图 25-27. MSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=1) 719
图 25-28. MSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=0) 719
图 25-29. MSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=1) 719
图 25-30. LSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=0) 720

图 25-31. LSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=1) 720
图 25-32. LSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=0) 720
图 25-33. LSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=1) 720
图 25-34. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=0) 721
图 25-35. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=1) 721
图 25-36. PCM 标准短帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=0) 721
图 25-37. PCM 标准短帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=1) 721
图 25-38. PCM 标准短帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=0) 721
图 25-39. PCM 标准短帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=1) 721
图 25-40. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=0) 722
图 25-41. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=1) 722
图 25-42. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=0) 722
图 25-43. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=1) 722
图 25-44. PCM 标准长帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=0) 722
图 25-45. PCM 标准长帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=1) 722
图 25-46. PCM 标准长帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=0) 723
图 25-47. PCM 标准长帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=1) 723
图 25-48. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=0) 723
图 25-49. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=1) 723
图 25-50. I2S 时钟生成结构框图 723
图 26-1. 模块框图 740
图 26-2. 时钟分频逻辑 741
图 26-3. FS 有效宽度 744
图 26-4. FS 极性 744
图 26-5. FS 功能 744
图 26-6. Slot 激活 745
图 26-7. 当 FSFUNC=0 时，slot 分布 745
图 26-8. 当 FSFUNC=1 时，slot 分布 746
图 26-9. Slot 部分的规定 746
图 26-10. 偏移区的处理 746
图 26-11. SD 输出管理 747
图 26-12. 数据配置 747
图 26-13. AC'97 的 slot 划分 748
图 26-14. AC'97 TAG 定义 749
图 26-15. SPDIF 数据格式 750
图 26-16. 静音帧有效 752
图 26-17. 压缩扩展数据通路 752
图 26-18. 帧同步提前检测示意图 756
图 26-19. 帧同步滞后检测示意图 757
图 27-1. DCI 模块示意图 771
图 27-2. 硬件同步模式 772
图 27-3. 硬件同步模式之 JPEG 格式 773
图 28-1. TLI 模块框图 784
图 28-2. 显示时序图 786

图 28-3. 混合过程框图 788
图 29-1. SDIO "无响应" 和 "无数据" 操作 806
图 29-2. SDIO 多块读操作 806
图 29-3. SDIO 多块写操作 806
图 29-4. SDIO 数据流读操作 807
图 29-5. SDIO 数据流写操作 807
图 29-6. SDIO 框图 808
图 29-7. 命令标记格式 814
图 29-8. 响应令牌格式 823
图 29-9. 1 位数据总线宽度 826
图 29-10. 4 位数据总线宽度 826
图 29-11. 8 位数据总线宽度 827
图 29-12. 通过停止 SDIO_CLK 的读等待操作 841
图 29-13. 使用 SDIO_DAT[2]信号线的读等待操作 842
图 29-14. 在功能 1 的多块读周期期间插入功能 2 读周期 842
图 29-15. 读中断周期时序 843
图 29-16. 写中断周期时序 843
图 29-17. 4 位模式下多块读中断周期时序 843
图 29-18. 4 位模式下多块写中断周期时序 843
图 29-19. 命令完成信号关闭操作 844
图 30-1. 系统架构 859
图 30-2. EXMC Bank 划分 860
图 30-3. Bank0 地址映射 861
图 30-4. NAND / PC Card 地址映射 862
图 30-5. Bank1 通用空间 862
图 30-6. SDRAM 地址映射 863
图 30-7. 模式 1 读时序 867
图 30-8. 模式 1 写时序 867
图 30-9. 模式 A 读时序 868
图 30-10. 模式 A 写时序 869
图 30-11. 模式 2 / B 读时序 870
图 30-12. 模式 2 写时序 871
图 30-13. 模式 B 写时序 871
图 30-14. 模式 C 读时序 872
图 30-15. 模式 C 写时序 873
图 30-16. 模式 D 读时序 874
图 30-17. 模式 D 写时序 875
图 30-18. 复用模式读时序 876
图 30-19. 复用模式写时序 876
图 30-20. 异步等待有效时的读时序 878
图 30-21. 异步等待有效时的写时序 878
图 30-22. 同步复用突发传输读时序 880
图 30-23. 同步复用突发传输写时序 881
图 30-24. SPI-PSRAM 访问时序 883

图 30-25. SQPI - PSRAM 访问时序 884
图 30-26. QPI-PSRAM 访问时序 884
图 30-27. NAND / PC Card 通用空间操作时序 886
图 30-28. NCE 敏感 NAND Flash 访问时序 887
图 30-29. SDRAM 系统架构 890
图 30-30. 突发读操作 893
图 30-31. 数据采样时钟延迟模块 893
图 30-32. 突发写操作 894
图 30-33. FIFO 未命中时的读访问(BRSTRD=1，CL=2，SDCLK=2，PIPED=2) 895
图 30-34. FIFO 命中时的读访问(BRSTRD=1) 895
图 30-35. 跨边界读操作 896
图 30-36. 跨边界写操作 896
图 30-37. 自刷新模式进入和退出的处理 897
图 30-38. 掉电模式进入和退出的处理 897
图 31-1. CAN 模块结构框图 921
图 31-2. 发送寄存器 923
图 31-3. 发送邮箱状态转换 924
图 31-4. 接收寄存器 925
图 31-5. 32-bit 位宽过滤器 926
图 31-6. 16-bit 位宽过滤器 927
图 31-7. 32-bit 位宽掩码模式过滤器 927
图 31-8. 16-bit 位宽掩码模式过滤器 927
图 31-9. 32-bit 位宽列表模式过滤器 927
图 31-10. 16-bit 位宽列表模式过滤器 927
图 31-11. 位时序 931
图 31-12 传输延迟测量 933
图 32-1. 以太网模块框图 958
图 32-2. MAC/带标签的 MAC 帧格式 959
图 32-3. 站点管理接口信号 961
图 32-4. 媒体独立接口(MII)信号线 962
图 32-5. 精简媒体独立接口(RMII)信号线 964
图 32-6. 描述符的环结构和链结构 974
图 32-7. 常规发送描述符 979
图 32-8. 增强发送描述符 984
图 32-9. 常规接收描述符 987
图 32-10. 增强接收描述符 993
图 32-11. 唤醒帧过滤器寄存器 998
图 32-12. 系统时钟精细校准方法 999
图 32-13. MAC 控制器中断示意图 1003
图 32-14. 以太网中断示意图 1004
图 32-15. 远程唤醒帧过滤器寄存器 1013
图 33-1. USBFS 结构框图 1053
图 33-2. 在主机或设备模式下连接示意图 1054
图 33-3. OTG 模式下连接示意图 1055

图 33-4. 主机端口状态转移图 1055
图 33-5. 主机模式 FIFO 空间 1059
图 33-6. 主机模式 FIFO 访问寄存器映射表 1059
图 33-7. 设备模式 FIFO 空间 1060
图 33-8. 设备模式 FIFO 访问寄存器映射表 1060
图 34-1. USBHS 结构框图 1123
图 34-2. 在主机或设备模式下，利用内部 PHY 的连接示意图 1124
图 34-3. OTG 模式下使用内部嵌入式 PHY 连接示意图 1125
图 34-4. 使用外部 ULPI PHY 的连接示意图 1126
图 34-5. 主机端口状态转移图 1126
图 34-6. 主机模式 FIFO 空间 1130
图 34-7. 主机模式 FIFO 访问寄存器映射表 1131
图 34-8. 设备模式 FIFO 空间 1131
图 34-9. 设备模式 FIFO 访问寄存器映射表 1132

表索引

表 1-1. AHB 互联矩阵的互联关系列表 45
表 1-2. GD32F527xx 系列器件的存储器映射表 48
表 1-3. 引导模式 53
表 3-1. GD32F527xx 4MB 双块闪存基地址和构成 84
表 3-2. GD32F527xx 2MB 双块闪存基地址和构成 85
表 3-3. GD32F527xx 1MB 单块闪存基地址和构成 85
表 3-4. GD32F527xx 512KB 单块闪存基地址和构成 86
表 3-5. OTP0 锁 93
表 3-6. OTP1 锁 93
表 3-7. OTP2 锁 94
表 3-8. 选项字节 94
表 3-9. 扇区保护 WP0/WP1 位 96
表 3-10. 安全保护 98
表 3-11. 系统参数 98
表 4-1. 节电模式总结 119
表 5-1. 时钟输出 0 的时钟源选择 131
表 5-2. 时钟输出 1 的时钟源选择 132
表 5-3. 深度睡眠模式下 1.2V 域电压选择 132
表 7-1. Cotrex-M33 中的 NVIC 异常类型 195
表 7-2. 中断向量表 196
表 7-3. EXTI 触发源 200
表 8-1. GPIO 配置表 205
表 11-1. RSA 算法参数 235
表 11-2. 整数算术运算 237
表 11-3. RSA CRT 求幂参数取值范围 246
表 11-4. 椭圆曲线运算模式选择 247
表 11-5. 椭圆曲线在 Fp 域上点的检查参数取值范围 248
表 11-6. ECC 标量乘法参数取值范围 249
表 11-7. ECDSA 签名参数取值范围 250
表 11-8. ECDSA 验证参数取值范围 251
表 11-9. 模幂计算时间 253
表 11-10. ECC 标量乘法计算时间 253
表 11-11. ECDSA 签名平均计算时间 253
表 11-12. ECDSA 验证平均计算时间 253
表 11-13. 蒙哥马利参数平均计算时间 253
表 11-14. PKCAU 中断请求 254
表 14-1. 传输模式 301
表 14-2. DMA0 外设请求 303
表 14-3. DMA1 外设请求 303
表 14-4. CNT 配置 305

表 14-5. FIFO 计数器临界值配置 306
表 14-6. DMA 中断事件 313
表 15-1. IPA 转换模式 329
表 15-2. 前景层和背景层 CLUT 像素格式 330
表 15-3. 前景层和背景层像素格式 331
表 15-4. Alpha 通道值调制 332
表 15-5. 目标像素格式 333
表 15-6. IPA 中断事件 339
表 16-1. 调试引脚分配 361
表 18-1. ADC 内部输入信号 372
表 18-2. ADC 输入引脚定义 372
表 18-3. 外部触发模式 378
表 18-4. ADC 的外部触发源 378
表 18-5. 不同分辨率对应的 t_{CONV} 时间 380
表 18-6. N 和 M 的最大输出值(灰色部分表示截断) 382
表 18-7. ADC 同步模式表 382
表 19-1. DAC 引脚 402
表 19-2. DAC 触发与输出 402
表 19-3. DAC 外部触发 403
表 20-1. 独立看门狗定时器在 32kHz(IRC32K)时的最小 / 最大超时周期 417
表 20-2. 在 50MHz (f_{PCLK1}) 时的最大/最小超时值 423
表 21-1. 省电模式管理 438
表 21-2. 中断控制 438
表 22-1. 定时器(TIMERx)分为五种类型 459
表 22-2 复合 PWM 脉冲宽度 473
表 22-3. 由参数控制的互补输出表 477
表 22-4. 不同译码器模式下的计数方向 480
表 22-5. 从模式例子列表和举例 483
表 22-6. 从模式列表和举例 531
表 22-7. 从模式列表和举例 567
表 23-1. USART 重要引脚描述 611
表 23-2. 停止位配置 612
表 23-3. USART 中断请求 623
表 24-1. I2C 总线术语说明(参考飞利浦 I2C 规范) 639
表 24-2. 事件状态标志位 652
表 24-3. 错误标志位 653
表 24-4. I2C 总线术语说明(参考飞利浦 I2C 规范) 666
表 24-5. 数据建立时间和数据保持时间 671
表 24-6. 可关闭通信模式 673
表 24-7. I2C 错误标志 687
表 24-8. I2C 中断事件 688
表 25-1. SPI 信号描述 703
表 25-2. SPI 四线信号描述 704
表 25-3. 从机模式 NSS 功能 705

表 25-4. 主机模式 NSS 功能 706
表 25-5. SPI 运行模式 706
表 25-6. SPI 中断请求 715
表 25-7. I2S 比特率计算公式 724
表 25-8. 音频采样频率计算公式 724
表 25-9. 各种运行模式下 I2S 接口信号的方向 724
表 25-10. I2S 中断 728
表 26-1. 常用的音频采用率 742
表 26-2. FIFO 请求的产生条件 748
表 26-3. AC'97 发送 slot 定义 749
表 26-4. AC'97 接收 slot 定义 749
表 26-5. SOPD 模式 750
表 26-6. 校验位奇数 750
表 26-7. 静音帧输出值 752
表 26-8. A-law 编码 753
表 26-9. A-law 解码 753
表 26-10. Mu-law 编码 754
表 26-11. Mu-law 解码 754
表 26-12. 中断控制 758
表 27-1. DCI 引脚 772
表 27-2. 字节填充模式下的存储视图 774
表 27-3. 半字填充模式下的存储视图 774
表 27-4. 状态/错误标志 775
表 28-1. TLI 提供的显示接口的引脚 785
表 28-2. 八种像素格式 787
表 28-3. 状态标志 789
表 28-4. 错误标志 789
表 29-1. SDIO I/O 定义 808
表 29-2. 命令格式 814
表 29-3. 卡命令类(CCCs) 815
表 29-4. 基本命令(class 0) 817
表 29-5. 面向块的读命令(class 2) 818
表 29-6. 流读取命令(class 1)和流写入命令(class 3) 819
表 29-7. 面向块的写命令(class 4) 819
表 29-8. 擦除命令(class 5) 819
表 29-9. 面向块的写保护命令(class 6) 820
表 29-10. 锁卡命令(class 7) 820
表 29-11. 特定应用命令(class 8) 820
表 29-12. I/O 模式命令(class 9) 821
表 29-13. 切换功能命令(class 10) 822
表 29-14. R1 响应 823
表 29-15. R2 响应 824
表 29-16. R3 响应 824
表 29-17. R4 响应(MMC) 824

表 29-18. R4 响应(SD I/O) 824
表 29-19. R5 响应(MMC) 825
表 29-20. R5 响应(SD I/O) 825
表 29-21. R6 响应 825
表 29-22. R7 响应 825
表 29-23. 卡状态 828
表 29-24. SD 状态 830
表 29-25. 移动性能字段 831
表 29-26. AU_SIZE 字段 831
表 29-27. 最大 AU 大小 832
表 29-28. 擦除大小字段 832
表 29-29. 擦除超时字段 832
表 29-30. 擦除偏移字段 833
表 29-31. 上锁/解锁数据结构 839
表 29-32. 不同响应类型对应的 SDIO_RESPx 寄存器 849
表 30-1. SDRAM 地址映射 863
表 30-2. NOR Flash 接口信号描述 864
表 30-3. PSRAM 非复用接口信号描述 864
表 30-4. SQPI-PSRAM 接口信号描述 864
表 30-5. EXMC 对 NOR，PSRAM 和 SRAM 支持的访问模式 865
表 30-6. NOR / PSRAM 控制时序参数 866
表 30-7. EXMC 时序模型 866
表 30-8. 模式 1 相关寄存器配置 867
表 30-9. 模式 A 相关寄存器配置 869
表 30-10. 模式 2 / B 相关寄存器配置 871
表 30-11. 模式 C 相关寄存器配置 873
表 30-12. 模式 D 相关寄存器配置 875
表 30-13. 复用模式相关寄存器配置 877
表 30-14. 同步复用模式读时序配置 880
表 30-15. 同步复用模式写时序配置 881
表 30-16. SPI / QPI 接口 882
表 30-17. 8 位 / 16 位 NAND 接口信号描述 884
表 30-18. 16 位 PC Card 接口信号描述 885
表 30-19. Bank1/2/3 支持的访问模式 885
表 30-20. NADN / PC Card 可编程参数 886
表 30-21. SDRAM 命令真值表 891
表 30-22. SDRAM IO 定义 891
表 31-1. 32-bit 过滤序号 928
表 31-2. 过滤索引 928
表 31-3. CAN 事件/中断标志 934
表 32-1. 以太网信号(MII 模式) 959
表 32-2.以太网信号(RMII 模式) 960
表 32-3. 时钟范围 962
表 32-4. 接收接口信号编码 963

表 32-5. 目标地址过滤器结果列表 968
表 32-6. 源地址过滤器结果列表 969
表 32-7. 接收描述符 0 错误状态描述，仅适用于常规描述符(DFM = 0) 990
表 32-8. 支持的 PTP 时间戳及其寄存器配置 1031
表 33-1. USBFS 信号线描述 1053
表 33-2. USBFS 全局中断 1064
表 34-1. USBHS 信号线描述 1123
表 34-2. USBHS 支持速度列表 1124
表 34-3. USBHS 全局中断 1138
表 35-1. 寄存器功能位访问属性 1206
表 35-2. 术语 1206
表 36-1. 版本历史 1208

1. 系统及存储器架构

GD32F527xx系列器件是基于Arm® Cortex®-M33处理器的32位通用微控制器。Arm® Cortex®-M33处理器包括数据总线和系统总线这两条AHB总线。Cortex®-M33处理器的所有存储访问，根据不同的目的和目标存储空间，都会在这两条AHB总线上执行。存储器的组织采用了哈佛结构，预先定义的存储器映射和高达4 GB的存储空间，充分保证了系统的灵活性和可扩展性。

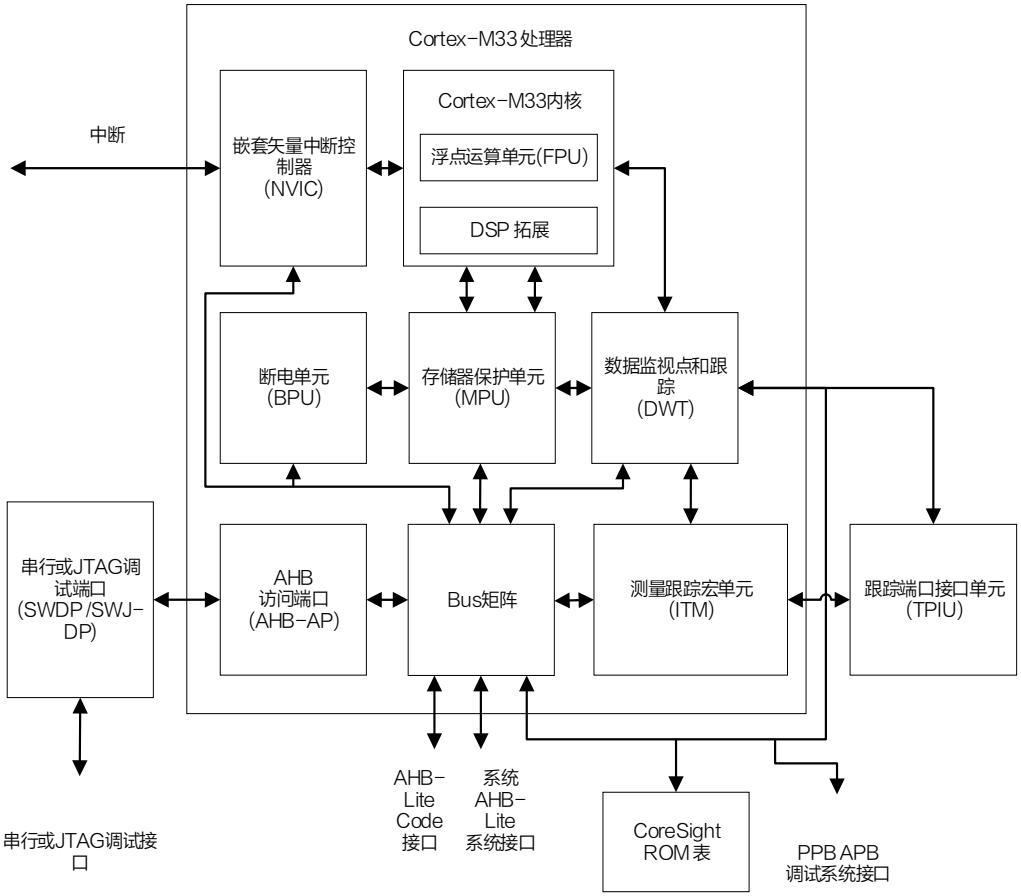
1.1. Arm® Cortex®-M33 处理器

Cortex®-M33处理器是一个32位处理器，具有低中断延迟和低成本调试的特点。集成和先进的特性使Cortex®-M33处理器适合于需要高性能和低功耗微控制器的市场产品。Cortex®-M33处理器基于Armv8架构，支持强大的可扩展指令集，包括通用数据处理I/O控制任务、增强的数据处理位域操作和DSP。下面列出由Cortex®-M33提供的一些系统外围设：

- 与代码总线、系统总线和专用外围总线(PPB)相连的内部总线矩阵和调试访问；
- 嵌套矢量中断控制器(NVIC)；
- 断点单元(BPU)；
- 数据监视点和跟踪(DWT)；
- 测量跟踪宏单元(ITM)；
- 串行JTAG调试端口(SWJ-DP)；
- 跟踪端口接口单元(TPIU)；
- 存储器保护单元(MPU)；
- 浮点运算单元(FPU)；
- DSP拓展(DSP)。

*图1-1 Cortex®-M33处理器结构框图*显示了Cortex®-M33处理器结构框图。欲了解更多信息，请参阅Arm® Cortex®-M33技术参考手册。

图 1-1 Cortex®-M33 处理器结构框图



1.2. 系统架构

GD32F527xx 系列器件采用 32 位多层总线结构，该结构可使系统中的多个主机和从机之间的并行通信成为可能。多层总线结构包括一个 AHB 互联矩阵、一个 AHB 总线和两个 APB 总线。AHB 互联矩阵的互联关系接下来将进行说明。在*表 1-1. AHB 互联矩阵的互联关系列表*中，"1" 表示相应的主机可以通过 AHB 互联矩阵访问对应的从机，空白的单元格表示相应的主机不可以通过 AHB 互联矩阵访问对应的从机。

表 1-1. AHB 互联矩阵的互联关系列表

	CBUS	SBUS	DMA0M	DMA0P	DMA1M	DMA1P	ENET	TLI	USBHS	IPA
FMC	1		1		1	1	1	1	1	1
TCMSRAM	1									
SRAM0	1	1	1		1	1	1	1	1	1
SRAM1		1	1		1	1	1	1	1	1
SRAM2		1	1		1	1	1	1	1	1

	CBUS	SBUS	DMA0M	DMA0P	DMA1M	DMA1P	ENET	TLI	USBHS	IPA
ADDSRAM	1	1	1		1	1	1	1	1	1
EXMC	1	1	1		1	1	1	1	1	1
AHB1		1		1		1				
AHB2		1			1	1				
APB1		1		1	1	1				
APB2		1		1	1	1				

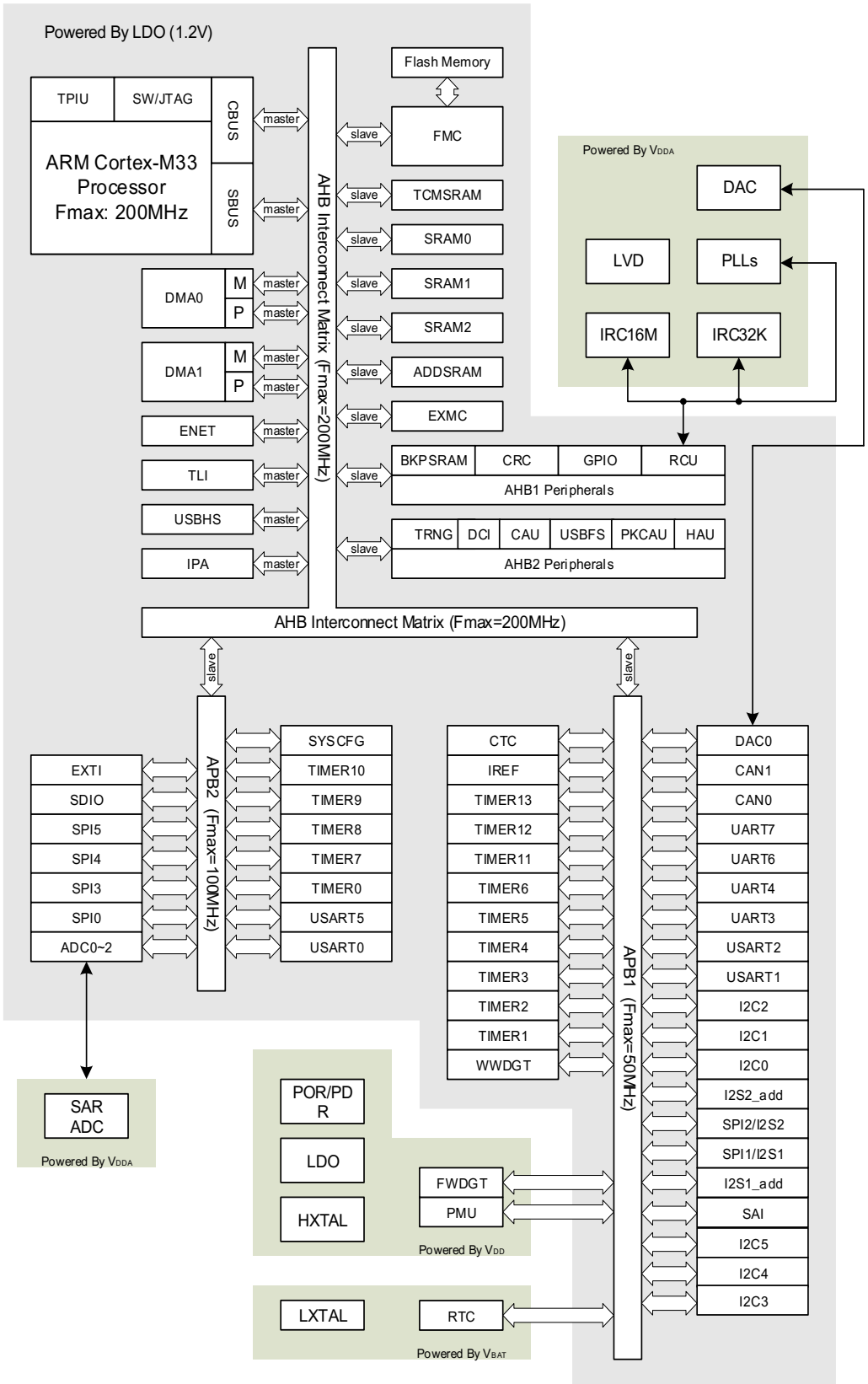
如*表 1-1. AHB 互联矩阵的互联关系列表*所示，AHB 互联矩阵共连接 10 个主机，分别为：CBUS、SBUS、DMA0M、DMA0P、DMA1M、DMA1P、ENET、TLI、USBHS 和 IPA。CBUS 是 Cortex®-M33 内核的指令总线，用于从代码区域中取指令和向量。SBUS 是 Cortex®-M33 内核的系统总线，用于指令和向量获取、数据加载和存储以及系统区域的调试访问。系统区域包括内部 SRAM 区域和外设区域。DMA0M 和 DMA1M 分别是 DMA0 和 DMA1 的存储器总线。DMA0P 和 DMA1P 分别是 DMA0 和 DMA1 的外设总线。ENET 是以太网。TLI 是 TFT LCD 接口。USBHS 是高速 USB。IPA 是图像处理加速器。

AHB 互联矩阵也连接了 11 个从机，分别为：FMC、TCMSRAM、SRAM0、SRAM1、SRAM2、ADDSRAM、EXMC、AHB1、AHB2、APB1 和 APB2。FMC 是闪存存储器控制器。TCMSRAM 是紧耦合存储器 SRAM。SRAM0、SRAM1 和 SRAM2 是片上静态随机存取存储器。ADDSRAM 是附加的 SRAM，仅在一些特殊的 GD32F527xx 器件中有效。EXMC 是外部存储器控制器。AHB1 和 AHB2 是连接所有 AHB 从机的两条 AHB 总线，而 APB1 和 APB2 是连接所有 APB 从机的两条 APB 总线。

APB1 和 APB2 是连接所有 APB 从机的两条 APB 总线。APB1 最高可达 50MHz，APB2 可以全速运行(最高可到 100MHz)。

GD32F527xx 系列器件的系统架构如*图 1-2 GD32F527xx 系列器件的系统架构示意图*所示。

图 1-2 GD32F527xx 系列器件的系统架构示意图



1.3. 存储器映射

Arm® Cortex®-M33 处理器采用哈佛架构，可以使用单独的总线来提取指令和加载/存储数据。程序存储器，数据存储器，寄存器和 I/O 端口组织在同一线性 4GB 地址空间内，这是 Cortex®-M33 的最大地址范围，因为总线地址宽度为 32 位。此外，Cortex®-M33 处理器提供了预定义的内存映射，以减少不同客户在相同应用时的软件复杂度。在内存映射表中，Arm® Cortex®-M33 系统外围设备使用的某些区域无法修改。但是，其他区域可供供应商使用。*表 1-2. GD32F527xx 系列器件的存储器映射表*显示了 GD32F527xx 系列器件的存储器映射，包括代码、SRAM、外设和其他预先定义的区域。几乎每个外设都分配了 1KB 的地址空间，这样可以简化每个外设的地址译码。

表 1-2. GD32F527xx 系列器件的存储器映射表

预先定义的地址空间	总线	地址	外设
External Device	AHB matrix	0xC000 0000 - 0xDFFF FFFF	EXMC - SDRAM
		0xA000 1000 - 0xBFFF FFFF	保留
		0xA000 0000 - 0xA000 0FFF	EXMC - SWREG
External RAM		0x9000 0000 - 0x9FFF FFFF	EXMC - PC CARD
		0x7000 0000 - 0x8FFF FFFF	EXMC - NAND
		0x6000 0000 - 0x6FFF FFFF	EXMC - NOR / PSRAM / SRAM
Peripheral	AHB2	0x5006 3000 - 0x5FFF FFFF	保留
		0x5006 1000 - 0x5006 2FFF	PKCAU
		0x5006 0C00 - 0x5006 0FFF	保留
		0x5006 0800 - 0x5006 0BFF	TRNG
		0x5006 0400 - 0x5006 07FF	HAU
		0x5006 0000 - 0x5006 03FF	CAU
		0x5005 0400 - 0x5005 FFFF	保留
		0x5005 0000 - 0x5005 03FF	DCI
		0x5004 0000 - 0x5004 FFFF	保留
		0x5000 0000 - 0x5003 FFFF	USBFS
	AHB1	0x4008 0000 - 0x4FFF FFFF	保留(AHB1)
		0x4004 0000 - 0x4007 FFFF	USBHS
		0x4002 BC00 - 0x4003 FFFF	保留
		0x4002 B000 - 0x4002 BBFF	IPA
		0x4002 A000 - 0x4002 AFFF	保留
		0x4002 8000 - 0x4002 9FFF	ENET
		0x4002 6800 - 0x4002 7FFF	保留
		0x4002 6400 - 0x4002 67FF	DMA1
		0x4002 6000 - 0x4002 63FF	DMA0
		0x4002 5000 - 0x4002 5FFF	保留
		0x4002 4000 - 0x4002 4FFF	BKPSRAM

预先定义的地址空间	总线	地址	外设
		0x4002 3C00 - 0x4002 3FFF	FMC
		0x4002 3800 - 0x4002 3BFF	RCU
		0x4002 3400 - 0x4002 37FF	保留
		0x4002 3000 - 0x4002 33FF	CRC
		0x4002 2C00 - 0x4002 2FFF	保留
		0x4002 2800 - 0x4002 2BFF	保留
		0x4002 2400 - 0x4002 27FF	保留
		0x4002 2000 - 0x4002 23FF	GPIOI
		0x4002 1C00 - 0x4002 1FFF	GPIOH
		0x4002 1800 - 0x4002 1BFF	GPIOG
		0x4002 1400 - 0x4002 17FF	GPIOF
		0x4002 1000 - 0x4002 13FF	GPIOE
		0x4002 0C00 - 0x4002 0FFF	GPIOD
		0x4002 0800 - 0x4002 0BFF	GPIOC
		0x4002 0400 - 0x4002 07FF	GPIOB
		0x4002 0000 - 0x4002 03FF	GPIOA
	APB2	0x4001 8400 - 0x4001 FFFF	保留
		0x4001 8000 - 0x4001 83FF	保留
		0x4001 7C00 - 0x4001 7FFF	保留
		0x4001 7800 - 0x4001 7BFF	保留
		0x4001 7400 - 0x4001 77FF	保留
		0x4001 7000 - 0x4001 73FF	保留
		0x4001 6C00 - 0x4001 6FFF	保留
		0x4001 6800 - 0x4001 6BFF	TLI
		0x4001 5C00 - 0x4001 67FF	保留
		0x4001 5800 - 0x4001 5BFF	SAI
		0x4001 5400 - 0x4001 57FF	SPI5
		0x4001 5000 - 0x4001 53FF	SPI4
		0x4001 4C00 - 0x4001 4FFF	保留
		0x4001 4800 - 0x4001 4BFF	TIMER10
		0x4001 4400 - 0x4001 47FF	TIMER9
		0x4001 4000 - 0x4001 43FF	TIMER8
		0x4001 3C00 - 0x4001 3FFF	EXTI
		0x4001 3800 - 0x4001 3BFF	SYSCFG
		0x4001 3400 - 0x4001 37FF	SPI3
		0x4001 3000 - 0x4001 33FF	SPI0
		0x4001 2C00 - 0x4001 2FFF	SDIO
		0x4001 2800 - 0x4001 2BFF	保留
		0x4001 2400 - 0x4001 27FF	保留

预先定义的地址空间	总线	地址	外设
		0x4001 2000 - 0x4001 23FF	ADC
		0x4001 1C00 - 0x4001 1FFF	保留
		0x4001 1800 - 0x4001 1BFF	保留
		0x4001 1400 - 0x4001 17FF	USART5
		0x4001 1000 - 0x4001 13FF	USART0
		0x4001 0C00 - 0x4001 0FFF	保留
		0x4001 0800 - 0x4001 0BFF	保留
		0x4001 0400 - 0x4001 07FF	TIMER7
		0x4001 0000 - 0x4001 03FF	TIMER0
	APB1	0x4000 C800 - 0x4000 FFFF	保留
		0x4000 C400 - 0x4000 C7FF	IREF
		0x4000 C000 - 0x4000 C3FF	保留
		0x4000 9000 - 0x4000 BFFF	保留
		0x4000 8C00 - 0x4000 8FFF	CAN SRAM 1k-2k bytes
		0x4000 8800 - 0x4000 8BFF	I2C5
		0x4000 8400 - 0x4000 87FF	I2C4
		0x4000 8000 - 0x4000 83FF	I2C3
		0x4000 7C00 - 0x4000 7FFF	UART7
		0x4000 7800 - 0x4000 7BFF	UART6
		0x4000 7400 - 0x4000 77FF	DAC0
		0x4000 7000 - 0x4000 73FF	PMU
		0x4000 6C00 - 0x4000 6FFF	CTC
		0x4000 6800 - 0x4000 6BFF	CAN1
		0x4000 6400 - 0x4000 67FF	CAN0
		0x4000 6000 - 0x4000 63FF	CAN SRAM 0-1k bytes
		0x4000 5C00 - 0x4000 5FFF	I2C2
		0x4000 5800 - 0x4000 5BFF	I2C1
		0x4000 5400 - 0x4000 57FF	I2C0
		0x4000 5000 - 0x4000 53FF	UART4
		0x4000 4C00 - 0x4000 4FFF	UART3
		0x4000 4800 - 0x4000 4BFF	USART2
		0x4000 4400 - 0x4000 47FF	USART1
		0x4000 4000 - 0x4000 43FF	I2S2_add
		0x4000 3C00 - 0x4000 3FFF	SPI2/I2S2
		0x4000 3800 - 0x4000 3BFF	SPI1/I2S1
		0x4000 3400 - 0x4000 37FF	I2S1_add
		0x4000 3000 - 0x4000 33FF	FWDGT
		0x4000 2C00 - 0x4000 2FFF	WWDGT
		0x4000 2800 - 0x4000 2BFF	RTC

预先定义的地址空间	总线	地址	外设
		0x4000 2400 - 0x4000 27FF	保留
		0x4000 2000 - 0x4000 23FF	TIMER13
		0x4000 1C00 - 0x4000 1FFF	TIMER12
		0x4000 1800 - 0x4000 1BFF	TIMER11
		0x4000 1400 - 0x4000 17FF	TIMER6
		0x4000 1000 - 0x4000 13FF	TIMER5
		0x4000 0C00 - 0x4000 0FFF	TIMER4
		0x4000 0800 - 0x4000 0BFF	TIMER3
		0x4000 0400 - 0x4000 07FF	TIMER2
		0x4000 0000 - 0x4000 03FF	TIMER1
SRAM		0x2010 0000 - 0x3FFF FFFF	保留
		0x2008 0000 - 0x200F FFFF	ADDSRAM (512KB)
		0x2005 0000 - 0x2007 FFFF	SRAM2(192KB)
		0x2004 0000 - 0x2004 FFFF	SRAM1(64KB)
		0x2000 0000 - 0x2003 FFFF	SRAM0(256KB)
Code		0x1FFF C010 - 0x1FFF FFFF	保留
		0x1FFF C000 - 0x1FFF C00F	Option bytes Block (Bank0 option)
		0x1FFF B000 - 0x1FFF BFFF	保留
		0x1FFF 7880 - 0x1FFF AFFF	保留
		0x1FFF 7840 - 0x1FFF 787F	OTP0 Block (lock)
		0x1FFF 7800 - 0x1FFF 783F	OTP0 Block (data)
		0x1FFF 0000 - 0x1FFF 77FF	Boot loader(30KB)
		0x1FFE C010 - 0x1FFE FFFF	保留
		0x1FFE C000 - 0x1FFE C00F	Option bytes Block (Bank1 option)
		0x1FF2 0230 - 0x1FFE BFFF	保留
		0x1FF2 0210 - 0x1FF2 022F	OTP Block2 (lock)
		0x1FF2 0200 - 0x1FF2 020F	OTP Block1 (lock)
		0x1FF2 0000 - 0x1FF2 01FF	OTP Block2 (data)
		0x1FF0 0000 - 0x1FF1 FFFF	OTP Block1 (data)
		0x1001 0000 - 0x1FEF FFFF	保留
		0x1000 0000 - 0x1000 FFFF	TCMSRAM (64KB)
		0x0880 0000 - 0x0FFF FFFF	保留
		0x0840 0000 - 0x0877 FFFF	Main Flash(Bank1_Ex 3584kB)
		0x0820 0000 - 0x083F FFFF	Main Flash(Bank1 2MB)
		0x0800 0000 - 0x081F FFFF	Main Flash(Bank0 2MB)
		0x0030 0000 - 0x07FF FFFF	Aliased to the boot device
		0x0010 0000 - 0x002F FFFF	
		0x0002 0000 - 0x000F FFFF	

预先定义的地址空间	总线	地址	外设
		0x0000 0000 - 0x0001 FFFF	

1.3.1. 片上 SRAM 存储器

GD32F527xx 系列微控制器含有高达 512KB 的片上 SRAM(起始地址为 0x2000 0000)。支持字节、半字(16 比特)和整字(32 比特)访问。

ECC

SRAM 支持 7 比特的 ECC 功能。可纠错 1 比特，发现多比特(两比特)错误。

读之前必须先写入，否则很可能会导致 ECC 错误。非对齐的读操作会按照 32 比特的读操作来执行。非对齐的写操作会产生一个读改写的流程。例如，16 比特写，首先会先读 16 比特，再和需要写入的 16 比特一起写入。所以初始化 SRAM 时，只能按照 32 位的来写入。

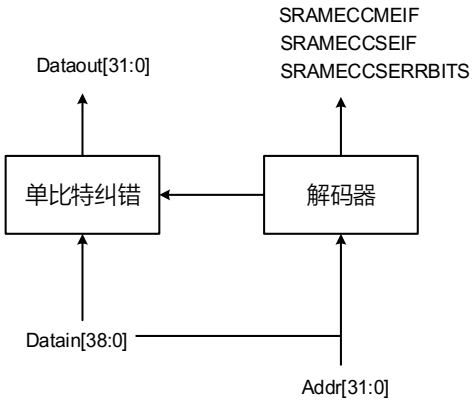
ECC 模块由编码器和解码器两部分构成：

编码器：在进行 SRAM 写操作时，会产生一个 7 比特的 ECC 码，和数据一起写入 SRAM。

解码器：在进行 SRAM 读操作时，使用与编码器相同的算法，解码生成一个 7 比特的 ECC 码。ECC 码包括 ECC 错误状态和 32 位数据中哪位存在单比特位错误的信息。

解码器如下图所示：*图 1-3 ECC 解码器示意图*

图 1-3 ECC 解码器示意图



EEIC

EEIC(ECC Error Interrupt Control)模块提供了 ECC 错误状态管理和 ECC 中断配置的功能。

通过设置 SYSCFG_STAT 寄存器和 SYSCFG_SRAM0ECC、SYSCFG_SRAM1ECC、SYSCFG_SRAM2ECC、SYSCFG_ADDSRAMECC、SYSCFG_TCMSRAMECC、SYSCFG_BKPSRAMECC 寄存器，可以分别实现对 SRAM0、SRAM1、SRAM2、ADDSRAM 和 TCMSRAM 的 ECC 错误检测。下述以 SRAM0 为例介绍 EEIC 的产生过程。SRAM1、SRAM2、ADDSRAM、TCMSRAM、FLASH 的 ECC 配置过程类似于 SRAM0。

单比特可纠错事件

当检测到发生了单比特可纠错的事件时，EEIC 模块有如下配置：

SYSCFG_STAT 寄存器中的 ECCSEIF0 位置位，软件写 1 可以清除。

SYSCFG_SRAM0ECC 寄存器中的 ECCADDR0 记录发生单比特可纠错 ECC 事件的地址。

多比特(两比特)不可纠错事件

当检测到发生了多比特(两比特)不可纠错的事件时，EEIC 模块有如下配置：

SYSCFG_STAT 寄存器中的 ECCMEIF0 位置位，软件写 1 可以清除。

SYSCFG_SRAM0ECC 寄存器中的 ECCADDR0 记录发生两比特不可纠错 ECC 事件的地址。

单比特可纠错中断

在 SYSCFG_SRAM0ECC 寄存器中设置 ECCSEIE0 位，当检测到一个单比特可纠正错误事件时，将产生一个相应的中断。

多比特(两比特)不可纠错事件

在 SYSCFG_SRAM0ECC 寄存器中设置 ECCMEIE0 位。当检测到一个多比特(两比特)不可纠错错误事件时，将产生一个 NMI 中断。

1.3.2. 片上 FLASH 存储器概述

GD32F527xx 系列微控制器可以提供高密度片上 FLASH 存储器，按以下分类进行组织：

- 高达7680KB主FLASH存储器；
- 高达30KB引导装载程序(boot loader)信息块存储器；
- 器件配置的选项字节。

更多详细说明请参考*闪存控制器(FMC)*章节。

1.4. 引导配置

GD32F527xx 系列微控制器提供了四种引导源，可以通过安全保护等级、熔丝、BOOT0 和 BOOT1 引脚来进行选择，详细说明见*表 1-3. 引导模式*。该两个引脚的电平状态会在复位后的第四个 CK_SYS(系统时钟)的上升沿进行锁存。用户可自行选择所需要的引导源，通过设置上电复位和系统复位后的 BOOT0 和 BOOT1 的引脚电平。一旦这两个引脚电平被采样，它们可以被释放并用于其他用途。

表 1-3. 引导模式

安全保护	熔丝		启动模式选择引脚		BOOT_MODE[2:0]	引导源选择
	NBTSB	BTFOSEL	BOOT0	BOOT1		
无保护/保护等级低	0	x	1	1	011	片上 SRAM
无保护/保护等级低	0	x	1	0	001	引导装载程序
无保护/保护等级低	0	0	0	x	000	主 Flash 存储器

安全保护	熔丝		启动模式选择引脚		BOOT_MODE[2:0]	引导源选择
无保护/保护等级低	0	1	0	x	101	OTP1
x	1	0	x	x	000	主 Flash 存储器
x	1	1	x	x	101	OTP1
保护等级高	x	0	x	x	000	主 Flash 存储器
保护等级高	x	1	x	x	101	OTP1

上电序列或系统复位后，ARM® Cortex®-M33 处理器先从 0x0000 0000 地址获取栈顶值，再从 0x0000 0004 地址获得引导代码的基地址，然后从引导代码的基地址开始执行程序。所选引导源对应的存储空间会被映射到引导存储空间，即从 0x0000 0000 开始的地址空间。如果片上 SRAM(开始于 0x2000 0000 的存储空间)被选为引导源，用户必须在应用程序初始化代码中通过修改 NVIC 异常向量表和偏移地址将向量表重置到 SRAM 中。

通过配置安全保护和 EFUSE_CTL 寄存器，可以通过如*表 1-3. 引导模式*的配置选择启动引导模式。

当安全保护等级以及 EFUSE_CTL 寄存器中的 NBTSB 和 BTFOSEL 位被配置时，通过配置 BOOT0，BOOT1 引脚的值来决定系统从 SRAM，BootLoader，Main Flash，OTP 启动。BOOT0. BOOT1 引脚的值可以通过 SYSCFG_CFG0 寄存器的 BOOT_MODE[2:0]的配置决定(注意：一旦这些控制位通过软件写入，BOOT0 和 BOOT1 引脚的电平状态将会被忽略)。

当主 FLASH 存储器被选择作为引导源，从 0x0800 0000 开始的存储空间会被映射到引导存储空间。由于主 FLASH 存储器的 Bank0 或 Bank1 均可映射到地址 0x0800 0000(通过配置 SYSCFG_CFG0 寄存器的 FMC_SWP 控制位，具体参考 *1.6.1*)，所以，微控制器可以使用该方法从 Bank0 或 Bank1 中启动。当选择 OTP 作为引导源时，从地址 0x1FF0 0000 开始的内存空间会被映射到引导存储空间。

为了使能引导块功能，选项字节中的 BB 控制位需要被置位。当该控制位被置位并且主 FLASH 存储器被选择作为引导源，微控制器从引导装载程序中启动并且引导装载程序跳至主 FLASH 存储器的 Bank1 中执行代码。

注意：为确保系统的可靠性和稳定性，在硬件设计阶段，应查阅对应型号的数据手册的 Boot mode 章节，确认 Bootloader 所使用的引脚上避免连接可能产生干扰信号的外设（如传感器输出、看门狗芯片、按键等），以免影响 Bootloader 的正常功能，和对所连接的外设产生异常输出。

1.5. 系统配置控制器

系统配置控制器的主要功能如下：

- 管理I/O补偿单元
- 管理外部中断线与GPIO的连接

1.6. 系统配置寄存器(SYSCFG)

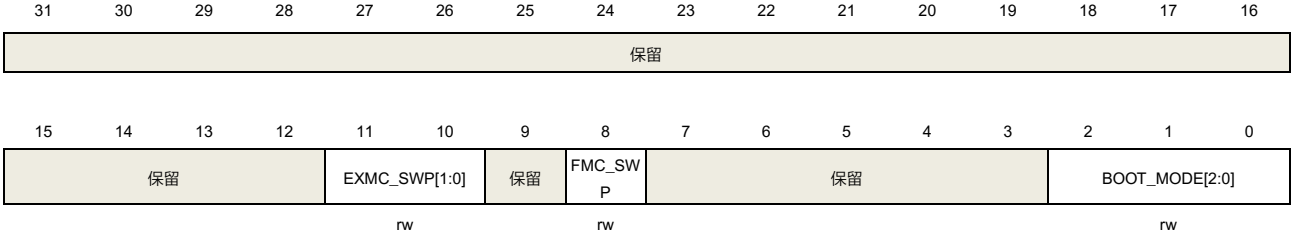
SYSCFG 基地址：0x4001 3800

1.6.1. 配置寄存器 0(SYSCFG_CFG0)

地址偏移：0x00

复位值：0x0000 000X (根据 BOOT0 和 BOOT1 引脚的状态，X 表示 BOOT_MODE[2:0]，可能为任意值)

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:12	保留	必须保持复位值。
11:10	EXMC_SWP[1:0]	EXMC存储器映射切换。 这些位控制在EXMC存储器中地址映射切换功能。 00：无存储器映射切换； 01：SDRAM的Bank0和Bank1与NAND Bank1和PC CARD进行切换，然后，SDRAM的Bank0和Bank1被映射到从0x8000 0000到0x9FFF FFFF的地址范围，NAND的Bank1被映射到从0xC000 0000到0xCFFF FFFF的地址范围，PC CARD被映射到从0xD000 0000到0xDFFF FFFF的地址范围。 其他配置保留。
9	保留	必须保持复位值。
8	FMC_SWP	FMC存储器映射切换。 这些位控制主FLASH存储器的Bank0和Bank1的地址映射切换功能。 0：主FLASH存储器的Bank0被映射到地址0x0800 0000，主FLASH存储器的Bank1被映射到地址0x0810 0000(2M的是交换0810_0000，4M的是交换0820_0000) 1：主FLASH存储器的Bank1映射到地址0x0800 0000，主FLASH存储器的Bank0映射到地址0x0810 0000(2M的是交换0810_0000，4M的是交换0820_0000)。 **注意：**在SYSCFG中设置FMC_SWP将交换总线矩阵中的BANK0和BANK1逻辑地址，但不影响原始擦除地址。针对没有BANK1的系列，不交换。
7:3	保留	必须保持复位值。
2:0	BOOT_MODE[2:0]	引导模式(详细请参考*引导配置*)。 通过软件配置可以选择更多的器件，一旦这些控制位通过软件写入，BOOT0和BOOT1引脚的电平状态将会被忽略。 000：主FLASH存储器(0x0800 0000~0x 0877 FFFF)被映射到地址0x0000 0000 001：引导装载代码所在系统存储器(0x1FFF 0000~0x1FFF 77FF)被映射到地址0x0000 0000。 011：片上SRAM的SRAM0 (0x2000 0000~0x2003 FFFF) 被映射到地址0x0000 0000。

101：OTP(0x1FF0 0000 - 0x1FF1 FFFF) 被映射到地址0x0000 0000
其他配置保留。
注意：即使映射到地址0x0000 0000，相应存储器仍可通过原始存储空间进行访问。

1.6.2. 配置寄存器 1(SYSCFG_CFG1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:24	保留	必须保持复位值。
23	ENET_PHY_SEL	以太网PHY选择。 这些位为以太网MAC选择PHY接口。 当以太网MAC在复位状态下，且在MAC时钟使能之前，这些控制位必须被配置。 0：选择MII 1：选择RMII
22:3	保留	必须保持复位值。
2	I2C5FMP	在 I2C5 上使能 Fast mode+
1	I2C4FMP	在 I2C4 上使能 Fast mode+
0	I2C3FMP	在 I2C3 上使能 Fast mode+

1.6.3. EXTI 源选择寄存器 0(SYSCFG_EXTISS0)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32 位)访问



EXTI3_SS [3:0]	EXTI2_SS [3:0]	EXTI1_SS [3:0]	EXTI0_SS [3:0]
rw	rw	rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	EXTI3_SS[3:0]	EXTI 3源选择 0000：PA3引脚 0001：PB3引脚 0010：PC3引脚 0011：PD3引脚 0100：PE3引脚 0101：PF3引脚 0110：PG3引脚 0111：PH3引脚 1000：PI3引脚 其他配置保留
11:8	EXTI2_SS[3:0]	EXTI 2源选择 0000：PA2引脚 0001：PB2引脚 0010：PC2引脚 0011：PD2引脚 0100：PE2引脚 0101：PF2引脚 0110：PG2引脚 0111：PH2引脚 1000：PI2引脚 其他配置保留
7:4	EXTI1_SS[3:0]	EXTI 1源选择 0000：PA1引脚 0001：PB1引脚 0010：PC1引脚 0011：PD1引脚 0100：PE1引脚 0101：PF1引脚 0110：PG1引脚 0111：PH1引脚 1000：PI1引脚 其他配置保留
3:0	EXTI0_SS[3:0]	EXTI 0 源选择 0000：PA0引脚 0001：PB0引脚 0010：PC0引脚

0011：PD0引脚
0100：PE0引脚
0101：PF0引脚
0110：PG0引脚
0111：PH0引脚
1000：PI0引脚
其他配置保留

1.6.4. EXTI 源选择寄存器 1(SYSCFG_EXTISS1)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7_SS [3:0]				EXTI6_SS [3:0]				EXTI5_SS [3:0]				EXTI4_SS [3:0]			
rw				rw				rw				rw			

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	EXTI7_SS[3:0]	EXTI 7源选择 0000：PA7引脚 0001：PB7引脚 0010：PC7引脚 0011：PD7引脚 0100：PE7引脚 0101：PF7引脚 0110：PG7引脚 0111：PH7引脚 1000：PI7引脚 其他配置保留
11:8	EXTI6_SS[3:0]	EXTI 6源选择 0000：PA6引脚 0001：PB6引脚 0010：PC6引脚 0011：PD6引脚 0100：PE6引脚 0101：PF6引脚 0110：PG6引脚 0111：PH6引脚

		1000：PI6引脚 其他配置保留
7:4	EXTI5_SS[3:0]	EXTI 5源选择 0000：PA5引脚 0001：PB5引脚 0010：PC5引脚 0011：PD5引脚 0100：PE5引脚 0101：PF5引脚 0110：PG5引脚 0111：PH5引脚 1000：PI5引脚 其他配置保留
3:0	EXTI4_SS[3:0]	EXTI 4源选择 0000：PA4引脚 0001：PB4引脚 0010：PC4引脚 0011：PD4引脚 0100：PE4引脚 0101：PF4引脚 0110：PG4引脚 0111：PH4引脚 1000：PI4引脚 其他配置保留

1.6.5. EXTI 源选择寄存器 2(SYSCFG_EXTISS2)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11_SS [3:0]				EXTI10_SS [3:0]				EXTI9_SS [3:0]				EXTI8_SS [3:0]			
rw				rw				rw				rw			

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	EXTI11_SS[3:0]	EXTI 11源选择 0000：PA11引脚 0001：PB11引脚

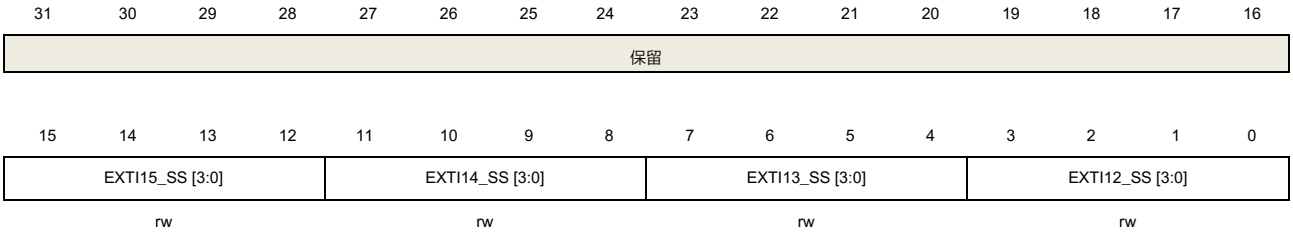
		0010：PC11引脚 0011：PD11引脚 0100：PE11引脚 0101：PF11引脚 0110：PG11引脚 0111：PH11引脚 1000：PI11引脚 其他配置保留
11:8	EXTI10_SS[3:0]	EXTI 10源选择 0000：PA10引脚 0001：PB10引脚 0010：PC10引脚 0011：PD10引脚 0100：PE10引脚 0101：PF10引脚 0110：PG10引脚 0111：PH10引脚 1000：PI10引脚 其他配置保留
7:4	EXTI9_SS[3:0]	EXTI 9源选择 0000：PA9引脚 0001：PB9引脚 0010：PC9引脚 0011：PD9引脚 0100：PE9引脚 0101：PF9引脚 0110：PG9引脚 0111：PH9引脚 1000：PI9引脚 其他配置保留
3:0	EXTI8_SS[3:0]	EXTI 8源选择 0000：PA8引脚 0001：PB8引脚 0010：PC8引脚 0011：PD8引脚 0100：PE8引脚 0101：PF8引脚 0110：PG8引脚 0111：PH8引脚 1000：PI8引脚 其他配置保留

1.6.6. EXTI 源选择寄存器 3(SYSCFG_EXTISS3)

地址偏移：0x14

复位值：0x0000 0000

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	EXTI15_SS[3:0]	EXTI 15源选择 0000：PA15引脚 0001：PB15引脚 0010：PC15引脚 0011：PD15引脚 0100：PE15引脚 0101：PF15引脚 0110：PG15引脚 0111：PH15引脚 其他配置保留
11:8	EXTI14_SS[3:0]	EXTI 14源选择 0000：PA14引脚 0001：PB14引脚 0010：PC14引脚 0011：PD14引脚 0100：PE14引脚 0101：PF14引脚 0110：PG14引脚 0111：PH14引脚 其他配置保留
7:4	EXTI13_SS[3:0]	EXTI 13源选择 0000：PA13引脚 0001：PB13引脚 0010：PC13引脚 0011：PD13引脚 0100：PE13引脚 0101：PF13引脚 0110：PG13引脚

		0111：PH13引脚 其他配置保留
3:0	EXTI12_SS[3:0]	EXTI 12源选择 0000：PA12引脚 0001：PB12引脚 0010：PC12引脚 0011：PD12引脚 0100：PE12引脚 0101：PF12引脚 0110：PG12引脚 0111：PH12引脚 其他配置保留

1.6.7. I/O 补偿控制寄存器(SYSCFG_CPSCTL)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							CPS_RDY	保留							CPS_EN
							r								rw

位/位域	名称	描述
31:9	保留	必须保持复位值。
8	CPS_RDY	I/O补偿单元是否准备好 该位只读 0：I/O补偿单元没有准备好 1：I/O补偿单元准备好
7:1	保留	必须保持复位值
0	CPS_EN	I/O补偿单元使能 0：I/O补偿单元掉电 1：I/O补偿单元使能

1.6.8. 系统状态寄存器 (SYSCFG_STAT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	CKMNMIIF	ECCSEIF6	ECCMEIF6	ECCSEIF5	ECCMEIF5	ECCSEIF4	ECCMEIF4	ECCSEIF3	ECCMEIF3	ECCSEIF2	ECCMEIF2	ECCSEIF1	ECCMEIF1	ECCSEIF0	ECCMEIF0
	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31:15	保留	必须保持复位值。
14	CKMNMIIF	HXTAL 时钟监测故障 NMI 中断状态 软件写 1 清零。 0：没有检测到 HXTAL 时钟监测故障。 1：检测到 HXTAL 时钟监测故障。
13	ECCSEIF6	Flash 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 FLASH ECC 错误事件。 1：检测到 FLASH ECC 错误事件。
12	ECCMEIF6	Flash 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 FLASH ECC 错误事件。 1：检测到 FLASH ECC 错误事件。
11	ECCSEIF5	BKPSRAM 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 BKPSRAM ECC 错误事件。 1：检测到 BKPSRAM ECC 错误事件。
10	ECCMEIF5	BKPSRAM 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 BKPSRAM ECC 错误事件。 1：检测到 BKPSRAM ECC 错误事件。
9	ECCSEIF4	TCMSRAM 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 TCMSRAM ECC 错误事件。 1：检测到 TCMSRAM ECC 错误事件。
8	ECCMEIF4	TCMSRAM 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 TCMSRAM ECC 错误事件。 1：检测到 TCMSRAM ECC 错误事件。
7	ECCSEIF3	ADDSRAM 单比特可纠正错误事件中断标志

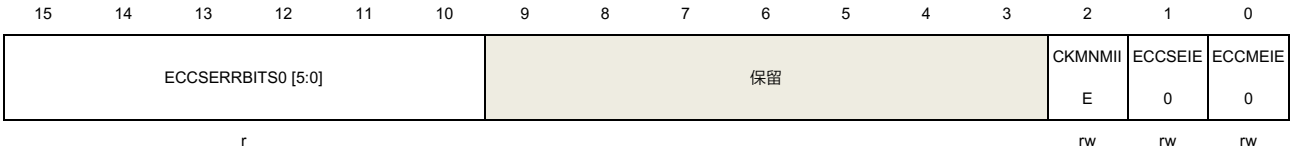
		软件写 1 清零。 0：没有检测到 ADDSRAM ECC 错误事件。 1：检测到 ADDSRAM ECC 错误事件。
6	ECCMEIF3	ADDSRAM 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 ADDSRAM ECC 错误事件。 1：检测到 ADDSRAM ECC 错误事件。
5	ECCSEIF2	SRAM2 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM2 ECC 错误事件。 1：检测到 SRAM2 ECC 错误事件。
4	ECCMEIF2	SRAM2 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM2 ECC 错误事件。 1：检测到 SRAM2 ECC 错误事件。
3	ECCSEIF1	SRAM1 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM1 ECC 错误事件。 1：检测到 SRAM1 ECC 错误事件。
2	ECCMEIF1	SRAM1 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM1 ECC 错误事件。 1：检测到 SRAM1 ECC 错误事件。
1	ECCSEIF0	SRAM0 单比特可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM0 ECC 错误事件。 1：检测到 SRAM0 ECC 错误事件。
0	ECCMEIF0	SRAM0 两比特不可纠正错误事件中断标志 软件写 1 清零。 0：没有检测到 SRAM0 ECC 错误事件。 1：检测到 SRAM0 ECC 错误事件。

1.6.9. SRAM0 ECC 状态寄存器(SYSCFG_SRAM0ECC)

地址偏移：0x28
复位值：0x0000 0007

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCEADDR0 [15:0]															
r															



位/位域	名称	描述
31:16	ECCEADDR0[15:0]	记录上一次发生 ECC 事件的 SRAM0 故障系统地址 **注意：** SRAM0 ECC 错误字地址 = SRAM0 基地址/4 + ECCEADDR0。
15:10	ECCSERRBITS0[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
9:3	保留	必须保持复位值。
2	CKMNMIIE	HXTAL 时钟检测故障 NMI 中断使能 0：禁能 HXTAL 时钟检测故障 NMI 中断。 1：使能 HXTAL 时钟检测故障 NMI 中断。
1	ECCSEIE0	SRAM0 单比特可纠正错误中断使能 0：禁能 SRAM0 单比特可纠正错误中断。 1：使能 SRAM0 单比特可纠正错误中断。
0	ECCMEIE0	SRAM0 两比特不可纠正错误 NMI 中断使能 0：禁能 SRAM0 两比特不可纠正错误 NMI 中断。 1：使能 SRAM0 两比特不可纠正错误 NMI 中断。

1.6.10. SRAM1 ECC 状态寄存器(SYSCFG_SRAM1ECC)

地址偏移：0x2C
复位值：0x0000 0003

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:18	ECCEADDR1[13:0]	记录上一次发生 ECC 事件的 SRAM1 故障系统地址 **注意：** SRAM1 ECC 错误字地址 = SRAM1 基地址/4 + ECCEADDR1。

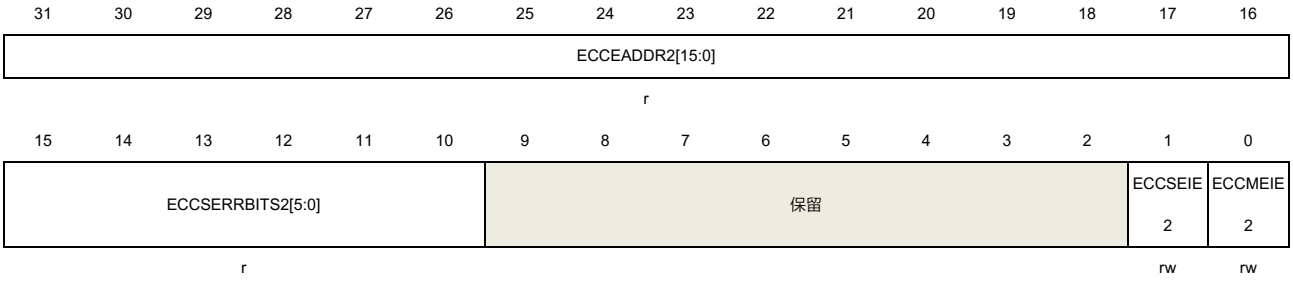
17:12	ECCSERRBITS1[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
11:2	保留	必须保持复位值。
1	ECCSEIE1	SRAM1 单比特可纠正错误中断使能 0：禁能 SRAM1 单比特可纠正错误中断。 1：使能 SRAM1 单比特可纠正错误中断。
0	ECCMEIE1	SRAM1 两比特不可纠正错误 NMI 中断使能 0：禁能 SRAM1 两比特不可纠正错误 NMI 中断。 1：使能 SRAM1 两比特不可纠正错误 NMI 中断。

1.6.11. SRAM2 ECC 状态寄存器(SYSCFG_SRAM2ECC)

地址偏移：0x30

复位值：0x0000 0003

该寄存器只能按字(32 位)访问



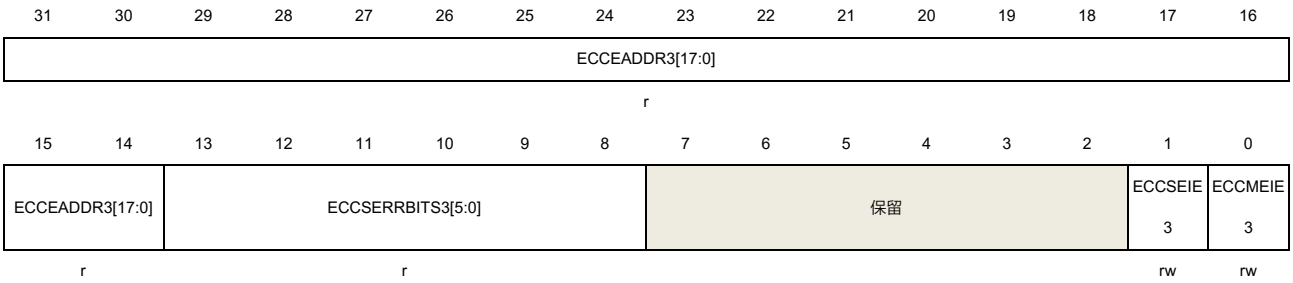
位/位域	名称	描述
31:16	ECCEADDR2[15:0]	记录上一次发生 ECC 事件的 SRAM2 故障系统地址 **注意：** SRAM2 ECC 错误字地址 = SRAM2 基地址/4 + ECCEADDR2。
15:10	ECCSERRBITS2[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
9:2	保留	必须保持复位值。
1	ECCSEIE2	SRAM2 单比特可纠正错误中断使能 0：禁能 SRAM2 单比特可纠正错误中断。 1：使能 SRAM2 单比特可纠正错误中断。
0	ECCMEIE2	SRAM2 两比特不可纠正错误 NMI 中断使能 0：禁能 SRAM2 两比特不可纠正错误 NMI 中断。

1：使能 SRAM2 两比特不可纠正错误 NMI 中断。

1.6.12. ADDSRAM ECC 状态寄存器(SYSCFG_ADDSRAMECC)

地址偏移：0x34
复位值：0x0000 0003

该寄存器只能按字(32 位)访问

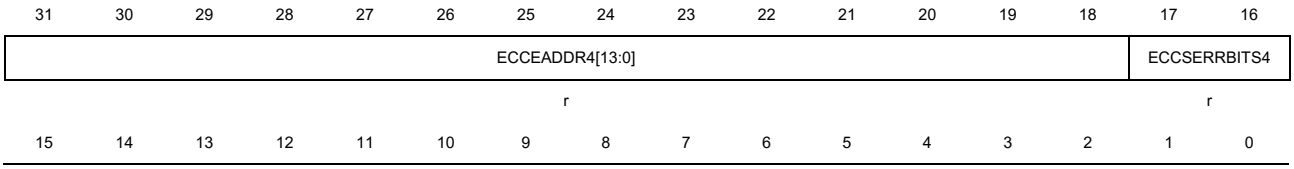


位/位域	名称	描述
31:14	ECCEADDR3[17:0]	记录上一次发生 ECC 事件的 ADDSRAM 故障系统地址 **注意:** ADDSRAM ECC 错误字地址 = ADDSRAM 基地址/4 + ECCEADDR3。
13:8	ECCSERRBITS3[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
7:2	保留	必须保持复位值。
1	ECCSEIE3	ADDSRAM 单比特可纠正错误中断使能 0：禁能 ADDSRAM 单比特可纠正错误中断。 1：使能 ADDSRAM 单比特可纠正错误中断。
0	ECCMEIE3	ADDSRAM 两比特不可纠正错误 NMI 中断使能 0：禁能 ADDSRAM 两比特不可纠正错误 NMI 中断。 1：使能 ADDSRAM 两比特不可纠正错误 NMI 中断。

1.6.13. TCMSRAM ECC 状态寄存器(SYSCFG_TCMSRAMECC)

地址偏移：0x38
复位值：0x0000 0003

该寄存器只能按字(32 位)访问



ECCSERRBITS4[5:0]	保留	ECCSEIE4	ECCMEIE4
r		rw	rw

位/位域	名称	描述
31:18	ECCEADDR4[13:0]	记录上一次发生 ECC 事件的 TCMSRAM 故障系统地址 **注意:** TCMSRAM ECC 错误字地址 = TCMSRAM 基地址/4 + ECCEADDR4。
17:12	ECCSERRBITS4[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
11:2	保留	必须保持复位值。
1	ECCSEIE4	TCMSRAM 单比特可纠正错误中断使能 0：禁能 TCMSRAM 单比特可纠正错误中断。 1：使能 TCMSRAM 单比特可纠正错误中断。
0	ECCMEIE4	TCMSRAM 两比特不可纠正错误 NMI 中断使能 0：禁能 TCMSRAM 两比特不可纠正错误 NMI 中断。 1：使能 TCMSRAM 两比特不可纠正错误 NMI 中断。

1.6.14. BKPSRAM ECC 状态寄存器(SYSCFG_BKPSRAMECC)

地址偏移：0x3C

复位值：0x0000 0003

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCEADDR5[9:0]										ECCSERRBITS5					
r										r					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														ECCSEIE5	ECCMEIE5
														rw	rw

位/位域	名称	描述
31:22	ECCEADDR5[9:0]	记录上一次发生 ECC 事件的 BKPSRAM 故障系统地址 **注意：** BKPSRAM ECC 错误字地址 = BKPSRAM 基地址/4 + ECCEADDR5。
21:16	ECCSERRBITS5[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 …

		32:比特 31
15:2	保留	必须保持复位值。
1	ECCSEIE5	BKPSRAM 单比特可纠正错误中断使能 0：禁能 BKPSRAM 单比特可纠正错误中断。 1：使能 BKPSRAM 单比特可纠正错误中断。
0	ECCMEIE5	BKPSRAM 两比特不可纠正错误 NMI 中断使能 0：禁能 BKPSRAM 两比特不可纠正错误 NMI 中断。 1：使能 BKPSRAM 两比特不可纠正错误 NMI 中断。

1.6.15. FLASH ECC 地址寄存器(SYSCFG_FLASHECC_ADDR)

地址偏移：0x40
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCEADDR6[31:0]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCEADDR6[31:0]															
r															

位/位域	名称	描述
31:0	ECCEADDR6[31:0]	记录上一次发生 ECC 事件的 FLASH 故障系统地址 **注意:** FLASH ECC 错误字地址 = ECCEADDR6

1.6.16. FLASH ECC 寄存器(SYSCFG_FLASHECC)

地址偏移：0x44
复位值：0x0000 0003

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								ECCSERRBITS6[5:0]						ECCSEIE6	ECCMEIE6
								r						rw	rw

位/位域	名称	描述
31:8	保留	必须保持复位值。

7:2	ECCSERRBITS6[5:0]	发生 ECC 单比特可纠正错误的具体是哪个比特 0：无错误 1：比特 0 … 32:比特 31
1	ECCSEIE6	FLASH 单比特可纠正错误中断使能 0：禁能 FLASH 单比特可纠正错误中断。 1：使能 FLASH 单比特可纠正错误中断。
0	ECCMEIE6	FLASH 两比特不可纠正错误 NMI 中断使能 0：禁能 FLASH 两比特不可纠正错误 NMI 中断。 1：使能 FLASH 两比特不可纠正错误 NMI 中断。

1.6.17. 用户配置寄存器(USER_CFG)

地址偏移：0x300
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ANA_VERSION [7:0]								保留							
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31:24	ANA_VERSION[7:0]	模拟版本信息。
23:0	保留	必须保持复位值。

1.7. 设备电子签名

设备的电子签名中包含的存储容量信息和 96 位的唯一设备 ID。96 位唯一设备 ID 对于每颗芯片而言都是唯一的。它可以用作序列号，或安全密钥的一部分等等。

1.7.1. 存储容量信息

基地址：0x1FFF 7A20

该值是原厂设定的，不能由用户修改。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

FLASH _DENSITY[15:0]

r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM_DENSITY[15:0]															

r

位/位域	名称	描述
31:16	FLASH_DENSITY [15:0]	Flash存储器容量 该值表明芯片的片上FLASH容量，以Kbytes为单位 例如：0x0020表示32Kbytes。
15:0	SRAM_DENSITY [15:0]	SRAM存储器容量 该值表明芯片的片上SRAM存储器容量，以Kbytes为单位 例如：0x0008表示8Kbytes。

1.7.2. 设备唯一 ID(96 位/位域)

基地址：0x1FFF 7A10

该值是原厂设定的，不能由用户修改。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UNIQUE_ID[31:16]															

r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNIQUE_ID[15:0]															

r

位/位域	名称	描述
31:0	UNIQUE_ID[31:0]	设备唯一 ID

基地址：0x1FFF 7A14

该值是原厂设定的，不能由用户修改。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UNIQUE_ID[63:48]															

r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNIQUE_ID[47:32]															

r

位/位域	名称	描述

31:0	UNIQUE_ID[63:32]	设备唯一 ID

基地址：0x1FFF 7A18

该值是原厂设定的，不能由用户修改。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UNIQUE_ID[95:80]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNIQUE_ID[79:64]															
r															

位/位域	名称	描述
31:0	UNIQUE_ID[95:64]	设备唯一设备 ID。

2. 系统安全

2.1. 简介

GD32F527xx 设计了一套全面的系统安全功能。系统安全功能涵盖了几个方面，其中包括固件知识产权保护、设备私有数据保护以及服务执行保证。

本章节系统地介绍了 GD32F527xx 关键的安全特性，列出了可用的安全功能，以指导用户基于 GD32F527xx 微控制器构建安全系统。

2.2. 主要特性

- 存储保护：
  - 系统Flash区保护；
  - 用户Flash区保护；
  - SRAM区保护；
  - 可信任代码区保护；
  - 密码区保护；
  - 外部SDRAM、Nand-Flash、Nor-Flash区保护；
- 启动保护：
  - 唯一启动入口；
  - 安全启动；
- 安全调试：
  - 限制调试访问；
  - 关闭调试功能；
- 加密和随机数：
  - 公钥加密处理器(PKCAU)；
  - 哈希处理器(HAU)；
  - 加密处理单元(CAU)；
  - 真随机数发生器模块(TRNG)；
- 系统监控：
  - 入侵检测；
  - 电源监控；
  - 时钟监控；
  - 温度监控；
  - 关键代码执行时间监控；
- 器件UID：
  - 唯一的96位标识符；

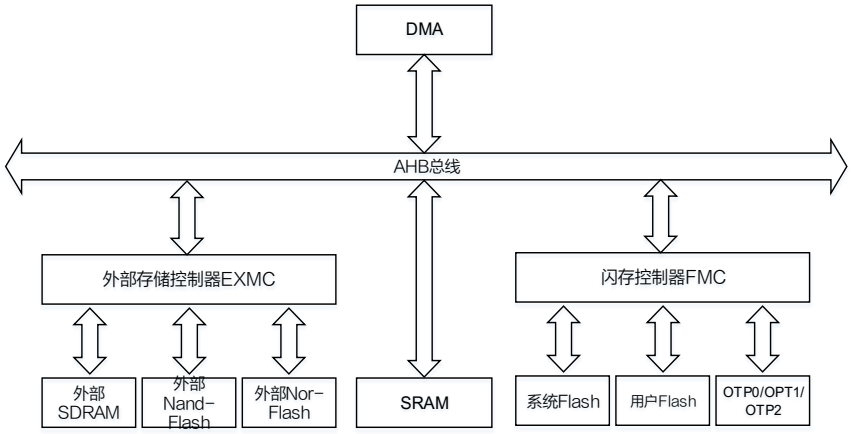
2.3. 存储安全

在构建系统安全时，存储器保护是最重要的因素。存储器保存敏感代码和数据，应禁止任何非

预期接口(调试端口)或未授权进程(内部威胁)进行访问。根据要保护的资产(代码或数据)，用户可针对不同的储器类型(Flash、SRAM 或外部存储器)建立相应的保护机制。

GD32F527xx 微控制器支持通过存储器接口(如闪存控制器 FMC)或 MPU 限制部分访问。内部存储器(Flash 和 SRAM)和外部存储器的用途有很大的区别，其保护机制也不相同。GD32F527xx 的存储器访问架构如*图 2-1. GD32F527xx 存储器访问架构*所示。

图 2-1. GD32F527xx 存储器访问架构



2.3.1. 系统 Flash 区保护

在 GD32F527xx 中，系统存储器为包括 Bootloader、OPT0、OTP1 和 OTP2 区。Bootloader 区专用于 GD32 MCU Bootloader。为确保 Bootloader 真实性和完整性，用户不能对此部分进行修改。由于 Bootloader 不包含任何敏感算法，因此是可读的。OTP0/1/2 区为一次性编程区域，三个区域都支持写锁定，防止非法的写操作。OTP1/2 还支持读锁定，防止非法的读操作。因此 OTP1 可作为可信任代码区，OTP2 可作为密码区。

2.3.2. 用户 Flash 区保护

用户 Flash 区用于一般用于保存用户代码和重要的数据。用户通过 FMC 或 MPU 设置存储器安全属性对特定区域进行保护。

外部读访问保护

FMC 提供了一个安全保护功能来阻止非法读取闪存，能够保护软件和固件免受非法的用户操作。FMC 控制器提供了 3 种安全等级：

无保护状态：当 EFUSE 控制段中的 EFSPC 为 0 且 SPC 字节设置为 0xAA，Flash 将处于非安全保护状态。用户 Flash 区和选项字节可以被所有操作模式访问。

保护等级低：当 EFUSE 控制段中的 EFSPC 为 1 或设置 SPC 字节为除 0xAA 或 0xCC 外的任何值，激活低安全保护等级。用户 Flash 区仅能被用户代码访问。在调试模式或者从 SRAM 中启动或者从 bootloader 模式启动时，对用户 Flash 区的读操作都被禁止。如果对用户 Flash

区执行一次读操作，将会产生一个总线错误。在低安全保护等级下，允许对选项字节进行操作。如果通过设置 SPC 字节为 0xAA 进入无保护状态，用户 Flash 区将执行一次整片擦除操作。

注意：当 EFUSE 控制段中的 EFSPC = 1 时，则无法回退。

保护等级高：当设置 SPC 字节为 0xCC，激活高安全保护等级。当编程选择该保护等级时，调试模式，从 SRAM 中启动，或者从 Bootloader 启动都被禁止。用户 Flash 区可由用户代码进行访问。SPC 字节禁止再次编程。

用户 Flash 区安全保护可参考*安全保护*章节。

注意：如果高保护等级被激活，将不能再降回到低保护等级或无保护等级。选项字节也无法再次被编程。

内部擦除/编程保护

用户 Flash 区的内部读访问或写访问可能是由注入到器件 SRAM 中的恶意软件发起。因此用户可以通过设置 Flash 的保护属性，防止通过意外的写操作篡改敏感的数据或代码。

用户 Flash 区的擦除或编程保护可以通过以下 2 种方式实现：

1. 通过闪存控制器 FMC 配置选项字节，将目标扇区进行保护。FMC 的扇区擦除/编程保护功能可以阻止对闪存的意外操作。如果开启了擦除/编程保护中断，对保护区进行擦除或编程操作将触发闪存操作错误中断。用户可在中断里执行相应的保护动作。
2. 通过 MPU 配置用户 Flash 区的访问属性。设置目标区域的访问为禁止写访问，当对保护区写操作时，MCU 将产生异常，用户可在异常里执行相应的保护动作。

注意：对于未使用的 Flash 区域也要设置写保护，以防止修改或注入代码。

错误检查和纠正(ECC)

GD32F527xx 系列支持 Flash 的硬件 ECC 功能，用户 Flash 可采用 ECC 实现错误检测和纠正(双位错误检测，单位错误纠正)。ECC 作为一种功能安全机制，也可用于安全保护，作为互补机制，防止故障注入。

2.3.3. SRAM 区保护

代码执行

GD32F527xx 系列的用户 Flash 区最大支持 2M 空间的零等待区，该区域内具优异的执行效率，一般情况当代码未超出 2M 空间时，是不需要将 Flash 中的代码拷贝到 SRAM 中执行。但是当用户的代码大小超出了 2M。由于 SRAM 无需等待，如果某段代码需要更快的性能，那么可以将其从用户 Flash 拷贝到 SRAM 中执行。

因此需要对 SRAM 中对执行的代码区域进行保护，通过 MPU 配置访问属性。如果 SRAM 中无需执行任何代码，建议通过 MPU 准确配置其属性为永不执行，以防运行恶意的程序。

数据清除

SRAM 可能保存一些可从中获取机密信息的敏感数据或临时值。如一个典型的例子，位于受保护区域的密钥需要传输时，会以明文的形式临时存储在 SRAM 中。强烈建议在函数操作敏感数据结束之后立即清除工作缓存和变量。

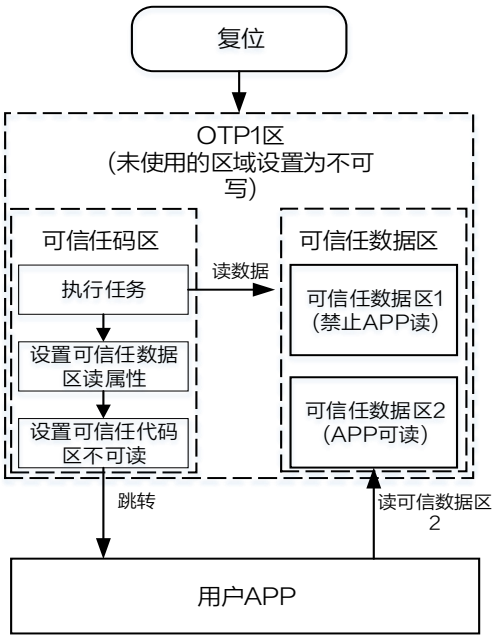
2.3.4. 可信任代码区保护

GD32F527xx 的 OTP1 区域可以作为用户的可信任代码区。OTP1 区域被划分为 16 个 8K 字节大小的数据块和 1 个 16 字节大小的锁定块，该区域支持锁定操作，可以阻止非法的读写操作。锁定块中每一个锁定字节可以锁定相对应的数据块，以阻止在这些数据块上的编程操作。可通过 FMC_OPT1CFG 寄存器中的 OTP1REN[15:0]位决定 OTP1 数据块是否可读。读已锁定的区域会导致总线错误。

用户的启动代码和重要的数据可以存放在此区域，MCU 可以设置从可信任代码区启动。可信任代码区执行完任务后，在跳转至 APP 之前，可将代码区锁定为禁止读。数据区域属性可根据用户的应用场景进行灵活地配置。数据可以在可信代码执行完成后锁定，分区域设定数据读写属性。如部分数据 APP 可读，部分数据不可被 APP 读。

可信任代码区保护示意图如*图 2-2.可信任代码区保护*所示，OTP1 的详细内容可参考 *OTP 闪存块编程*。

图 2-2.可信任代码区保护



注意：由于 OPT1 区域只能执行一次写操作，所以当数据块被锁定为可不写时，用户无法再次进行修改。而读属性的状态是可以通过 FMC 寄存器进行切换的。

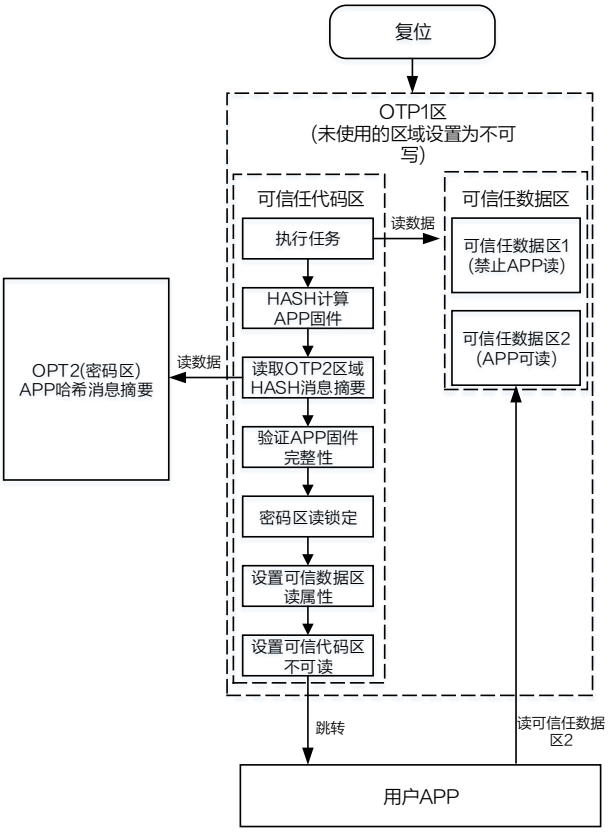
2.3.5. 密码区保护

GD32F527xx 的 OTP2 区域可以作为用户的密钥区。OTP2 闪存块可以被划分为 16 个 32 字节的数据块和 1 个 32 字节的锁定块。OTP2 支持写锁定和读锁定功能，用户可将目标区域先配置读锁定，然后再通过将 FMC_CTL 寄存器的 RLBE 位置 1，目标区域将无法执行读访问。

用户可将密钥或哈希消息摘要存入 OTP2 区(密码区),该区域只能被可信任代码读取,禁止 APP 代码的读取。一种典型的应用是 OTP2 区存放 APP 代码的哈希消息摘要。用户从 OTP1 区的可信代码启动后，使用硬件 HASH 处理器对 APP 进行计算，然后与 OTP2 区的哈希消息摘要进行校验，确保 APP 固件的完整性后，可信任代码将 RLBE 位置 1，将 OTP2 区域读锁定，然后再跳转到 APP 代码。OTP2 读锁定块对应的数据块将无法被 APP 读取。直到 MCU 下次复位时，才能被可信任代码读取。

OTP2 的详细内容可参考 ***OTP 闪存块编程***。

图 2-3.可信任代码区与密码区应用



2.3.6. 外部存储区保护

如果外部存储区通过专用接口 EXMC 连接到微控制器，则与内置存储区一样，外部存储区也包含代码和数据，但外部存储却引入了保密性和身份验证等问题。

外部存储可映射到 External RAM 和 External Device(参考***表 1-2. GD32F527xx 系列器件的存储器映射表***)地址，可通过 MPU 设置该区域访问属性，以保护外部存储数据的安全。当外部存

储设置为写保护时，可避免擦除或修改内容。如果外部存储的内容需要保密性时，可通过 TRNG、PKCAU、CAU 硬件进行加密。

2.4. 启动保护

启动保护会针对系统中的第一条软件指令进行保护。如果攻击者成功篡改 MCU 启动地址，便可执行自己的代码，以绕过 MCU 初始保护配置，或者执行不安全的程序来访问 MCU 存储器。

GD32F527xx 系列可进行启动配置，可选择在用户 Flash、系统 Bootloader 或 SRAM 中的固件执行启动。启动保护依赖于 MCU 启动入口的唯一性，且启动入口执行可信任代码。

2.4.1. 唯一启动入口

GD32F527xx 系列可将 Flash 或 OTP1 区(可信任代码区)配置为唯一启动入口，且无法被再次修改。两种启动入口的配置方式如下：

1. 如果 EFUSE 的 BTFOSEL=0，FMC 设置 SPC 保护等级高，则只能从 Flash 启动，禁止从 SRAM 或 Bootloader 启动。
2. 如果 EFUSE 的 BTFOSEL=1，FMC 设置 SPC 保护等级高，则只能从 OTP1 启动，禁止从 SRAM、Flash、Bootloader 启动。

由于 EFUSE 的 BTFOSEL 位在被写 1 且生效后无法回退，SPC 再被设置为高保护等级时也是如此，这两种安全属性保证了 MCU 启动入口的唯一性。

2.4.2. 安全启动

安全 Boot 会在 MCU 复位时先于用户 APP 固件执行，它提供了初始阶段的安全功能。用户可在 OTP1 区存入用户级的安全 Boot，然后设定 OTP1 区为 MCU 唯一启动入口。那么 MCU 每次复位后，都必须从安全 Boot 启动。

安全 Boot 的主要功能可包括以下几点：

1. 检查 MCU 的安全配置和设置运行时保护。

   安全 Boot 会通过选项字节的配置检查静态安全配置是否正确(安全保护等级 SPC、读保护 DRP、擦除/编程保护 WP)。

   运行时的保护可通过 MPU、入侵检测和 FWDGT 的配置实现。

2. 校验所执行用户 APP 固件的完整性和真实性。

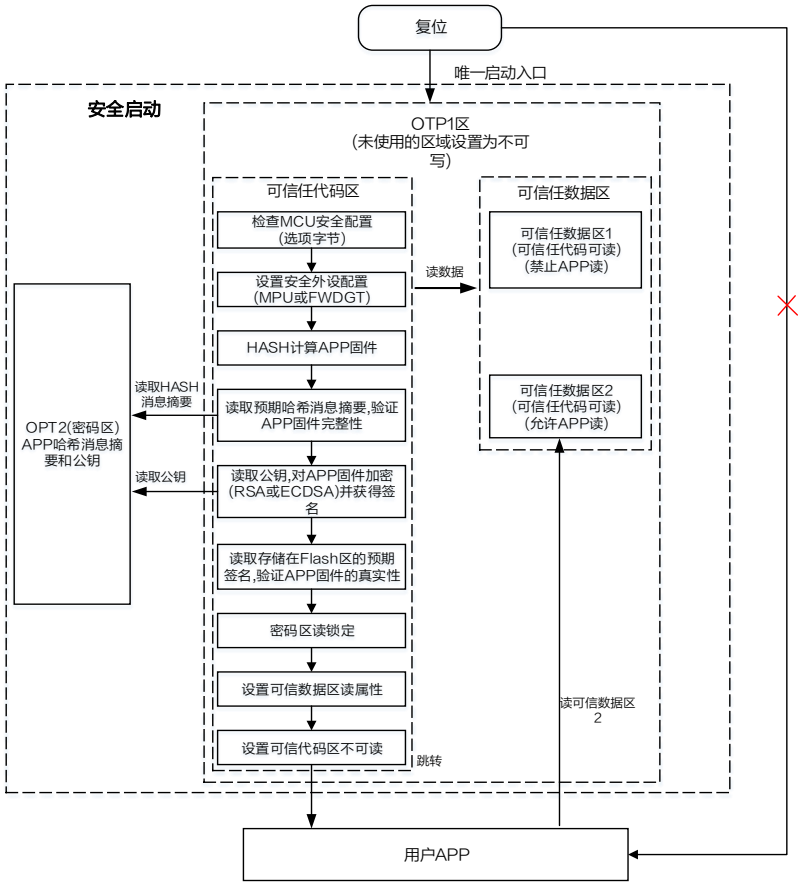
完整性校验可通过 HASH 算法(用 MD5、SHA1、SHA-224 或 SHA256 哈希算法)对 APP 代码进行计算，并将计算的摘要与预期值进行比较，以此来确认 APP 代码的完整性。

用户通过与 MCU 之间共享的密钥对 APP 固件进行加密得到的签名(PKCAU 支持 RSA、ECDSA 算法)，并与预期签名进行对比，实现真实性检查。

哈希摘要信息、共享密钥和 APP 固件签名都应存储在受保护的区域内。哈希摘要信息、共享密钥可存入 OPT2 区，APP 固件签名可存入用户 Flash 区。

安全启动的流程如*图 2-4.安全启动流程*所示。

图 2-4.安全启动流程



2.5. 安全调试

调试端口可提供对内部资源(内核、存储器和外设寄存器)的访问，应在最终产品中被禁用。调试端口访问 MCU 的数据属于最基本的外部攻击，用户只需通过安全、不可变的固件禁止 JTAG(或 SWD)端口或永久禁用调试功能便可避免受到攻击。

2.5.1. 限制调试访问

用户可通过选项字节 SPC 或 EFUSE(熔丝)设置 Flash 安全保护等级。

1. 当 EFUSE 控制段中的 EFSPC 为 1 或设置 SPC 字节为除 0xAA 或 0xCC 外的任何值，激活低安全保护等级。
2. 当设置 SPC 字节为 0xCC，激活高安全保护等级。

当 MCU 处于以上两种安全等级时，主存储闪存块仅能被用户代码访问，无法通过调试方式访问用户代码，但仍能通过调试器访问 MCU 的寄存器。

2.5.2. 关闭调试功能

GD32F527xx 系列支持永久关闭 Debug 功能，用户通过将 EFUSE(熔丝)的 NDBG 位置 1 来永久关闭 Debug 功能。当 EFUSE 生效时，NDBG 位无法回退。因此关闭调试功能建议在产品的最终阶段使用。

2.6. 加密和随机数

加解密算法对于确保嵌入式系统的安全至关重要。加解密算法可确保数据或代码的保密性、完整性和真实性。为了高效支持加解密功能，GD32F527xx 系列提供了公钥加密处理器(PKCAU)、加密处理单元(CAU)、哈希处理器(HAU)和真随机数发生器模块(TRNG)外设。

公钥加密处理器(PKCAU)

- 支持操作数高达 3136 位的 RSA/DH 算法；
- 支持操作数高达 640 位的 ECC 算法；
- RSA 模幂运算，RSA CRT 求幂；
- ECC 标量乘法，曲线上点的检查；
- ECDSA(椭圆曲线数字签名算法)签名和验证；
- 支持蒙哥马利模法，加速 RSA，DH 和 ECC 运算；
- 蒙哥马利域和自然域之间的相互转换。

PKCAU 外设详细内容请参考*公钥加密处理器(PKCAU)*章节。

加密处理单元(CAU)

- 支持DES，三重DES和AES加密解密算法；

DES/三重DES

- 支持电子密码本(ECB)或加密分组链接(CBC)模式；
- 支持在CBC模式下使用2×32位初始化向量(IV)；
- 数据可通过DMA或CPU中断进行传输。

AES

- 支持支持电子密码本(ECB)、加密分组链接(CBC)模式、计数器模式(CTR)、伽罗瓦 / 计数器模式(GCM)、伽罗瓦消息验证码模式(GMAC)、加密分组链接-消息验证码模式(CCM)、密码反馈模式(CFB)和输出反馈模式(OFB)；
- 支持128位、192位或256位密钥；
- 支持在CBC、CTR、GCM、GMAC、CCM、CFB和OFB模式下使用4×32位初始化向量(IV)；
- 数据可通过DMA或CPU中断进行传输。

CAU 外设详细内容请参考*加密处理器(CAU)*章节。

哈希处理器(HAU)

- 联邦信息处理标准出版物180-2(FIPS PUB 180-2)；
- 安全散列标准规范(SHA-1，SHA-224，SHA256)；
- 互联网工程任务组征求意见文档编号1321(IETF RFC 1321)规范(MD5)；
- 支持DMA模式的数据流传输。

HAU外设详细内容请参考*哈希处理器(HAU)*章节。

真随机数发生器模块(TRNG)

- 32位随机数的种子是由模拟噪声产生的，因此该随机数是一个真随机数值。

TRNG外设详细内容请参考*真随机数生成器(TRNG)*章节。

2.7. 系统监控

用户可通过监控 MCU 的电源、时钟等环境来规避故障的发生。当监测到环境变化时，可采取相应的对策，保证系统的安全性。

2.7.1. 入侵检测

入侵检测用于监测系统级或板级入侵。可在 MCU 引脚上检测到开盖，并会触发相应的操作。用户通过 RTC 的 TAMP 入侵检测，用于检测系统上的物理篡改行为，当发生入侵检测时，可擦除 RTC_BKPx 寄存器中保存的信息。

2.7.2. 电源监控

电源电压监控用来检测异常电平。低于某个电压值时，无法保证正常运行，而这可能是故障注入攻击的征兆。

某些攻击可能针对微控制器电源，以引起可能导致安全对策失效的错误。GD32F527xx 支持

LVD 低电压检测，触发低电压中断，用户可在低电压中断里作出相应对策。

2.7.3. 时钟监控

时钟安全系统用于防止外部振荡器出现故障。如果检测到外部时钟上的故障，微控制器会切换为使用内部时钟，以安全执行操作。

时钟源缺失可能是有意的，也可能是无意的。无论是哪种情况，器件都必须采取相应的措施进行恢复。GD32F527xx 支持外部时钟故障检测，当外部时钟丢失时，用户可通过 NMI 中断及时切换到内部时钟源。

2.7.4. 温度监控

温度升高可能是故障注入攻击方案的一种方式。GD32F527xx 内置温度传感器，可通过内部 ADC 通道获取 MCU 温度变化，用户可根据应用场景设置温度范围。当监测到温度超出预设定的范围时，执行相应对策。

2.7.5. 关键代码执行时间监控

FWDGT 一般用于解决代码运行中发生故障或卡死，FWDGT 达到给定超时后会触发系统复位。FWDGT 具有独立的内部低速时钟，可用于控制关键代码的执行时间，如加密、Flash 编程。

2.8. 器件 UID

每个 GD32 MCU 都具有唯一的 96 位标识符，可对任何环境中的任何器件提供单独引用。用户永远不能修改，MCU 的唯一标识符可用于直接验证器件身份。

3. 闪存控制器(FMC)

3.1. 简介

闪存控制器(FMC)，提供了片上闪存需要的所有功能。MCU执行指令零等待的区域最大支持到2048K字节空间。FMC提供了页(4KB)擦除、扇区擦除和整片擦除，以及64位双字/32位整字/16位半字/8位字节编程等闪存操作。

熔丝(EFUSE)作为一种非易失性存储单元存储了一些必需的系统参数。其中的每一个比特位只允许从0被改写为1。

3.2. 主要特征

- 高达7680K字节的主闪存可用于存储指令和数据；
- MCU执行指令零等待区域最大支持到前2048K字节空间(在闪存大小小于2048KB时，闪存全片执行指令零等待)，在此范围外，CPU读取指令存在较长延时；
- 对于GD32F527xx，使用了两片闪存：前2048KB容量在第0片闪存(Bank0)中，后续的容量在第1片闪存(Bank1和Bank1_Ex)中；
- ECC支持单个位错误纠正和双位错误检测；
- 支持64位双字/32位整字/16位半字/字节编程，页(4KB)擦除，扇区擦除和整片擦除操作；
- 2个大小为16字节的选项字节可根据用户需求配置；
- 64字节OTP0块用于存储用户数据，额外提供128KB的OTP1和128B的OTP2；
- 30K字节信息块，用于引导装载程序；
- 选项字节会在每次系统复位时装载到选项字节控制寄存器；
- 具有安全保护状态，可阻止对代码或数据的非法读访问；
- 具有擦除和编程保护状态，可阻止意外写操作；
- 一次性可编程非易失性EFUSE存储单元；
- EFUSE的所有位不能从1回滚到0；
- EFUSE只能通过相应的寄存器访问。

3.3. 功能说明

3.3.1. 闪存结构

对于主存储闪存容量不多于7680KB的GD32F527xx，最多包含8个16KB的扇区、2个64KB的扇区、30个128KB的扇区、14个256KB的扇区。主存储闪存的每个扇区都可以单独擦除。

闪存结构分为 4MB 双块、2MB 双块、1MB 单块、512KB 单块结构，每种结构均可有 Bank1 拓展闪存(Bank1_Ex)，Bank1 拓展闪存地址固定从 0x0840 0000 开始且操作方式与 Bank1 相同。4MB 双块结构细节见*表 3-1. GD32F527xx 4MB 双块闪存基地址和构成*。2MB 双块结构细节见*表 3-2. GD32F527xx 2MB 双块闪存基地址和构成*。1MB 单块结构细节见*表 3-3. GD32F527xx 1MB 单块闪存基地址和构成*。512KB 单块结构细节见*表 3-4. GD32F527xx*

512KB 单块闪存基地址和构成。

表 3-1. GD32F527xx 4MB 双块闪存基地址和构成

闪存块		名称	地址	大小(字节)
主存储闪存块	Bank0 2MB	扇区 0	0x0800 0000 - 0x0800 3FFF	16KB
		扇区 1	0x0800 4000 - 0x0800 7FFF	16KB
		扇区 2	0x0800 8000 - 0x0800 BFFF	16KB
		扇区 3	0x0800 C000 - 0x0800 FFFF	16KB
		扇区 4	0x0801 0000 - 0x0801 FFFF	64KB
		扇区 5	0x0802 0000 - 0x0803 FFFF	128KB
		扇区 6	0x0804 0000 - 0x0805 FFFF	128KB
		. . .	. . .	. . .
		扇区 19	0x081E 0000 - 0x081F FFFF	128KB
	Bank1 2MB	扇区 20	0x0820 0000 - 0x0820 3FFF	16KB
		扇区 21	0x0820 4000 - 0x0820 7FFF	16KB
		扇区 22	0x0820 8000 - 0x0820 BFFF	16KB
		扇区 23	0x0820 C000 - 0x0820 FFFF	16KB
		扇区 24	0x0821 0000 - 0x0821 FFFF	64KB
		扇区 25	0x0822 0000 - 0x0823 FFFF	128KB
		扇区 26	0x0824 0000 - 0x0825 FFFF	128KB
		. . .	. . .	. . .
		扇区 39	0x083E 0000 - 0x083F FFFF	128KB
	Bank1_Ex 3584KB	扇区 40	0x0840 0000 - 0x0843 FFFF	256KB
		扇区 41	0x0844 0000 - 0x0847 FFFF	256KB
		. . .	. . .	. . .
		扇区 53	0x0874 0000 - 0x0877 FFFF	256KB
信息块		引导装载程序	0x1FFF 0000- 0x1FFF 77FF	30KB
OTP0 Block		数据块	0x1FFF 7800 - 0x1FFF 783F	64B
		锁定块	0x1FFF 7840 - 0x1FFF 787F	64B
OTP1 Block		数据块	0x1FF0 0000 - 0x1FF1 FFFF	128KB
		锁定块	0x1FF2 0200 - 0x1FF2 020F	16B
OTP2 Block		数据块	0x1FF2 0000 - 0x1FF2 01FF	512B
		锁定块	0x1FF2 0210 - 0x1FF2 022F	32B
Option bytes Block		选项字节 0	0x1FFF C000 - 0x1FFF C00F	16B
		选项字节 1	0x1FFE C000 - 0x1FFE C00F	16B

注意:

1、信息块存储了引导装载程序(boot loader)，不能被用户编程或擦除。

2、对于 4MB 双块、2MB 双块结构，在 SYSCFG 中设置 FMC_SWP 将交换总线矩阵中的 BANK0 和 BANK1 逻辑地址，但不影响原始擦除地址。例如，对于 4MB 双块结构。若 FMC_SWP 置 1，擦除 0x0800 0000 中的内容可通过页擦除(PE_ADDR=0x0820 0000)、扇区擦除(扇区 20)、整片擦除(MER1=1)。若 FMC_SWP 清 0，擦除 0x0800 0000 中的内容可通过页擦除(PE_ADDR=0x0800 0000)、扇区擦除(扇区 0)、整片擦除(MER0=1)。

3、对于 1MB 单块、512KB 单块结构，不支持 FMC_SWP 交换功能。

表 3-2. GD32F527xx 2MB 双块闪存基地址和构成

闪存块		名称	地址	大小(字节)
主存储闪存块	Bank0 1MB	扇区 0	0x0800 0000 - 0x0800 3FFF	16KB
		扇区 1	0x0800 4000 - 0x0800 7FFF	16KB
		扇区 2	0x0800 8000 - 0x0800 BFFF	16KB
		扇区 3	0x0800 C000 - 0x0800 FFFF	16KB
		扇区 4	0x0801 0000 - 0x0801 FFFF	64KB
		扇区 5	0x0802 0000 - 0x0803 FFFF	128KB
		扇区 6	0x0804 0000 - 0x0805 FFFF	128KB
		. . .	. . .	. . .
		扇区 11	0x080E 0000 - 0x080F FFFF	128KB
	Bank1 1MB	扇区 20	0x0810 0000 - 0x0810 3FFF	16KB
		扇区 21	0x0810 4000 - 0x0810 7FFF	16KB
		扇区 22	0x0810 8000 - 0x0810 BFFF	16KB
		扇区 23	0x0810 C000 - 0x0810 FFFF	16KB
		扇区 24	0x0811 0000 - 0x0811 FFFF	64KB
		扇区 25	0x0812 0000 - 0x0813 FFFF	128KB
		扇区 26	0x0814 0000 - 0x0815 FFFF	128KB
		. . .	. . .	. . .
		扇区 31	0x081E 0000 - 0x081F FFFF	128KB
	Bank1_Ex 3584KB	扇区 40	0x0840 0000 - 0x0843 FFFF	256KB
		扇区 41	0x0844 0000 - 0x0847 FFFF	256KB
		. . .	. . .	. . .
		扇区 53	0x0874 0000 - 0x0877 FFFF	256KB

表 3-3. GD32F527xx 1MB 单块闪存基地址和构成

闪存块		名称	地址	大小(字节)
主存储闪存块	Bank0 1MB	扇区 0	0x0800 0000 - 0x0800 3FFF	16KB
		扇区 1	0x0800 4000 - 0x0800 7FFF	16KB
		扇区 2	0x0800 8000 - 0x0800 BFFF	16KB
		扇区 3	0x0800 C000 - 0x0800 FFFF	16KB

闪存块		名称	地址	大小(字节)
		扇区 4	0x0801 0000 - 0x0801 FFFF	64KB
		扇区 5	0x0802 0000 - 0x0803 FFFF	128KB
		扇区 6	0x0804 0000 - 0x0805 FFFF	128KB
		.	.	.
		.	.	.
		.	.	.
		扇区 11	0x080E 0000 - 0x080F FFFF	128KB
	Bank1_Ex 3584KB	扇区 40	0x0840 0000 - 0x0843 FFFF	256KB
		扇区 41	0x0844 0000 - 0x0847 FFFF	256KB
		.	.	.
		.	.	.
		.	.	.
		扇区 53	0x0874 0000 - 0x0877 FFFF	256KB

表 3-4. GD32F527xx 512KB 单块闪存基地址和构成

闪存块		名称	地址	大小(字节)
主存储闪存块	Bank0 512KB	扇区 0	0x0800 0000 - 0x0800 3FFF	16KB
		扇区 1	0x0800 4000 - 0x0800 7FFF	16KB
		扇区 2	0x0800 8000 - 0x0800 BFFF	16KB
		扇区 3	0x0800 C000 - 0x0800 FFFF	16KB
		扇区 4	0x0801 0000 - 0x0801 FFFF	64KB
		扇区 5	0x0802 0000 - 0x0803 FFFF	128KB
		扇区 6	0x0804 0000 - 0x0805 FFFF	128KB
		扇区 7	0x0806 0000 - 0x0807 FFFF	128KB
	Bank1_Ex 3584KB	扇区 40	0x0840 0000 - 0x0843 FFFF	256KB
		扇区 41	0x0844 0000 - 0x0847 FFFF	256KB
		.	.	.
		.	.	.
		.	.	.
		扇区 53	0x0874 0000 - 0x0877 FFFF	256KB

3.3.2. 错误检查和纠正(ECC)

ECC 机制支持:

- 单个位错误检测与纠正
- 双位错误检测

选项字节中的 ECCEN 位决定是否开启 ECC。

当单个位错误被检测与纠正时:

- 当从主闪存 / bootloader / OTP0 / OTP1 / OTP2中读数据时发生错误，SYSCFG_STAT寄存器中的ECCSEIF6位将置1。如果SYSCFG_FLASH_ECC寄存器中ECCSEIE6位置1，将产生IRQ101中断。SYSCFG_FLASHECC_ADDR寄存器的ECCEADDR6[31:0]和

SYSCFG_FLASH_ECC寄存器的ECCSERRBITS6[5:0]表示错误偏移地址和位置。

当检测到双位错误时：

- 当从主闪存 / bootloader / OTP1中加载代码时发生错误，FMC_STAT寄存器中的LDECCDET位将置1。如果FMC_CTL寄存器的LDECCIE位置1，则产生NMI中断。FMC_LDECCADDR0 / FMC_LDECCADDR1 / FMC_LDECCADDR2寄存器将按出错顺序表示三个错误偏移地址。必须使用双字编程主闪存 / bootloader / OTP1才能保证正确检测该错误。
- 当从主闪存 / bootloader / OTP0 / OTP1 / OTP2中读数据时发生错误，SYSCFG_STAT寄存器的ECCMEIF6位将置1。如果SYSCFG_FLASH_ECC寄存器的ECCMEIE6位置1，则产生NMI中断。SYSCFG_FLASHECC_ADDR寄存器的ECCEADDR6[31:0]和SYSCFG_FLASH_ECC寄存器的ECCSERRBITS6[5:0]将显示错误偏移地址和位置。

注意:

1. 闪存中的数据是 72 位存储的，每个双字(64 位)后加 8 位纠错码。8 位纠错码由硬件自动计算，用户不可访问。
2. 编程前需进行擦除操作(第一次编程前原数据为全F，也需对该区域先擦除再编程)。

3.3.3. 读操作

闪存可以像普通存储空间一样直接寻址访问。任何闪存取指令和取数据都使用 CPU 的 CBUS 总线。

3.3.4. FMC_CTL/FMC_OBCTLx 寄存器解锁

复位后，FMC_CTL 寄存器进入锁定状态，LK 位置为 1。通过先后向 FMC_KEY 寄存器写入 0x45670123 和 0xCDEF89AB，可以使得 FMC_CTL 解锁。两次写操作后，FMC_CTL 寄存器的 LK 位被硬件清 0。可以通过软件设置 FMC_CTL 寄存器的 LK 位为 1 再次锁定 FMC_CTL 寄存器。任何对 FMC_KEY 寄存器的错误操作都会将 LK 位置 1，从而锁定 FMC_CTL 寄存器，并引发一个总线错误。

FMC_OBCTL0 寄存器，在 FMC_CTL 被解锁后仍然处于被保护状态。解锁过程为两次写操作，向 FMC_OBKEY 寄存器先后写入 0x08192A3B 和 0x4C5D6E7F，然后硬件将 FMC_OBCTL0 寄存器中的OB_LK位清零。软件可以将FMC_OBCTLx的OB_LK位置1来锁定FMC_OBCTLx。

3.3.5. 页擦除

FMC 额外提供了页擦除功能使得主存储闪存中大小为 4K 字节的页内容初始化为高电平。每一页都可以被独立擦除，而不影响其他页内容。FMC 页擦除操作步骤如下：

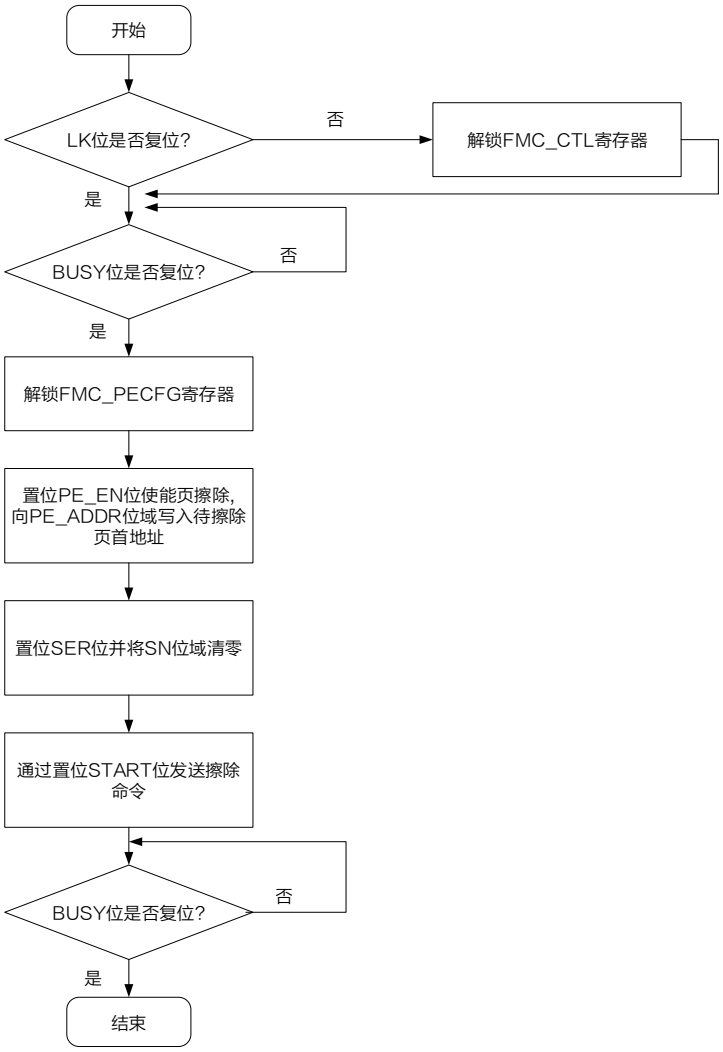
1. 确保FMC_CTL寄存器不处于锁定状态；
2. 检查FMC_STAT寄存器的BUSY位来判定闪存是否正处于擦写访问状态，若BUSY位为1，则需等待该操作结束，BUSY位变为0；
3. 向FMC_PEKEY寄存器写入KEY值0xA9B8C7D6用以解锁FMC_PECFG寄存器；

4. 置位FMC_PECFG寄存器中的PE_EN位以使能页擦除功能；
5. 在FMC_PECFG寄存器中的PE_ADDR[28:0]位域中写入待擦除页的首地址，写入的页地址需要4K字节对齐；
6. 确保FMC_CTL寄存器中SN[4:0]位域为0，并置位寄存器中的SER位；
7. 通过将FMC_CTL寄存器的START位置1来发送页擦除命令到FMC；
8. 等待擦除指令执行完毕，FMC_STAT寄存器的BUSY位清0；
9. 清除PE_EN位和SER位防止下次误操作；
10. 如果需要，使用CBUS读操作验证该页是否擦除成功。

注意：擦除过程中禁止掉电或复位。

当页擦除成功执行，且 FMC_CTL 寄存器中的 ENDIE 位为 1 时，FMC_STAT 寄存器的 END 位将置位，同时 FMC 将产生一个中断。需要注意的是，用户需确保写入的是正确的页地址(4K 字节对齐)，否则当待擦除页被用来取指令或访问数据时，软件将会跑飞。该情况下，FMC 不会提供任何出错通知。另一方面，对擦除/编程保护的扇区进行页擦除操作将无效。如果 FMC_CTL 寄存器的 ERRIE 位被置位，该操作将触发操作出错中断。中断服务程序可通过检测 FMC_STAT 寄存器的 OPERR 位来判断该中断是否发生。*图 3-1. 页擦除操作流程*显示了页擦除操作流程。

图 3-1. 页擦除操作流程



3.3.6. 扇区擦除

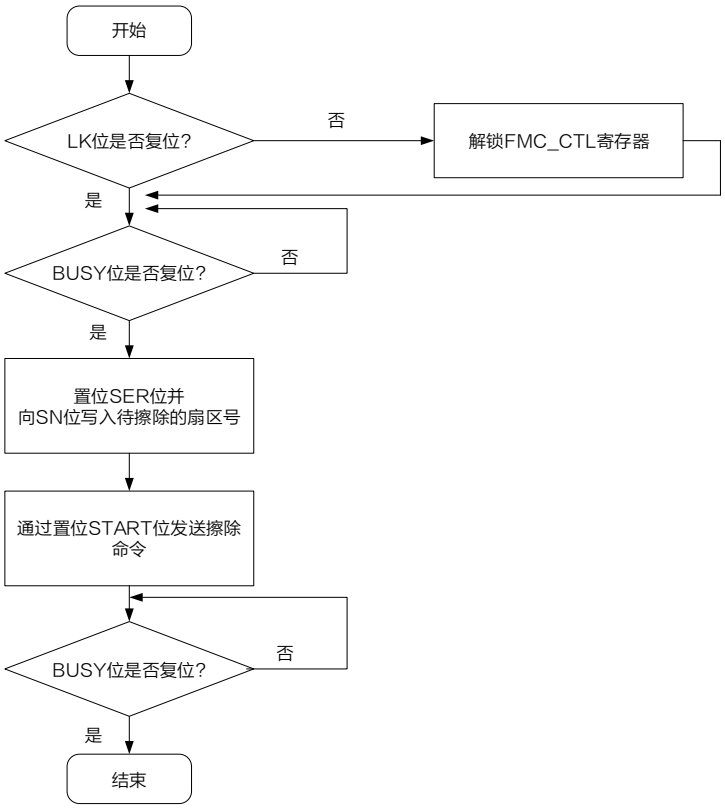
FMC 的扇区擦除功能使得主存储闪存的扇区内容初始化为高电平。每一扇区都可以被独立擦除，而不影响其他扇区内容。FMC 扇区擦除操作步骤如下：

1. 确保FMC_CTL寄存器不处于锁定状态；
2. 检查FMC_STAT寄存器的BUSY位来判定闪存是否正处于擦写访问状态，若BUSY位为1，则需等待该操作结束，BUSY位变为0；
3. 置位FMC_CTL寄存器的SER位；
4. 将待擦除扇区号写到FMC_CTL寄存器SN位；
5. 通过将FMC_CTL寄存器的START位置1来发送扇区擦除命令到FMC；
6. 等待擦除指令执行完毕，FMC_STAT寄存器的BUSY位清0；
7. 如果需要，使用CBUS读操作验证该扇区是否擦除成功。

注意： 擦除过程中禁止掉电或复位。

当扇区擦除成功执行，且 FMC_CTL 寄存器中的 ENDIE 位为 1 时，FMC_STAT 寄存器的 END 位将置位，同时 FMC 将产生一个中断。需要注意的是，用户需确保写入的是正确的擦除目标扇区号。否则当待擦除目标扇区被用来取指令或访问数据时，软件将会跑飞。该情况下，FMC 不会提供任何出错通知。另一方面，对擦/编程保护的扇区进行扇区擦除操作将无效。如果 FMC_CTL 寄存器的 ERRIE 位被置位，该操作将触发操作出错中断。中断服务程序可通过检测 FMC_STAT 寄存器的 OPERR 位来判断该中断是否发生。*图 3-2. 扇区擦除操作流程*显示了扇区擦除操作流程。

图 3-2. 扇区擦除操作流程



3.3.7. 整片擦除

FMC 提供了整片擦除功能可以初始化主存储闪存块的内容。当设置 MER0 为 1 时，擦除过程仅作用于 Bank0，当设置 MER1 为 1 时，擦除过程仅作用于 Bank1(包含 Bank1_Ex)，当设置 MER0 和 MER1 为 1 时，擦除过程作用于整片闪存。FMC 整片擦除操作步骤如下：

1. 确保FMC_CTL寄存器不处于锁定状态；
2. 等待FMC_STAT寄存器的BUSY位变为0来确保没有闪存操作在进行，否则等待该操作完成；
3. 置位FMC_CTL寄存器的MER0位，则单独擦除Bank0。置位FMC_CTL寄存器的MER1位，则单独擦除Bank1(包含Bank1_Ex)。同时置位FMC_CTL寄存器的MER0/MER1位，则擦除整片闪存；
4. 通过将FMC_CTL寄存器的START位置1来发送整片擦除命令到FMC；

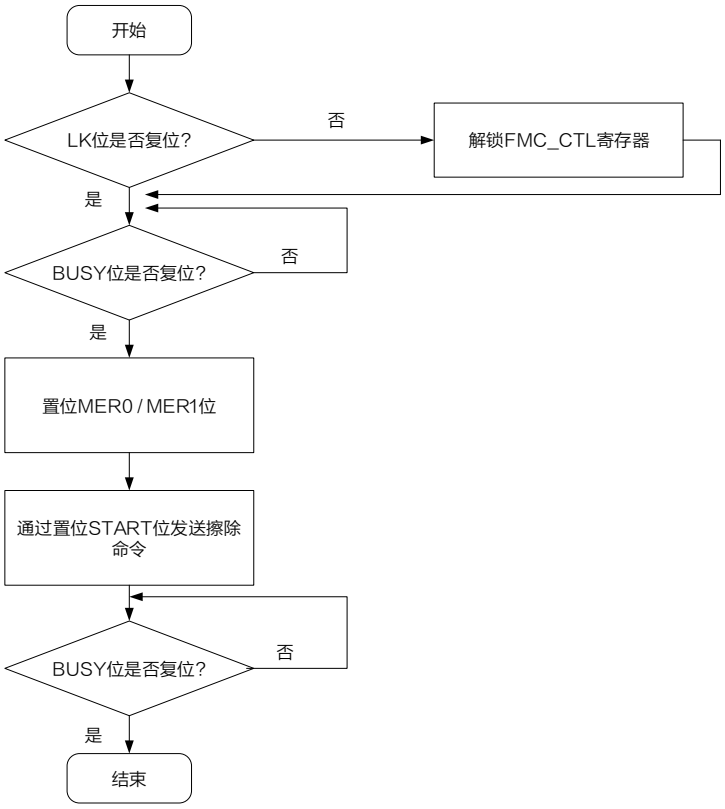
5. 通过检查FMC_STAT寄存器的BUSY位是否清0，来确定擦除指令执行完毕；
6. 如果需要，使用CBUS读操作验证是否擦除成功。

注意：擦除过程中禁止掉电或复位。

当整片擦除成功执行，且 FMC_CTL 寄存器中的 ENDIE 位为 1 时，FMC_STAT 寄存器的 END 位置位，同时 FMC 将产生一个中断。由于所有的闪存数据都将被复位为 0xFFFF_FFFF，可以通过运行在 SRAM 中的程序或使用调试工具直接访问 FMC 寄存器来实现整片擦除操作。

*图3-3. 整片擦除操作流程*显示了整片擦除操作流程。

图 3-3. 整片擦除操作流程



3.3.8. 主存储闪存块编程

FMC 提供了一个 64 位双字/32 位整字/16 位半字/8 位字节编程功能，用来修改主存储闪存块内容。FMC 闪存编程操作步骤如下：

1. 确保FMC_CTL寄存器不处于锁定状态；
2. 等待FMC_STAT寄存器的BUSY位变为0来确保没有闪存操作在进行，否则等待该操作完成；
3. 按照需求设置PSZ位域，并置位FMC_CTL寄存器的PG位；
4. 通过CBUS写数据到目的绝对地址(0x08XX XXXX)；

CBUS 为 32 位编程，DWPGE 置为 1(闪存 64 位编程)，CBUS 先写低 32 位，再写高 32 位以

组成 64 位数据。该 64 位数据被编程到闪存中。待编程数据必须双字对齐。

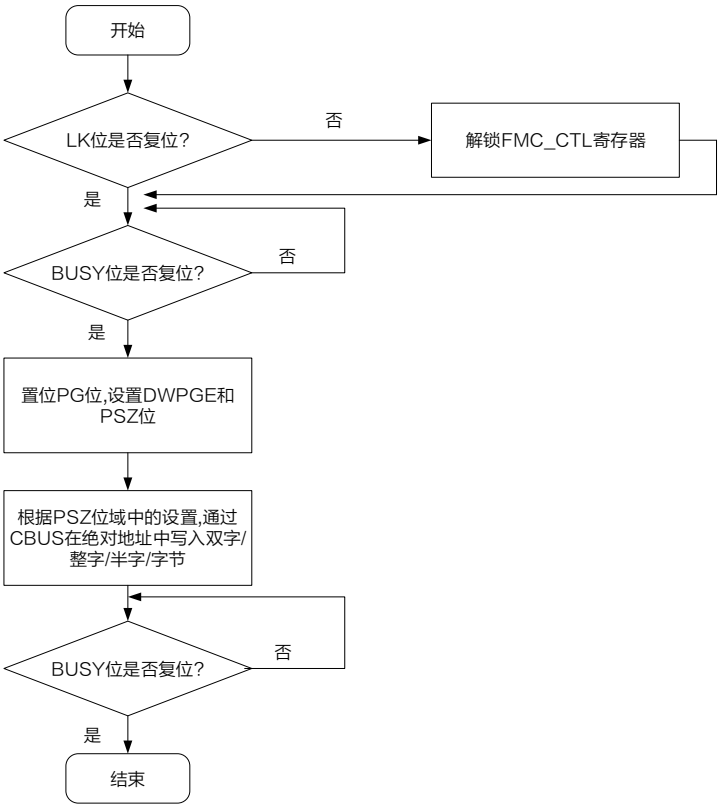
写一个 32 位整字/16 位半字/8 位字节(必须与 FMC_CTL 寄存器中的 PSZ 位匹配)。

注意：多次写将会减弱 ECC 安全性，因此建议仅写一次。

5. 通过检查FMC_STAT寄存器的BUSY位是否清0，来确定写操作执行完毕；
6. 如果需要，使用CBUS读操作验证是否编程成功。

当主存储块编程成功执行，且 FMC_CTL 寄存器中的 ENDIE 位为 1 时，FMC_STAT 寄存器的 END 位置位，同时 FMC 将产生一个中断。需要注意的是，执行双字/整字/半字/字节编程操作时需要与 FMC_CTL 寄存器中的 DWPGE 位和 PSZ 位匹配。如果不匹配，FMC_STAT 寄存器中的 PGMERR 位被置位。需要注意的是，PG 位必须在 32 位整字/16 位半字/8 位字节编程开始前进行置位，否则 FMC_STAT 寄存器中的 PGSERR 位会被置位。此外，向被保护擦除/编程扇区进行的编程操作会被忽略，同时 FMC_STAT 寄存器中的 WPERR 位被置位。在这些情况下，若 FMC_CTL 寄存器的 ERRIE 位被置 1 时，FMC 会触发一个闪存操作错误中断。在中断服务程序中，可以检查 FMC_STAT 寄存器的 PGMERR 位、PGSERR 位和 WPERR 位来判断哪一种错误发生了。*图 3-4. 闪存编程操作流程*显示了字编程操作流程。

图 3-4. 闪存编程操作流程



注意：1. 避免在同一个 bank 中既进行读操作，又进行擦除或编程操作。当 CPU 进入省电模式时，对闪存的操作将失败。
2. 编程过程中禁止掉电或复位。

3.3.9. OTP 闪存块编程

FMC 提供了一个 64 位双字 / 8 位字节编程功能，用来修改 OTP0 / OTP1 / OTP2 闪存块内容。OTP1 数据块和 OTP2 数据块额外支持 32 位整字 / 16 位半字编程。编程操作顺序同主闪存块编程操作顺序相同。所有 OTP 闪存块仅可编程一次，不可进行擦除操作。每个锁定块字节仅可从 0xFF 到 0x00 编程一次，不可为其他值。

OTP0 闪存块可以被划分为 64 个 1 字节大小的数据块和 1 个 64 字节大小的锁定块。OTP0 锁定块地址从 0x1FFF 7840 到 0x1FFF 787F。OTP0 数据块地址从 0x1FFF 7800 到 0x1FFF 783F。锁定块中每一个锁定字节(0x00 表示锁定，0xFF 表示未锁定)可以锁定相对应的数据块，以阻止在这些数据块上的编程操作。地址为 0x1FFF 7840 的锁定字节 0 用于锁定地址为 0x1FFF 7800 的数据块 0。地址为 0x1FFF 7841 的锁定字节 0 用于锁定地址为 0x1FFF 7801 的数据块 0，以此类推。

表 3-5. OTP0 锁

锁定字节	锁字节地址	被锁数据块	锁数据地址
0	0x1FFF 7840	0	0x1FFF 7800
1	0x1FFF 7841	1	0x1FFF 7801
. . .	. . .	. . .	. . .
62	0x1FFF 787E	62	0x1FFF 783E
63	0x1FFF 787F	63	0x1FFF 783F

OTP1 闪存块可以被划分为 16 个 8K 字节大小的数据块和 1 个 16 字节大小的锁定块。OTP1 锁定块地址从 0x1FF2 0200 到 0x1FF2 020F。OTP1 数据块地址从 0x1FF0 0000 到 0x1FF1 FFFF。锁定块中每一个锁定字节(0x00 表示锁定，0xFF 表示未锁定)可以锁定相对应的数据块，以阻止在这些数据块上的编程操作。地址为 0x1FF2 0200 的锁定字节 0 用于锁定地址为 0x1FF0 0000 的数据块 0。地址为 0x1FF2 0201 的锁定字节 0 用于锁定地址为 0x1FF0 2000 的数据块 0，以此类推。FMC_OPT1CFG 寄存器中的 OTP1REN[15:0]位决定 OTP1 数据块是否可读。读已锁定数据块会导致总线错误。

表 3-6. OTP1 锁

锁定字节	锁字节地址	被锁数据块	锁数据地址
0	0x1FF2 0200	0	0x1FF0 0000 - 0x1FF0 1FFF
1	0x1FF2 0201	1	0x1FF0 2000 - 0x1FF0 3FFF
. . .	. . .	. . .	. . .
14	0x1FF2 020E	14	0x1FF1 C000 - 0x1FF1 DFFF
15	0x1FF2 020F	15	0x1FF1 E000 - 0x1FF1 FFFF

OTP2 闪存块可以被划分为 16 个 32 字节大小的数据块和 1 个 32 字节大小的锁定块。锁定块地址从 0x1FF2 0210 到 0x1FF2 022F。数据块地址从 0x1FF2 0000 到 0x1FF2 01FF。

OTP2 写锁定块地址从 0x1FF2 0210 到 0x1FF2 021F。每一个锁定字节(0x00 表示锁定，0xFF

表示未锁定)可以锁定相对应的数据块，以阻止在这些数据块上的编程操作。地址为 0x1FF2 0210 的锁定字节 0 用于锁定地址为 0x1FF2 0000 的数据块 0，以此类推。

OTP2 读锁定块地址从 0x1FF2 0220 到 0x1FF2 022F。每一个锁定字节(0x00 表示锁定，0xFF 表示未锁定)可以锁定相对应的数据块，以阻止在这些数据块上的读操作。地址为 0x1FF2 0220 的锁定字节 0 用于锁定地址为 0x1FF2 0000 的数据块 0，以此类推。当 FMC_CTL 寄存器的 RLBE 位置 1，OTP2 读锁定块对应的数据块无法被读。例如，OTP2 中存放安全校验数据，安全启动程序从 OTP1 中启动后可读取 OTP2 信息进行校验，检验完成后将 RLBE 置位后跳转到其他程序，OTP2 读锁定块对应的数据块将无法被读直到下次复位。

表 3-7. OTP2 锁

写锁定字节	写锁定字节地址	读锁定字节	读锁定字节地址	被锁数据块	锁数据地址
0	0x1FF2 0210	16	0x1FF2 0220	0	0x1FF2 0000 - 0x1FF2 001F
1	0x1FF2 0211	17	0x1FF2 0221	1	0x1FF2 0020 - 0x1FF2 003F
. . .	. . .	. . .	. . .	. . .	. . .
15	0x1FF2 021F	31	0x1FF2 022F	15	0x1FF2 01E0 - 0x1FF2 01FF

3.3.10. 选项字节修改

FMC 提供了一个擦除功能用来修改闪存中的选项字节。选项字节编程操作步骤如下：

1. 确保FMC_OBCTLx寄存器不处于锁定状态；
2. 等待FMC_STAT寄存器的BUSY位变为0来确保没有闪存操作在进行，否则等待该操作完成；
3. 在FMC_OBCTL0寄存器和FMC_OBCTL1寄存器中进行选项字节值写入；
4. 通过将FMC_OBCTL0寄存器的OB_START位置1来发送选项字节编程命令到FMC；
5. 通过检查FMC_STAT寄存器的BUSY位是否清0，来确定编程指令执行完毕；
6. 如果需要，使用CBUS读操作验证是否编程成功。

当选项字节编程成功执行，且 FMC_CTL 寄存器中的 ENDIE 位为 1 时，FMC_STAT 寄存器的 END 位置位，同时 FMC 将产生一个中断。

注意：修改过程中禁止掉电或复位，否则可能会导致选项字节异常，从而使程序不能运行，需重新烧录代码及配置选项字节。

3.3.11. 选项字节说明

每次系统复位后，闪存的选项字节被重加载到 FMC_OBCTL0 和 FMC_OBCTL1 寄存器后，选项字节生效。可选字节详情见*表 3-8. 选项字节*。

表 3-8. 选项字节

地址	名称	说明
0x1FFF C000	USER	[7]：nRST_STDBY

地址	名称	说明
		0：进入待机模式时产生复位 1：进入待机模式时不产生复位(出厂值) [6]：nRST_DPSLP 0：进入深度睡眠模式时产生复位 1：进入深度睡眠模式时不产生复位(出厂值) [5]：nWDG_HW 0：硬件看门狗 1：软件自由看门狗(出厂值) [4]：BB 0：当配置从主存储块启动时，从bank0启动(出厂值) 1：当配置从主存储块启动时，若bank1无启动程序，从bank0启动。否则，从bank1启动。置位NWA将提高软件性能。 [3:2]：BOR_TH(BOR复位阈值) 00：BOR复位阈值3 01：BOR复位阈值2 10：BOR复位阈值1 11：BOR关闭(出厂值) [1]: ECCEN 0：失能ECC 1：使能ECC(出厂值) **注意**：该位仅电源复位后生效。如果ECCEN从0设为1，备份域SRAM使用前必须重新写入。 [0]：保留
0x1FFF C001	SPC	安全保护代码 0xAA：无保护(出厂值) 除0xAA和0xCC其他值：保护级别低 0xCC：保护级别高
0x1FFF C008	WP0	[7:0]：WP0[7:0] Bank0扇区擦除/编程保护位7到0 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)
0x1FFF C009	WP0	[7]：DRP CBUS读保护位 0：WP0位用于每一个扇区擦除/编程保护(出厂值) 1：WP0位用于每一个扇区擦除/编程保护和CBUS读保护 [6]：保留 [5]: NWA 选择0等待区 0：Bank1 1：Bank0(出厂值) **注意**：该位仅电源复位后生效，且仅4MB双块系列有效。 [4]：保留

地址	名称	说明
		[3:0]：WP0[11:8] Bank0扇区擦除/编程保护位11到8 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)
0x1FFF C00C	WP0	[7:0]：WP0[19:12] Bank0扇区擦除/编程保护位19到12 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)
0x1FFE C008	WP1	[7:0]：WP1[7:0] Bank1扇区擦除/编程保护位7到0 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)
0x1FFE C009	WP1	[7:4]：保留 [3:0]：WP1[11:8] Bank1扇区擦除/编程保护位11到8 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)
0x1FFE C00C	WP1	[7:0]：WP1[19:12] Bank1扇区擦除/编程保护位19到12 0：当DRP为1时，无影响。当DRP为0时，擦除/编程保护。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。(出厂值)

3.3.12. 扇区擦除/编程保护

FMC 的扇区擦除/编程保护功能可以阻止对闪存的意外操作。当 FMC 对被保护扇区进行扇区擦除或编程操作时，操作本身无效且 FMC_STAT 寄存器的 WPERR 位将被置 1。注意，当 MER0/MER1 被置位或 SN 无效时，进行扇区擦除时 WPERR 仍会被置位。如果 WPERR 位被置 1 且 ERRIE 位也被置 1 来使能相应的中断，FMC 将触发闪存操作出错中断，等待 CPU 处理。配置选项字节的 WP0[19:0] / WP1[19:0]某位为 0 可以单独使能某几扇区的保护功能。

表 3-9. 扇区保护 WP0/WP1 位

WP0/WP1 位	扇区保护
WP0[0]	扇区0
WP0[1]	扇区1
WP0[2]	扇区2
. . .	. . .

WP0/WP1 位	扇区保护
WP0[18]	扇区18
WP0[19]	扇区19
WP1[0]	扇区20
WP1[1]	扇区21
WP1[2]	扇区22
. . .	. . .
WP1[18]	扇区38
WP1[19]	扇区39~扇区53

3.3.13. CBUS 读保护

FMC 提供了一个 CBUS 保护功能，当 DRP 设置为 1 时禁止对相应扇区进行 CBUS 读操作。如果 CBUS 读命令被发送至 FMC 一个被保护扇区，FMC_STAT 寄存器中的 RDCERR 位会被置位。如果 RDCERR 位被置 1 且 ERRIE 位也被置 1 来使能相应的中断，FMC 将触发闪存操作出错中断，等待 CPU 处理。配置选项字节的 WP0[19:0] / WP1[19:0]某位为 1 并同时设置 DRP 为 1，可以单独使能某几扇区的保护功能。

如果 DRP 为 1，想要修改 DRP 为 0 或者将 WP0 [19:0]/WP1[19:0]某位值从 1 变为 0 时，若芯片处于无安全保护状态，则必须先将芯片设置为低安全保护状态，然后再随着解除低安全保护的过程将 DRP 或 WP0 [19:0]/WP1[19:0]某位值清 0。否则，选项字节的修改被忽略并且 FMC_STAT 寄存器中的 WPERR 位会被 FMC 置位。如果 WPERR 位被置 1 且 ERRIE 位也被置 1 来使能相应的中断，FMC 将触发闪存操作出错中断，等待 CPU 处理。

3.3.14. 安全保护

FMC 提供了一个安全保护功能来阻止非法读取闪存。此功能可以很好地保护软件和固件免受非法的用户操作。*表 3-10. 安全保护*表示不同配置的安全保护等级，安全保护等级划分三等。

无保护状态：当 EFUSE 控制段中的 EFSPC 为 0 且 SPC 字节设置为 0xAA，闪存将处于非安全保护状态。主存储块和选项字节可以被所有操作模式访问。

保护等级低：当 EFUSE 控制段中的 EFSPC 为 1 或设置 SPC 字节为除 0xAA 或 0xCC 外的任何值，激活低安全保护等级。主存储闪存块仅能被用户代码访问。在调试模式或者从 SRAM 中启动或者从 bootloader 模式启动时，这些模式下对主存储块的操作都被禁止。无论是在调试模式或者从 SRAM 中启动，还是从 bootloader 模式启动，如果对主存储块执行一次读操作，将会产生一个总线错误。在调试模式或者从 SRAM 中启动时或者从 bootloader 模式启动，如果对主存储块执行一次编程/擦除操作，FMC_STAT 寄存器中的 WPERR 位会被置位。在低安全保护等级下，对于选项字节的所有操作都被允许。如果通过设置 SPC 字节为 0xAA 进入无保护状态，主存储闪存块将执行一次整片擦除操作。

注意：在整片擦除完成前，用户不应进行其他操作(例如复位)。

保护等级高：当设置 SPC 字节为 0xCC，激活高安全保护等级。当编程选择该保护等级时，调

试模式，从 SRAM 中启动，或者从 bootloader 启动都被禁止。主存储闪存块可由用户代码的所有操作进行访问。选项字节禁止再次编程。所以，如果高保护等级被激活，将不能再降回到低保护等级或无保护等级。

表 3-10. 安全保护

EFSPC	SPC[7:0]	安全保护
0	0xAA	无保护
1/0	除0xAA或0xCC之外	保护等级低
1	除0xCC之外	保护等级低
1/0	0xCC	保护等级高

3.3.15. 熔丝内容描述

熔丝存储单元中存储了 2 个系统参数。

*表 3-11. 系统参数*显示了熔丝中存储的系统参数详情。

表 3-11. 系统参数

名称	位宽/字节	起始地址	写保护属性	读保护属性	描述	备注
EFUSE 控制段	1B	1	参数可整体可多次写入，但每个比特位不可回退	系统复位后生效和读出并保持不变，总线可读	MCU 启动所需的相关控制参数详细内容请参考*熔丝控制寄存器(EFUSE_CTL)*	用户自定义
用户数据段	1B	2	参数可整体可多次写入，但每个比特位不可回退	系统复位后读出并保持不变，总线可读	用户自定义数据，详细内容请参考 *熔丝用户数据寄存器(EFUSE_USER_DATA)*	用户自定义

注意：系统参数必须按相应位宽读取，同时建议按照相应位宽写入。系统复位后加载系统参数。

3.3.16. 熔丝读操作

熔丝中的内容只能通过对应寄存器来访问，系统复位后，熔丝中的值被读回至寄存器中并生效。当需要读取熔丝中的 EFUSE 控制段和用户数据段时需要遵循以下操作步骤：

1. 确保系统时钟源直接来自IRC16M，且V_{CORE}电压为1.1V；
2. 清除EFUSE_CS寄存器中的RDIF位，并确保没有出现越界错误；
3. 清除EFUSE_CS寄存器的EFRW位；
4. 在EFUSE_ADDR寄存器中填入需要读取的熔丝地址及大小；
5. 将EFUSE_CS寄存器中EFSTR位置1；
6. 等待EFUSE_CS寄存器中的RDIF位置位；
7. 读取对应的寄存器值。

当读取操作成功后，EFUSE_CS 寄存器中的 RDIF 位会置位，如果 EFUSE_CS 寄存器的 RDIE，位置位，熔丝控制器会产生一个完成中断。

3.3.17. 熔丝写操作

熔丝中的内容只能通过对应寄存器来写入，操作步骤如下：

1. 确保系统时钟源直接来自IRC16M，且VCORE电压为1.1V；
2. 清除EFUSE_CS寄存器中的PGIF位并确保没有出现越界错误；
3. 将EFUSE_CS寄存器的EFRW位置1；
4. 在EFUSE_ADDR寄存器中填入需要写入的熔丝地址及大小；
5. 在对应的寄存器中写入数据；
6. 将EFUSE_CS寄存器中的EFSTR位置1；
7. 等待EFUSE_CS寄存器中的PGIF位置位。

当写操作完成后，EFUSE_CS 寄存器中的 PGIF 位会置位。如果 EFUSE_CS 中的 PGIE 位置位，熔丝控制器会产生一个完成中断。另外需要注意的是，数据写入的寄存器所对应的熔丝地址以及数据大小应与 EFUSE_ADDR 寄存器中的地址和大小相吻合，否则 EFUSE_CS 寄存器中的 OBERIF 位置位。如果 EFUSE_CS 寄存器中的 OVBERIE 位置位，则会产生一个中断。

3.4. FMC 寄存器

FMC 基地址：0x4002 3C00

3.4.1. 解锁寄存器(FMC_KEY)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w															

位/位域	名称	描述
31:0	KEY[31:0]	FMC_CTL解锁寄存器 这些位仅能被软件写。 写解锁值到KEY[31:0]可以解锁 FMC_CTL寄存器。

3.4.2. 选项字节解锁寄存器(FMC_OBKEY)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBKEY[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OBKEY[15:0]															
w															

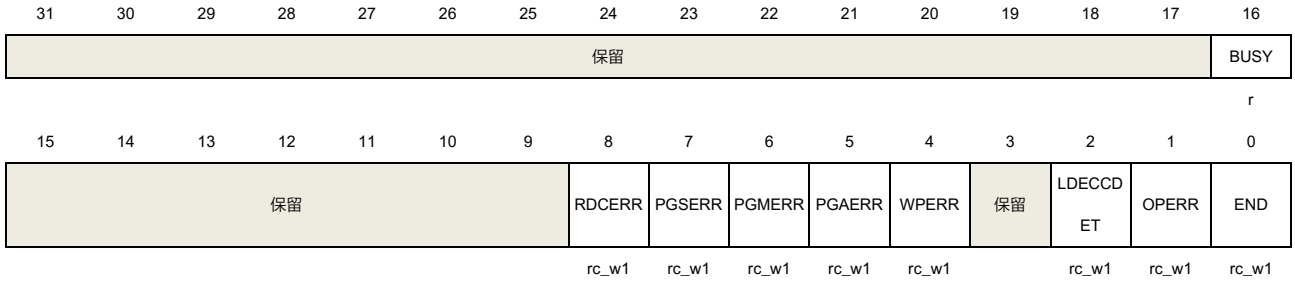
位/位域	名称	描述
31:0	OBKEY[31:0]	FMC_OBCTLx选项字节解锁寄存器 这些位仅能被软件写 写解锁值到OBKEY[31:0]解锁FMC_OBCTLx寄存器的选项字节命令

3.4.3. 状态寄存器(FMC_STAT)

地址偏移：0x0C

复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

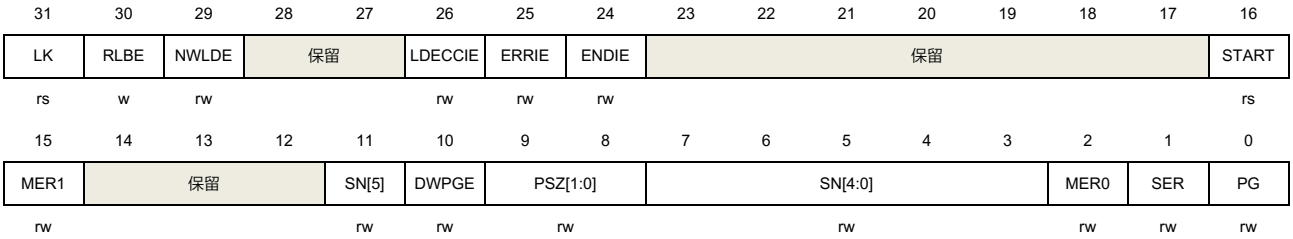


位/位域	名称	描述
31:17	保留	必须保持复位值。
16	BUSY	闪存忙标志位 当闪存操作正在进行时，此位被置1。当操作结束或者出错，此位被清0。
15:9	保留	必须保持复位值。
8	RDCERR	CBUS读保护错误标志位 在CBUS读保护扇区进行CBUS读操作时，该位由硬件置位。软件写1清0。
7	PGSERR	编程顺序错误标志位 当FMC_CTL寄存器中PG位未置位时进行闪存编程，该位由硬件置位。软件写1清0。
6	PGMERR	编程类型不匹配错误标志位 当编程写入数据类型(字/半字/字节访问)与FMC_CTL寄存器中PSZ位不匹配时，该位由硬件置位。软件写1清0。
5	PGAERR	编程对齐错误标志 双字编程下当CBUS写数据或地址不对齐时，此位被硬件置1。 软件写1清0。
4	WPERR	擦除/编程保护错误标志位 在受保护的页上擦除/编程操作时，此位被硬件置1。软件写1清0。
3	保留	必须保持复位值。
2	LDECCDET	加载代码时检测到双位ECC错误标志位 检测到双位错误时硬件置1。软件写1清0。
1	OPERR	闪存操作错误标志位 该位由硬件置位，当FMC_CTL寄存器中ERRIE位被置位时闪存操作发生错误(当RDCERR/PGSERR/PGMERR/WPERR位被置位时表示错误发生)。软件写1清0。
0	END	操作结束标志位 当操作执行成功，此位被硬件置1。软件写1清0。

3.4.4. 控制寄存器(FMC_CTL)

地址偏移：0x10
复位值：0x8000 0000

该寄存器只能按字(32 位)访问。



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LK	RLBE	NWLDE	保留		LDECCIE	ERRIE	ENDIE	保留							START
rs	w	rw			rw	rw	rw								rs

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MER1	保留			SN[5]	DWPGE	PSZ[1:0]		SN[4:0]					MER0	SER	PG
rw				rw	rw	rw		rw					rw	rw	rw

位/位域	名称	描述
31	LK	FMC_CTL锁定 当向FMC_KEY寄存器中写入正确的顺序，该位由硬件清除。软件置1。
30	RLBE	使能OTP2读锁定块。 只能软件置1使能读锁定。软件一旦置1，读锁定块对应的数据块无法被读。 复位后恢复复位值。
29	NWLDE	系统复位后使能零等待区加载。仅电源复位后恢复复位值。 0：系统复位后不拷贝闪存内容到缓冲区。 1：系统复位后拷贝闪存内容到缓冲区。JTAG调试下不支持。
28:27	保留	必须保持复位值。
26	LDECCIE	代码加载ECC错误中断使能位 软件置1和清0 0：无硬件中断产生 1：使能错误中断
25	ERRIE	错误中断使能位 软件置1和清0 0：无硬件中断产生 1：使能错误中断
24	ENDIE	操作结束中断使能位 软件置1和清0 0：无硬件中断产生 1：使能操作结束中断
23:17	保留	必须保持复位值。
16	START	发送擦除命令位 该位由软件置位，发送擦除命令到FMC。该位当BUSY位清零时由硬件清零。
15	MER1	主存储闪存bank1整片擦除命令位 软件置1和清0

		0：无影响 1：主存储闪存bank1整片擦除命令
14:12	保留	必须保持复位值。
11	SN[5]	参考SN[4:0].
10	DWPGE	使能双字编程 0：非双字编程，参考PSZ[1:0] 1：双字编程
9:8	PSZ[1:0]	编程大小位 软件置1和清0 00：按字节编程访问 01：按半字编程访问 10/11：按字编程访问
7:3	SN[4:0]	选择擦除扇区号 软件置1和清0 000000：选择扇区0 000001：选择扇区1 … 110100：选择扇区52 110101：选择扇区53 110110 ~111111：保留
2	MER0	主存储块bank0整片擦除命令位 软件置1和清0 0：无作用 1：主存储块bank0整片擦除命令
1	SER	主存储块扇区擦除命令位 软件置1和清0 0：无作用 1：主存储块扇区擦除命令
0	PG	主存储块编程命令位 软件置1和清0 0：无作用 1：主存储块编程命令

注意：当相应闪存操作完成后，该寄存器需处于复位状态。

3.4.5. 选项字节控制寄存器 0(FMC_OBCTL0)

地址偏移：0x14
复位值：0xXXXX XXXX，初始值为 0x3FFF AAED。复位后装载选项字节中的值。

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DRP	保留	NWA	ECCEN	WP0[11:0]											
rw		rw	rw	rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPC[7:0]								nRST_STDBY	nRST_DPSLP	nWDG_HW	BB	BOR_TH[1:0]		OB_START	OB_LK
rw								rw	rw	rw	rw	rw		rs	rs

位/位域	名称	描述
31	DRP	CBUS读保护位 0：WPx位用于每一个扇区的擦除/编程保护 1：WPx位用于每一个扇区的擦除/编程和CBUS读保护
30	保留	必须保持复位值。
29	NWA	选择零等待区 0：Bank1 1：Bank0
28	ECCEN	使能ECC 0：失能ECC. 1：使能ECC.
27:16	WP0[11:0]	当DRP为0时，每个扇区擦除/编程保护 当DRP为1时，每个扇区擦除/编程和CBUS读保护。WP[0]作用于扇区0，WP[1]作用于扇区1，以此类推。 0：当DRP为0时，擦除/编程保护。当DRP为1时，无影响。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。
15:8	SPC[7:0]	选项字节安全保护代码 0xAA：无安全保护 0xCC：安全保护高 除0xAA或0xCC之外任何值：安全保护低
7	nRST_STDBY	选项字节待机复位值 0：产生复位而不进入待机模式 1：当进入待机模式时不产生复位
6	nRST_DPSLP	选项字节深度睡眠复位值 0：产生复位而不进入深度睡眠模式 1：当进入深度睡眠模式时不产生复位
5	nWDG_HW	选项字节看门狗值 如果改变该位，需要系统复位生效 0：硬件自由看门狗 1：软件自由看门狗
4	BB	选项字节启动块值 0：当配置从主存储块启动时，从bank0启动。

		1：当配置从主存储块启动时，从bank1启动，若bank1无启动程序，从bank0启动。(如果bank0和bank1均无启动程序，芯片不处于高保护等级)
3:2	BOR_TH[1:0]	选项字节BOR阈值 00：BOR阈值3 01：BOR阈值2 10：BOR阈值1 11：BOR关闭
1	OB_START	发送选项字节命令到FMC 该位由软件设置。当BUSY位清0时由硬件清除该位。
0	OB_LK	FMC_OBCTLx锁定位 当往FMC_OBKEY寄存器写值顺序正确时，该位由硬件清0。软件置位。

3.4.6. 选项字节控制寄存器 1(FMC_OBCTL1)

地址偏移：0x18

复位值：0xXXXX XXXX，初始值为 0x0FFF FFFF(复位后装载选项字节中的值)

该寄存器只能按字(32 位)访问。



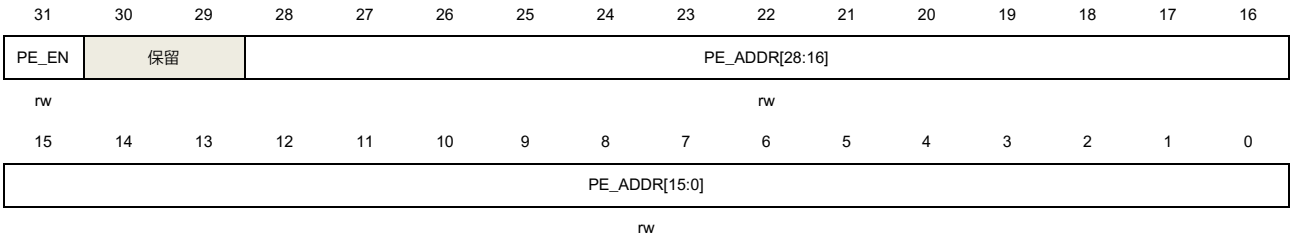
位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	WP1[11:0]	当DRP为0时，每个扇区擦除/编程保护。 当DRP为1时，每个扇区擦除/编程和CBUS读保护。WP1[0]作用于扇区20，WP1[1]作用于扇区21，以此类推。 0：当DRP为0时，擦除/编程保护。当DRP为1时，无影响。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。
15:8	WP1[19:12]	当DRP为0时，每个扇区擦除/编程保护。 当DRP为1时，每个扇区擦除/编程和CBUS读保护。WP1[12]作用于扇区32，WP1[13]作用于扇区33，以此类推。特别指出，WP1[19]作用于扇区39~53。 0：当DRP为0时，擦除/编程保护。当DRP为1时，无影响。 1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。
7:0	WP0[19:12]	当DRP为0时，每个扇区擦除/编程保护。 当DRP为1时，每个扇区擦除/编程和CBUS读保护。WP0[12]作用于扇区12，WP0[13]作用于扇区13，以此类推。 0：当DRP为0时，擦除/编程保护。当DRP为1时，无影响。

1：当DRP为0时，无影响。当DRP为1时，擦除/编程和CBUS读保护。

3.4.7. 页擦除配置寄存器(FMC_PECFG)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

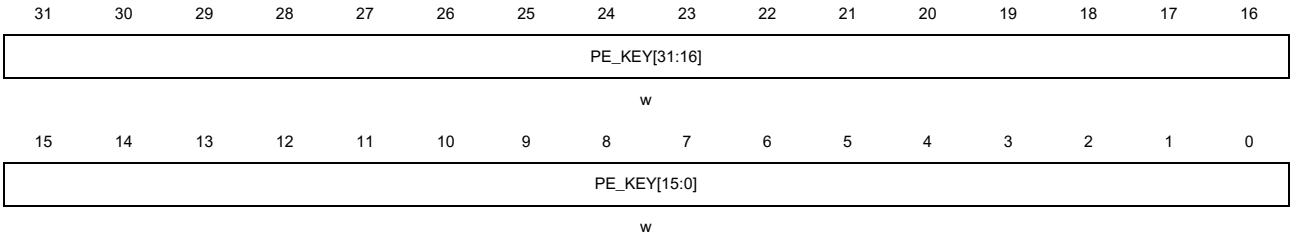


位/位域	名称	描述
31	PE_EN	页擦除功能使能位 0：禁能页擦除 1：使能页擦除
30:29	保留	必须保持复位值。
28:0	PE_ADDR[28:0]	待擦除页地址(4K字节对齐)

3.4.8. 页擦除功能解锁寄存器(FMC_PEKEY)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:0	PE_KEY[31:0]	FMC_PECFG解锁寄存器 这些位仅能被软件写。 写解锁值0xA9B8C7D6到PE_KEY[31:0]可以解锁FMC_PECFG寄存器。

3.4.9. OTP1 配置寄存器(FMC_OTP1CFG)

地址偏移：0x28
复位值：0x0000 FFFF

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPT1REN[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	OTP1REN[15:0]	使能OTP1读 OTP1REN[x]决定OTP1数据块x是否可读，x=0..15。 0：数据块不可读 1：数据块可读 软件可写0，但仅复位后设为1。

3.4.10. 代码加载 ECC 错误地址 0(FMC_LDECCADDR0)

地址偏移：0x2C
复位值：0xFFFF FFFF。复位后加载闪存数据。如果无 ECC 错误，默认值为 0xFFFF FFFF。

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LDECCADDR0[31:16]															
rs_r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDECCADDR0[15:0]															
rs_r															

位/位域	名称	描述
31:0	LDECCADDR0[31:0]	当从主闪存 / bootloader / OTP1中加载代码时，表示ECC双位检测错误基地址(64位对齐)。64位的任意位置可能出错。

3.4.11. 代码加载 ECC 错误地址 1(FMC_LDECCADDR1)

地址偏移：0x30
复位值：0xFFFF FFFF。复位后加载闪存数据。如果无 ECC 错误，默认值为 0xFFFF FFFF。

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LDECCADDR1[31:16]															
rs_r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDECCADDR1[15:0]															
rs_r															

位/位域	名称	描述
31:0	LDECCADDR1[31:0]	当从主闪存 / bootloader / OTP1中加载代码时，表示ECC双位检测错误基地址(64位对齐)。64位的任意位置可能出错。

3.4.12. 代码加载 ECC 错误地址 2(FMC_LDECCADDR2)

地址偏移：0x34

复位值：0xFFFF FFFF。复位后加载闪存数据。如果无 ECC 错误，默认值为 0xFFFF FFFF。

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LDECCADDR2[31:16]															
rs_r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDECCADDR2[15:0]															
rs_r															

位/位域	名称	描述
31:0	LDECCADDR2[31:0]	当从主闪存 / bootloader / OTP1中加载代码时，表示ECC双位检测错误基地址(64位对齐)。64位的任意位置可能出错。

3.4.13. 选项字节状态寄存器(FMC_OBSTAT)

地址偏移：0x40

复位值：0x0000 0000.

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													SPCH	SPCL	Reserved
													r	r	

位/位域	名称	描述
31:3	保留	必须保持复位值。

2	SPCH	芯片当前安全保护为高等级时为1。
1	SPCL	芯片当前安全保护为低等级时为1。
0	保留	必须保持复位值。

3.4.14. 产品 ID 寄存器(FMC_PID)

地址偏移：0x100
复位值：0xXXXX XXXX

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PID[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PID[15:0]															
r															

位/位域	名称	描述
31:0	PID[31:0]	产品保留ID寄存器 该寄存器为只读 上电后这些位始终不会改变，该寄存器在生产过程中被一次性编程。

3.4.15. 熔丝控制和状态寄存器(EFUSE_CS)

地址偏移：0x200
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					OVBERIC	RDIC	PGIC	Reserved	OVBERIE	RDIE	PGIE	Reserved	OVBERIF	RDIF	PGIF
					rc_w1	rc_w1	rc_w1		rw	rw	rw		r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													EFBYP	EFRW	EFSTR
													rw	rw	rw

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	OVBERIC	越界错误中断标志清除位 0：无影响 1：清除越界错误标志位
25	RDIC	读操作完成中断标志清除位 0：无影响

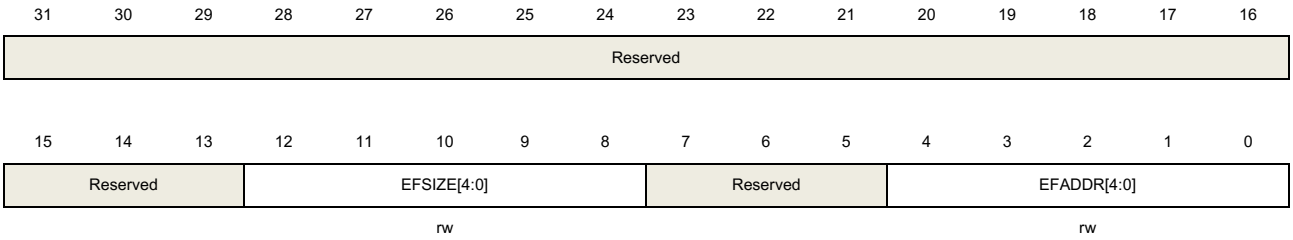
		1：清除读操作完成中断标志位
24	PGIC	写操作完成中断标志清除位 0：无影响 1：清除写操作完成中断标志位
23	保留	必须保持复位值。
22	OVBERIE	越界错误中断使能位 0：失能越界错误中断 1：使能越界错误中断
21	RDIE	读操作完成中断使能位 0：失能读操作完成中断 1：使能读操作完成中断
20	PGIE	写操作完成中断使能位 0：失能写操作完成中断 1：使能写操作完成中断
19	保留	必须保持复位值。
18	OVBERIF	越界错误标志位 0：未发生越界错误 1：发生越界错误
17	RDIF	读操作完成标志位 0：读操作未完成 1：读操作完成
16	PGIF	写操作完成标志位 0：写操作未完成 1：写操作完成
15:3	保留	必须保持复位值。
2	EFBYP	EFUSE 内部 LDO 旁路。该位仅 EFSTR 为 0 时可置位。 如果需要置位该位，用户需要确保 EFSTR 置位前外部供电稳定。编程时电压需要在 2.25V~2.75V 范围内，典型值为 2.5V。. 0：EFUSE 编程使用内部 LDO 供电 1：EFUSE 编程使用外部 VEFUSE 管脚供电
1	EFRW	熔丝读写操作选择位 0：读熔丝内容 1：写熔丝内容 当 EFSTR 为 1 时该位不可写。
0	EFSTR	发送熔丝读/写操作命令位 该位由软件置 1，硬件清 0 0：无影响

1：开始读/写操作

3.4.16. 熔丝地址寄存器(EFUSE_ADDR)

地址偏移：0x204
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



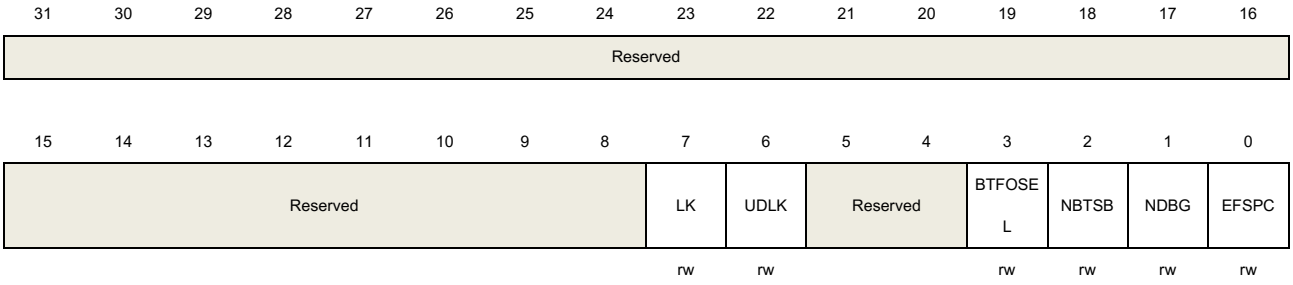
位/位域	名称	描述
31:13	保留	必须保持复位值。
12:8	EFSIZE[4:0]	读/写熔丝数据大小
7:5	保留	必须保持复位值。
4:0	EFADDR[4:0]	读/写熔丝数据起始地址

注意：当 EFUSE_CS 寄存器中的 EFSTR 位为 1 时，该寄存器不可写

3.4.17. 熔丝控制寄存器(EFUSE_CTL)

地址偏移：0x208
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



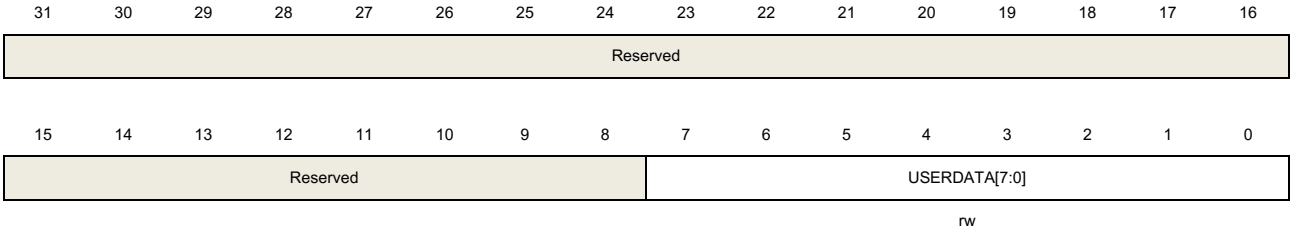
位/位域	名称	描述
31:8	保留	必须保持复位值。
7	LK	EFUSE_CTL 寄存器锁定位 0：解锁 EFUSE_CTL 寄存器 1：锁定 EFUSE_CTL 寄存器

6	UDLK	EFUSE_USER_DATA寄存器锁定位 0：解锁EFUSE_USER_DATA寄存器 1：锁定 EFUSE_USER_DATA 寄存器
5:4	保留	必须保持复位值。
3	BTFOSEL	选择从主闪存或 OTP1 启动。NBTSB=1 或 BOOT0=0 时该位有效。 0：从主闪存启动 1:从 OTP1 启动
2	NBTSB	禁止从 SRAM 或 bootloader 中启动 0：能够从 SRAM 或 bootloader 中启动 1：禁止从 SRAM 或 bootloader 中启动
1	NDBG	设置调试权限 0：无影响 1：不可调试
0	EFSPC	EFUSE 安全保护，禁止 SPC 从无保护更改为等级低 0：无保护 1：禁止 SPC 等级低

3.4.18. 熔丝用户数据寄存器(EFUSE_USER_DATA)

地址偏移：0x20C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	USERDATA[7:0]	熔丝中用户自定义数据字段

4. 电源管理单元(PMU)

4.1. 简介

功耗设计是GD32F527xx系列产品比较注重的问题之一。电源管理单元提供了三种省电模式，包括睡眠模式，深度睡眠模式和待机模式。这些模式能减少电源能耗，且使得应用程序可以在CPU运行时间要求、速度和功耗的相互冲突中获得最佳折衷。如*图4-1. 电源域概览*所示，GD32F527xx系列设备有三个电源域，包括V_{DD} / V_{DDA}域，V_{CORE}域和备份域。V_{DD} / V_{DDA}域由电源直接供电。在V_{DD} / V_{DDA}域中嵌入了一个LDO，用来为V_{CORE}域供电。在备份域中有一个电源切换器，当VDD电源关闭时，电源切换器可以将备份域的电源切换到VBAT引脚，此时备份域由V_{BAT}引脚(电池)供电。

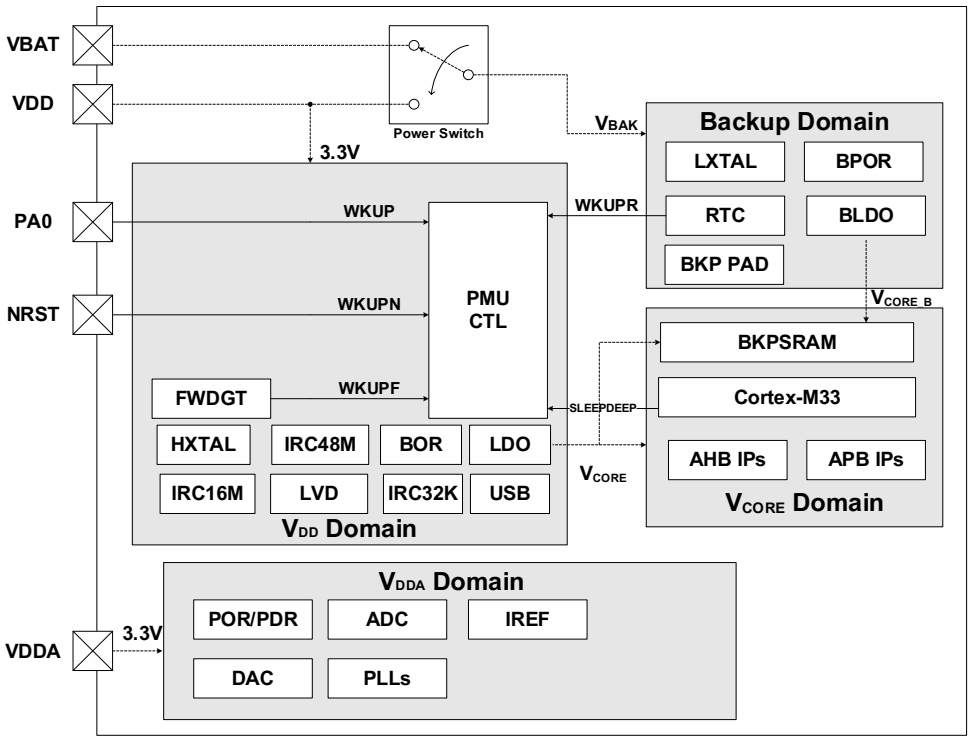
4.2. 主要特征

- 三个电源域：备份域、V_{DD} / V_{DDA}域和V_{CORE}电源域。
- 三种省电模式：睡眠模式、深度睡眠模式和待机模式。
- 内部电压调节器(LDO)为V_{CORE}域提供V_{CORE}电压和备份SRAM电压调节器(BLDO)专用于备份SRAM。
- 提供低电压检测器，当电压低于所设定的阈值时能发出中断或事件。
- 当VDD供电关闭时，由VBAT(电池)为备份域供电。
- 低驱动模式用于在深度睡眠模式下超低功耗。高驱动模式用在高频模式中。
- 由V_{CORE}(源于V_{DD}或V_{BAK})电源供电的4K字节的备份SRAM，保证在VDD电源断开的情况下，用户数据也不会丢失。
- LDO输出电压用于节约能耗。

4.3. 功能说明

*图 4-1. 电源域概览*提供了 PMU 及相关电源域的内部结构框图。

图4-1. 电源域概览



4.3.1. 电池备份域

电池备份域由内部电源切换器来选择VDD供电或VBAT(电池)供电，然后由V_{BAK}为备份域供电，该备份域包含RTC(实时时钟)、LXTAL(低速外部晶体振荡器)、BPOR(备份域上电复位)、BLDO(备份SRAM电压调节器)，以及PC13至PC15和PI8共4个BKP PAD。为了确保备份域中寄存器的内容及RTC正常工作，当VDD关闭时，VBAT引脚可以连接至电池或其他电源等备份源供电。电源切换器是由V_{DD} / V_{DDA}域掉电复位电路控制的。对于没有外部电池的应用，建议将VBAT引脚通过100nF的外部陶瓷去耦电容连接到VDD引脚上。

备份域的复位源包括备份域上电复位和备份域软件复位。在V_{BAK}没有完全上电前，BPOR信号强制设备处于复位状态。应用软件可以通过设置RCU_BDCTL寄存器BKPRST位来触发备份域软件复位。

RTC的时钟源可以是低速内部RC振荡器(IRC32K)或低速外部晶体振荡器(LXTAL)，或高速外部晶体振荡器(HXTAL)时钟2~31分频。当V_{DD}被关闭时，RTC只能选择LXTAL作为时钟源。在通过WFI / WFE指令进入省电模式之前，Cortex®-M33需要通过RTC寄存器设置预期的唤醒时间并启用唤醒功能，以实现RTC定时器唤醒事件。进入省电模式一定时间之后，当经过的时间与预设的唤醒时间匹配时，RTC将唤醒设备。RTC的配置和操作的细节将在*实时时钟(RTC)*来描述。

当备份域由VDD供电(V_{BAK}连接至V_{DD})时，以下功能可用：

- PC13和PI8可以作为通用I/O口或RTC功能引脚(参见*实时时钟(RTC)*)。
- PC14和PC15可以作为通用I/O口或LXTAL晶振引脚。

当备份域由VBAT电源供电时(V_{BAK}连接至V_{BAT})，以下功能可用：

- PC13和PI8仅可以作为RTC功能引脚(参见*实时时钟(RTC)*)。
- PC14和PC15仅可作为LXTAL晶振引脚。

注意：由于PC13至PC15和PI8引脚是通过电源切换器供电的，电源切换器仅可通过小电流，因此当PC13至PC15和PI8的GPIO口在输出模式时，其工作的速度不能超过2MHz(最大负载为30pF)。

4.3.2. 备份 SRAM

在 V_{CORE} 电源域内有 4K 字节备份 SRAM。当 PMU_CS 寄存器中 BLDOON 被置位时，备份 SRAM 用于在待机模式或 V_{DD} 断开时，存储应用数据。在这些情况下，备份 SRAM 由备份电压调节器供电。在其他模式(非待机模式且非 V_{DD} 断开)下，系统总线访问备份 SRAM 与访问普通 SRAM 的方式一样，由 V_{DD} 电压调节器供电。

备份 SRAM 只能在 FMC 处于低级安全保护模式时被用户代码访问，以防止不合法的程序或数据访问。如果 FMC 退出低级安全保护模式进入无保护模式，备份 SRAM 被擦除，所有数据丢失。置位 RCU_BDCTL 寄存器的 BKPRST 位，不会复位备份 SRAM 中存储的数据。

4.3.3. V_{DD} / V_{DDA} 电源域

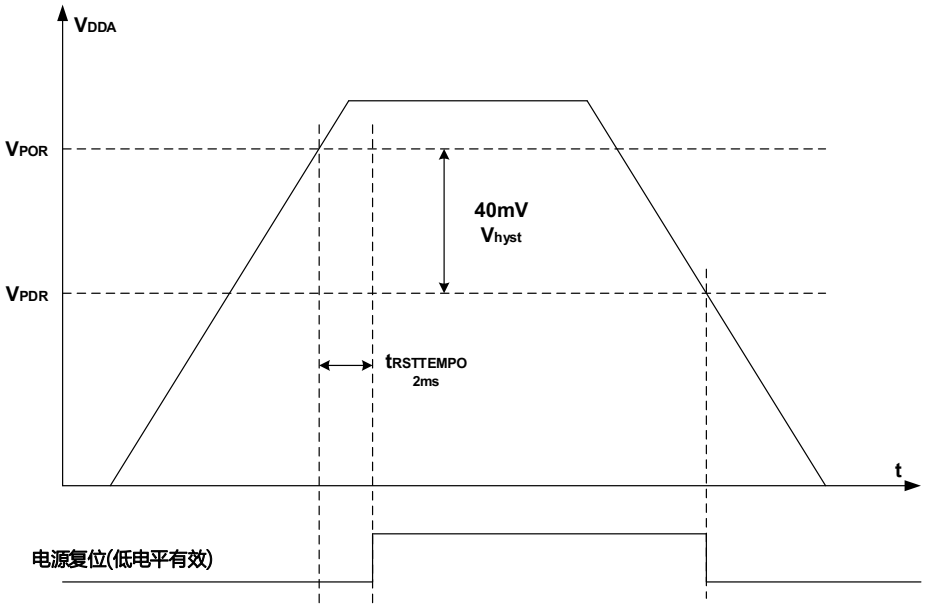
V_{DD} / V_{DDA} 域包括 V_{DD} 域和 V_{DDA} 域两部分。V_{DD} 域包括 HXTAL(高速外部晶体振荡器)、LDO(电压调节器)、POR / PDR(上电/掉电复位)、FWDGT(独立看门狗定时器)和除 PC13、PC14、PC15 和 PI8 之外的所有 PAD 等等。V_{DDA} 域包括 ADC / DAC(AD / DA 转换器)、IRC16M(内部 16M RC 振荡器)、IRC48M(内部 48M RC 振荡器)、IRC32K(内部 32K RC 振荡器)PLLs(锁相环)和 LVD(低电压检测器)等等。

V_{DD} 域

为 V_{CORE} 域供电的 LDO(电压调节器)，其复位后保持使能。可以被配置为三种不同的工作状态：包括睡眠模式(全供电状态)、深度睡眠模式(全供电或低功耗状态)和待机模式(关闭状态)。

POR / PDR(上电 / 掉电复位)电路检测 VDDA 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。*图 4-2. 上电 / 掉电复位波形图*显示了供电电压和电源复位信号之间的关系。V_{POR} 表示上电复位的阈值电压，V_{PDR} 表示掉电复位的阈值电压。V_{hyst} 表示迟滞电压。

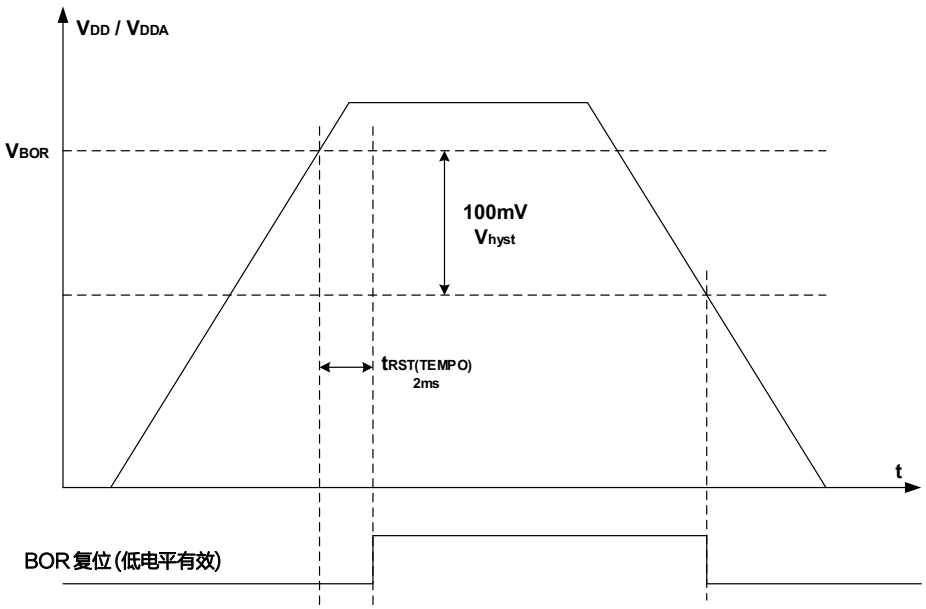
图4-2. 上电 / 掉电复位波形图



注意：PDR_ON引脚仅存在于不小于144-pin和BGA100-pin封装上。内部POR / PDR电路由PDR_ON引脚使能。为了保证芯片上电和下电阶段POR / PDR的有效性，PDR_ON引脚需要保持高电平，参考Datasheet中PDR_ON引脚推荐电路图。

BOR电路检测VDD并在电压低于选项字节的BOR_TH定义的阈值且该阈值不为0b11(BOR_TH = 0b11，BOR功能关闭)时产生电源复位信号复位除备份域之外的整个芯片。不管选项字节BOR_TH的值是否为0b11，POR / PDR(上电 / 掉电复位)电路会一直处于检测状态。*图4-3. BOR波形图*显示了供电电压和BOR复位信号之间的关系。V_{BOR}表示BOR复位的阈值电压，该值在选项字节BOR_TH中定义。V_{hyst}为迟滞电压。

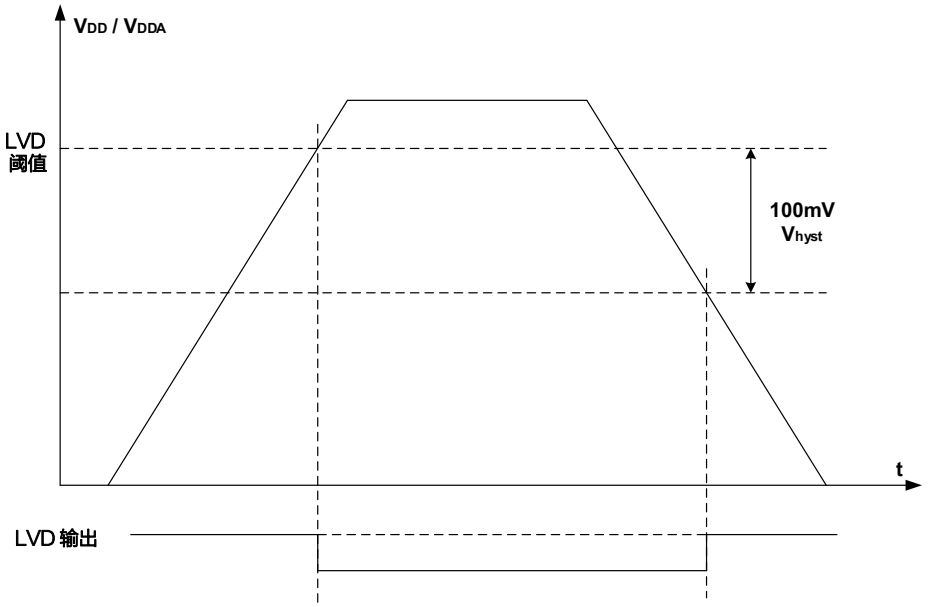
图4-3. BOR波形图



V_{DDA} 域

LVD的功能是检测VDD / VDDA供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器(PMU_CTL)中的LVDT[2:0]位进行配置。LVD通过LVDEN置位使能，位于电源状态寄存器(PMU_CS)中的LVDF位表示低电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。*图4-4. LVD阈值波形图*显示了V_{DD}供电电压和LVD输出信号的关系。(LVD中断信号依赖于EXTI第16线的上升或下降沿配置)。迟滞电压V_{hyst}值为100mV。

图 4-4. LVD 阈值波形图



一般来说，数字电路由 VDD 供电，而大多数的模拟电路由 VDDA 供电。为了提高 ADC 和 DAC 的转换精度，为 VDDA 独立供电可使模拟电路达到更好的特性。为避免噪声，VDDA 通过外部滤波电路连接至 VDD，相应的 VSSA 通过特定电路连接至 VSS。当 VDDA / VDD 不是同一个电源提供时，在上电和运行过程中 VDDA 与 VDD 差值不超过 0.3V。

为提高 ADC 和 DAC 的精度，可将独立的外部参考电压连接至 ADC/DAC 引脚 VREFP / VREFN。根据不同的封装，VREFP 可被连接至 VDDA 引脚，或者外部参考电压，外部参考电压的范围

请参考*表 18-2. ADC 输入引脚定义*和*表 19-1. DAC 引脚*，VREFN 须被连接至 VSSA 引脚，

VREFP 引脚仅存在于不小于 100-pin 封装上，而在 64-pin 或更少引脚封装不存在，因其内部已经连接至 VDDA。VREFN 仅存在于 BGA176-pin 和 BGA100-pin 封装上，在其他封装里，其内部连接至 VSSA。

4.3.4. V_{CORE} 电源域

V_{CORE}电源域为Cortex®-M33内核逻辑、AHB / APB外设、备份域和V_{DD} / V_{DDA}域的APB接口等提供电源。当V_{CORE}电压上电后，POR将在V_{CORE}域中产生一个复位序列，复位完成后，如果要进入指定的省电模式，须先配置相关的控制位，之后一旦执行WFI或WFE指令，设备便进入该省

电模式。关于这方面的详细内容，将在以下章节予以说明。V_{CORE}电压值请参考数据手册。

高驱动模式

如果V_{CORE}电源域工作在高频状态下，且打开了多种功能，建议进入高驱动模式。使用高驱动模式需要执行以下步骤：

- 选择系统时钟为IRC16M或HXTAL。
- 将PMU_CTL寄存器的HDEN置1，使能高驱动模式。
- 等待PMU_CS寄存器的HDRF被置位。
- 将PMU_CTL寄存器的HDS置1，将LDO切换到高驱动模式。
- 等待PMU_CS寄存器的HDSRF被置位。进入高驱动模式。
- 工作在高频状态。

在选择IRC16M或HXTAL作为系统时钟后，可以通过将PMU_CTL寄存器的HDEN和HDS清0退出高驱动模式。当系统退出深度睡眠模式，将会自动退出高驱动模式。

4.3.5. 省电模式

系统复位或电源复位后，GD32F527xx MCU处于全功能状态且电源域全部处于供电状态。实现较低的功耗的方法有三种：减慢系统时钟(HCLK，PCLK1，PCLK2)，关闭未使用的外设的时钟或通过PMU_CTL寄存器的LDOVS来配置LDO输出电压。此外，三种省电模式可以实现更低的功耗，它们是睡眠模式、深度睡眠模式和待机模式。

睡眠模式

睡眠模式与Cortex®-M33的SLEEPING模式相对应。在睡眠模式下，仅关闭Cortex®-M33的时钟。如需进入睡眠模式，只要清除Cortex®-M33系统控制寄存器中的SLEEPDEEP位，并执行一条WFI或WFE指令即可。如果睡眠模式是通过执行WFI指令进入的，任何中断都可以唤醒系统。如果睡眠模式是通过执行WFE指令进入的，任何唤醒事件都可以唤醒系统(如果SEVONPEND为1，任何中断都可以唤醒系统，请参考Cortex®-M33技术手册)。由于无需在进入或退出中断上消耗时间，该模式所需的唤醒时间最短。

根据Cortex®-M33中SCR(系统控制寄存器)的SLEEPONEXIT位，有两种睡眠进入机制可选：

- Sleep-now：如果SLEEPONEXIT位被清零，一旦执行WFI或WFE指令，MCU立即进入睡眠模式。
- Sleep-on-exit：如果SLEEPONEXIT位被置位，当系统从最低优先级的中断处理程序离开后，MCU立即进入睡眠模式。

深度睡眠模式

深度睡眠模式与 Cortex®-M33 的 SLEEPDEEP 模式相对应。在深度睡眠模式下，V_{CORE} 域中的所有时钟全部关闭，IRC16M、IRC48M、HXTAL 及 PLLs 也全部被禁用。SRAM 和寄存器中的内容被保留。根据 PMU_CTL 寄存器的 LDOLP 位的配置，可控制 LDO 工作在正常模式或

低功耗模式。进入深度睡眠模式之前，先将 Cortex®-M33 系统控制寄存器的 SLEEPDEEP 位置 1，再清除 PMU_CTL 寄存器的 STBMOD 位，然后执行 WFI 或 WFE 指令即可进入深度睡眠模式。如果睡眠模式是通过执行 WFI 指令进入的，任何来自 EXTI 的中断可以将系统从深度睡眠模式中唤醒。如果睡眠模式是通过执行 WFE 指令进入的，任何来自 EXTI 的事件可以将系统从深度睡眠模式中唤醒(如果 SEVONPEND 为 1,任何来自 EXTI 的中断都可以唤醒系统，请参考 Cortex®-M33 技术手册)。刚退出深度睡眠模式时，IRC16M 被选中作为系统时钟。请注意，如果 LDO 工作在低功耗模式，那么唤醒时需额外的延时时间。

在深度睡眠模式下，通过配置 PMU_CTL 寄存器的 LDEN，LDNP，LDLP，LDOLP 位可以进入低驱动模式。低驱动模式具有低驱动能力，低能耗。

正常驱动 / 正常功耗：将 PMU_CTL 寄存器的 LDEN 位配置为 00，深度睡眠模式就工作在正常驱动模式下。将 PMU_CTL 寄存器的 LDOLP 清 0 可以使 LDO 处于正常功耗模式

正常驱动 / 低功耗：将 PMU_CTL 寄存器的 LDEN 位配置为 00，深度睡眠模式就工作在正常驱动模式下。将 PMU_CTL 寄存器的 LDOLP 置 1 可以使 LDO 处于低功耗模式。

低驱动 / 正常功耗：将 PMU_CTL 寄存器的 LDEN 设置为 11，LDNP 置 1 可以进入深度睡眠模式的低驱动模式。将 PMU_CTL 寄存器的 LDOLP 清 0 可以使 LDO 处于正常功耗模式。

低驱动 / 低功耗：将 PMU_CTL 寄存器的 LDEN 设置为 11，LDLP 置 1 可以进入深度睡眠模式的低驱动模式。将 PMU_CTL 寄存器的 LDOLP 置 1 可以使 LDO 处于低功耗模式。

非低驱动：将 PMU_CTL 寄存器的 LDEN 设置为 00，深度睡眠模式将不会处在低驱动模式。

注意：为了顺利进入深度睡眠模式，所有 EXTI 线上的挂起状态(在 EXTI_PD 寄存器中)和相关外设标志位必须被复位，参考*表 7-3. EXTI 触发源*。否则，程序将直接跳过深度睡眠模式进入过程而继续执行下面的程序。

待机模式

待机模式是基于 Cortex®-M33 的 SLEEPDEEP 模式实现的。在待机模式下，整个 V_{CORE} 域全部停止供电，同时 LDO 和包括 IRC16M、HXTAL 和 PLL 也会被关闭。进入待机模式前，先将 Cortex®-M33 系统控制寄存器的 SLEEPDEEP 位置 1，再将 PMU_CTL 寄存器的 STBMOD 位置 1，再清除 PMU_CS 寄存器的 WUF 位，然后执行 WFI 或 WFE 指令，系统进入待机模式，PMU_CS 寄存器的 STBF 位状态表示 MCU 是否已进入待机模式。待机模式有四个唤醒源，包括来自 NRST 引脚的外部复位，RTC 唤醒事件，包括 RTC 侵入事件、RTC 闹钟事件、RTC 时间戳事件或 RTC 唤醒事件，FWDGT 复位，WKUP 引脚的上升沿。待机模式可以达到最低的功耗，但唤醒时间最长。另外，一旦进入待机模式，SRAM 和 V_{CORE} 电源域寄存器(除了备份 SRAM，当 BLDOON 置位时)的内容都会丢失。退出待机模式时，会发生 V_{CORE} 域上电复位，复位之后 Cortex®-M33 将从 0x00000000 地址开始执行指令代码。

表 4-1. 节电模式总结

模式	睡眠	深度睡眠	待机
描述	仅关闭 CPU 时钟	1、关闭 V_{CORE} 电源域的所有时钟 2、关闭 IRC16M、HXTAL	1、关闭 V_{CORE} 电源域的供电 2、关闭 IRC16M、HXTAL

模式	睡眠	深度睡眠	待机
		和 PLL	和 PLL
LDO 状态	开启(正常功耗，正常驱动模式)	开启(正常功耗或低功耗模式，正常驱动或低驱动模式)	关闭
配置	SLEEPDEEP = 0	SLEEPDEEP = 1 STBMOD = 0	SLEEPDEEP = 1 STBMOD = 1，WURST=1
进入指令	WFI 或 WFE	WFI 或 WFE	WFI 或 WFE
唤醒	若通过 WFI 进入，则任何中断均可唤醒； 若通过 WFE 进入，则任何事件(或 SEVONPEND = 1 时的中断)均可唤醒	若通过 WFI 进入，来自 EXTI 的任何中断可唤醒；若通过 WFE 进入，来自 EXTI 的任何事件(或 SEVONPEND = 1 时的中断)可唤醒	1、NRST 引脚 2、WKUP 引脚 3、FWDGT 复位 4、RTC
唤醒延迟	无	IRC16M 唤醒时间 如果 LDO 处于低功耗模式，需增加 LDO 唤醒时间	上电序列

注意：在待机模式下，除了 NRST 引脚，配置为 RTC 功能的 PC13 和 PI8，用作 LXTAL 晶振引脚的 PC14 和 PC15，使能的 WKUP 引脚，其他所有 I / O 都处于高阻态。

4.4. PMU 寄存器

PMU 基地址：0x4000 7000

4.4.1. 控制寄存器(PMU_CTL)

地址偏移：0x00
复位值：0x0000 C000(从待机模式唤醒后复位)

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												LDEN[1:0]		HDS	HDEN
												rw		rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDOVS[1:0]		保留		LDNP	LDLP	保留	BKPWEN	LVDT[2:0]			LVDEN	STBRST	WURST	STBMOD	LDOLP
rs				rw	rw		rw	rw			rw	rc_w1	rc_w1	rw	rw

位/位域	名称	描述
31:20	保留	必须保持复位值。
19:18	LDEN[1:0]	深度睡眠模式下，低驱动模式使能 00：在深度睡眠模式下，禁用低驱动模式 01：保留 10：保留 11：在深度睡眠模式下，使能低驱动模式
17	HDS	高驱动模式切换器 选择 IRC16M 或 HXTAL 作为系统时钟，当 HDRF 被置位时，由软件将该位置 1。该位被置位后，系统进入高驱动模式。可由软件清 0，也可在退出深度睡眠模式或 HDEN 被清 0 时由硬件清 0。 0：没有高驱动模式切换器 1：有高驱动模式切换器
16	HDEN	高驱动模式使能 当系统时钟为 IRC16M 或 HXTAL 时，该位由软件置位。当系统退出深度睡眠模式时，该位由软件或硬件清零。 0：禁用高驱动模式 1：使能高驱动模式
15:14	LDOVS[1:0]	选择 LDO 输出 在 PLL 关闭时，这些位由软件配置。 00：保留(LDO 输出低电压模式)(1.1V) 01：LDO 输出低电压模式(1.1V) 10：LDO 输出中电压模式(1.2V)

		11：LDO 输出高电压模式(1.2V)
13:12	保留	必须保持复位值。
11	LDNP	使用正常功耗 LDO 时，工作在低驱动模式 0：使用正常功耗 LDO 时，工作在正常驱动模式 1：使用正常功耗 LDO 且 LDEN 为 11 时，低驱动模式被使能
10	LDLP	使用低功耗 LDO 时，工作在低驱动模式 0：使用低功耗 LDO 时，工作在正常驱动模式 1：使用低功耗 LDO 且 LDEN 为 11 时，低驱动模式被使能
9	保留	必须保持复位值。
8	BKPWEN	备份域写使能 0：禁止对备份域寄存器的写访问 1：允许对备份域寄存器的写访问 复位之后，任何对备份域寄存器的写访问都将被禁止。如需对备份域寄存器做写访问，需先将该位置 1。
7:5	LVDT[2:0]	低电压检测器阈值 000：2.1V 001：2.3V 010：2.4V 011：2.6V 100：2.7V 101：2.9V 110：3.0V 111：3.1V
4	LVDEN	低电压检测器使能 0：关闭低电压检测器 1：开启低电压检测器
3	STBRST	待机标志复位 0：无影响 1：复位待机标志 读该位，始终返回 0
2	WURST	唤醒标志复位 0：无影响 1：复位唤醒标志 读该位，始终返回 0
1	STBMOD	待机模式 0：当 Cortex®-M33 进入 SLEEPDEEP 模式时，系统进入深度睡眠模式 1：当 Cortex®-M33 进入 SLEEPDEEP 模式时，系统进入待机模式
0	LDOLP	LDO 低功耗模式 0：当系统进入深度睡眠模式时，LDO 仍正常工作

1：当系统进入深度睡眠模式时，LDO 进入低功耗模式

4.4.2. 电源控制和状态寄存器(PMU_CS)

地址偏移：0x04
复位值：0x0000 0000(从待机模式唤醒后不复位)

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												LDRF[1:0]		HDSRF	HDRF
												rc_w1		r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LDOVSRF	保留				BLDOON	WUPEN	保留				BLDORF	LVDF	STBF	WUF
	r					rw	rw					r	r	r	r

位/位域	名称	描述
31:20	保留	必须保持复位值。
19:18	LDRF[1:0]	低驱动模式就绪标志 在深度睡眠模式下，且 LDO 处于低驱动模式，这些位由硬件设置。软件对这些位写 11 可以清 0。 00：深度睡眠模式下，普通驱动模式 01：保留 10：保留 11：深度睡眠模式下，低驱动模式
17	HDSRF	高驱动切换器就绪标志 0：高驱动切换器未就绪 1：高驱动切换器就绪
16	HDRF	高驱动准备就绪标志 0：高驱动未就绪 1：高驱动就绪
15	保留	必须保持复位值。
14	LDOVSRF	LDO 电压选择就绪标志 0：LDO 电压选择未就绪 1：LDO 电压选择就绪
13:10	保留	必须保持复位值。
9	BLDOON	开启备份 SRAM 电压选择器 当该位由软件置位，开启备份 SRAM 电压调节器，用于在断开 V_{DD} 时保护备份 SRAM 中的数据。当断开 V_{DD} 断开，同时该位被清 0，备份 SRAM 中的数据将会丢失。 0：关闭备份 SRAM 电压选择器

		1：开启备份 SRAM 电压选择器
8	WUPEN	WKUP 引脚(PA0)唤醒使能 0：关闭 WKUP 引脚(PA0)唤醒功能 1：开启 WKUP 引(PA0)脚唤醒功能 如果 WUPEN 在进入省电模式之前置 1，WKUP 引脚的上升沿会将系统从省电模式唤醒。由于 WKUP 引脚为高电平有效，WKUP 引脚内部被配置为输入下拉模式。当置位该控制位后，当输入为高的时候，将会触发一个唤醒事件。
7:4	保留	必须保持复位值。
3	BLDORF	备份域电压选择器就绪标志 0：备份域电压选择器未就绪 1：备份域电压选择器就绪
2	LVDF	低电压状态标志 0：低电压事件没出现(V_{DD} 高于设定的 LVD 阈值) 1：低电压事件出现(V_{DD} 等于或低于 LVD 阈值) **注意**：LVD 功能在待机模式被禁用。
1	STBF	待机标志 0：设备没进入过待机模式 1：设备曾进入过待机模式 该位只能由 POR/PDR 或通过设置 PMU_CTL 寄存器的 STBRST 位来清零。
0	WUF	唤醒标志 0：没有收到唤醒事件 1：收到来自 WKUP 引脚或 RTC 唤醒事件，包括 RTC 侵入事件、RTC 闹钟事件、RTC 时间戳事件或 RTC 唤醒。 该位只能由 POR/PDR 或通过设置 PMU_CTL 寄存器的 WURST 位来清零。

5. 复位和时钟单元(RCU)

5.1. 复位控制单元(RCTL)

5.1.1. 简介

GD32F527xx复位控制包括三种控制方式：电源复位、系统复位和备份域复位。电源复位又称为冷复位，其复位除了备份域的所有系统。系统复位将复位除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP。备份域复位将复位备份区域。复位能够被外部信号、内部事件和复位发生器触发。后续章节将介绍关于这些复位的详细信息。

5.1.2. 功能说明

电源复位

当发生以下任一事件时，产生电源复位：1、上电/掉电复位(POR/PDR 复位) 2、欠压复位(BOR复位)3、从待机模式中返回后由内部复位发生器产生。电源复位复位所有的寄存器除了备份域。电源复位为低电平有效，当内部LDO电源基准准备好提供1.2V电压时，电源复位电平将变为无效。复位入口向量被固定在存储器映射的地址0x0000_0004。

系统复位

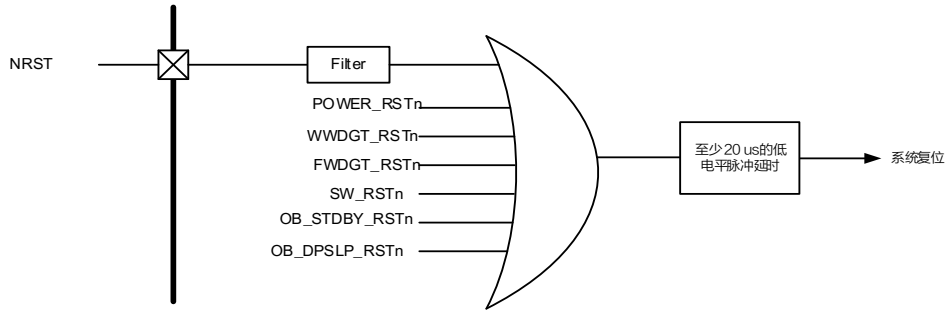
当发生以下任一事件时，产生一个系统复位：

- 上电复位(POWER_RSTn)；
- 外部引脚复位(NRST)；
- 窗口看门狗计数终止(WWDGT_RSTn)；
- 独立看门狗计数终止(FWDGT_RSTn)；
- Cortex®-M33的中断应用和复位控制寄存器中的SYSRESETREQ位置'1'(SW_RSTn)；
- 用户选择字节寄存器nRST_STDBY位设置为0，并且进入待机模式时将产生复位(OB_STDBY_RSTn)；
- 用户选择字节寄存器nRST_DPSLP设置为0，并且进入深度睡眠模式时将产生复位(OB_DPSLP_RSTn)。

系统复位将复位除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP。

系统复位脉冲发生器保证每一个复位源(外部或内部)都能有至少20μs的低电平脉冲延时。

图5-1. 系统复位电路



备份域复位

当以下事件之一发生时，产生备份域复位：
1、设置备份域控制寄存器中的BKPRST位为'1'；
2、备份域电源上电复位(在V_{DD}和V_{BAT}两者都掉电的前提下，V_{DD}或V_{BAT}上电)。

注意：当备份域复位时，BKPSRAM域不会复位。

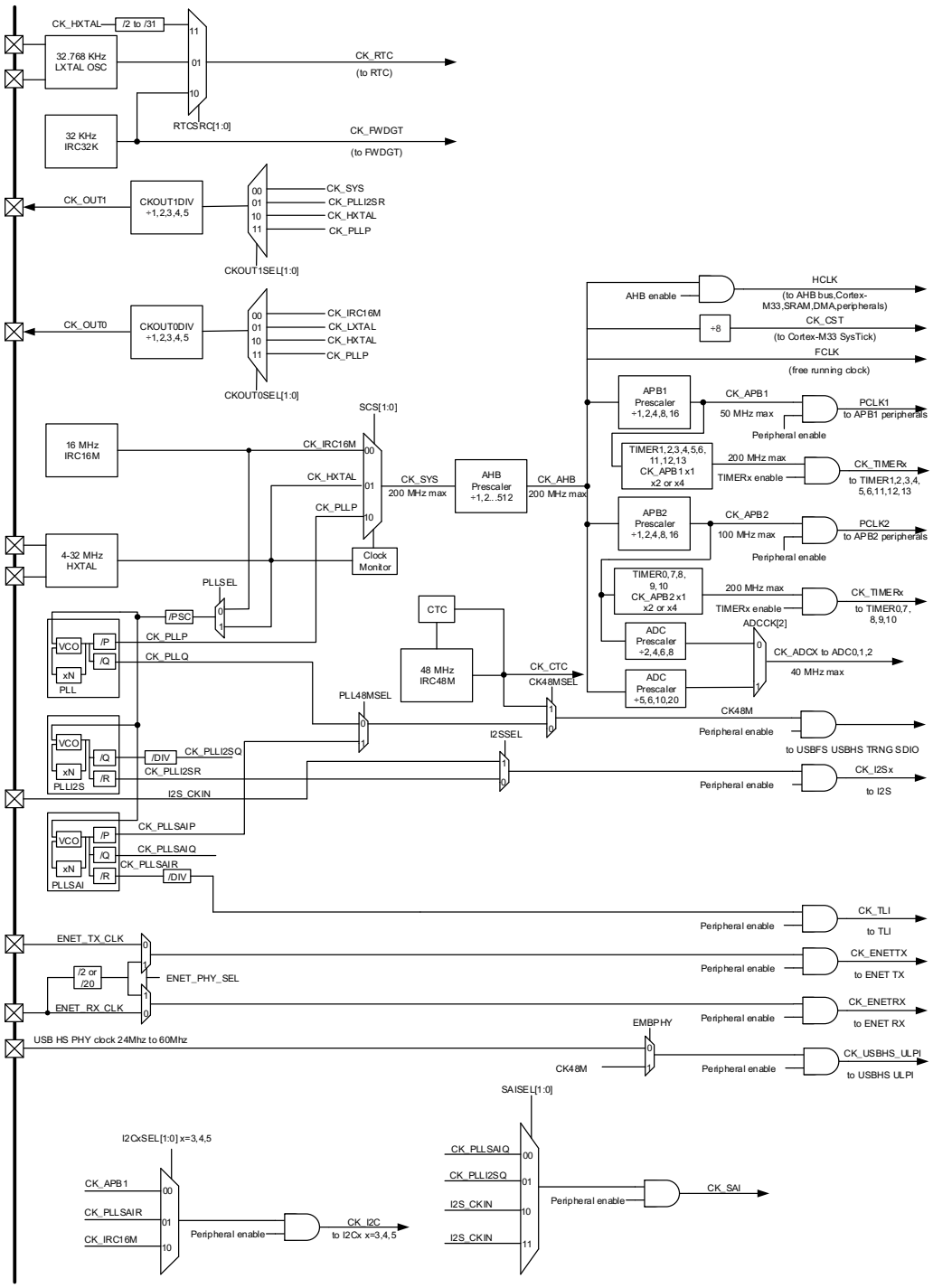
5.2. 时钟控制单元(CCTL)

5.2.1. 简介

时钟控制单元提供了一系列频率的时钟功能，包括一个内部16M RC振荡器时钟(IRC16M)、一个内部48M RC振荡器时钟(IRC48M)、一个外部高速晶体振荡器时钟(HXTAL)、一个内部32K RC振荡器时钟(IRC32K)、一个外部低速晶体振荡器时钟(LXTAL)、三个锁相环(PLL)、一个HXTAL时钟监视器、时钟预分频器、时钟多路复用器和时钟门控电路。

AHB、APB和Cortex®-M33时钟都源自系统时钟(CK_SYS)，系统时钟的时钟源可以选择IRC16M、HXTAL或PLL。系统时钟的最大运行时钟频率可以达到200MHz。

图5-2. 时钟树



预分频器可以配置 AHB、APB2 和 APB1 域的时钟频率。AHB 和 APB2/APB1 域的最高时率分别为 200 MHz/100 MHz/50 MHz。通过 AHB 时钟(HCLK)8 分频后作为 Cortex 系统定时器(SysTick)的外部时钟。通过对 SysTick 控制和状态寄存器的设置，可选择上述时钟或 AHB(HCLK)时钟作为 SysTick 时钟。

ADC时钟由APB2时钟经2、4、6、8分频或由AHB时钟经5、6、10、20分频获得，它们是通过设置ADC_SYNCCTL寄存器的ADCCK位来选择。

TIMER时钟由AHB时钟分频获得，它的频率可以等于CK_APBx、CK_APBx的两倍或CK_APBx的四倍。详细信息请参考RCU_CFG1寄存器的TIMERSEL位。

USBFS/USBHS/TRNG/SDIO的时钟由CK48M时钟提供。通过配置RCU_ADDCTL寄存器的CK48MSEL及PLL48MSEL位可以选择PLLQ时钟、PLLSAIP时钟或IRC48M时钟做为CK48M的时钟源。

通过配置USBHS_GUSBCS寄存器的EMBPHY位，USBHS ULPI的时钟可以选择由外部ULPI PHY时钟或CK48M时钟提供。

CTC时钟由IRC48M时钟提供，通过CTC单元，可以实现IRC48M时钟精度的自动调整。

通过设置时钟配置寄存器RCU_CFG0的I2SSEL位，I2S时钟可以选择由PLLI2SR时钟或外部I2S_CKIN引脚输入时钟提供。

通过设置时钟配置寄存器RCU_CFG2的I2CxSEL位域，I2C时钟可以选择CK_APB1、CK_PLLSAIR和CK_IRC16M时钟。

通过设置时钟配置寄存器RCU_CFG1的PLLSAIRDIV位域，TLI时钟可以选择由PLLSAIR时钟的2、4、8、16分频提供。

通过配置SYSCFG_CFG1寄存器的ENET_PHY_SEL位，以太网TX/RX时钟可以选择由外部引脚(ENET_TX_CLK / ENET_RX_CLK)输入时钟提供。

通过配置RCU_BDCTL寄存器的RTCSRC位，RTC时钟可以选择由LXTAL时钟、IRC32K时钟或HXTAL时钟的2-31(由RCU_CFG0寄存器的RTCDIV位域值决定)分频提供。RTC时钟选择HXTAL时钟的分频做为时钟源后，当1.2V内核电压域掉电时，时钟将停止。RTC时钟选择IRC32K时钟做为时钟源后，当V_{DD}掉电时，时钟将停止。RTC时钟选择LXTAL时钟做为时钟源后，当V_{DD}和V_{BAT}都掉电时，时钟将停止。

当FWDG启动时，FWDG时钟被强制选择由IRC32K时钟做为时钟源。

5.2.2. 主要特性

- 4到32 MHz外部高速晶体振荡器(HXTAL)；
- 内部16 MHz RC振荡器(IRC16M)；
- 内部48 MHz RC振荡器(IRC48M)；
- 32,768 Hz外部低速晶体振荡器(LXTAL)；
- 内部32 KHz RC振荡器(IRC32K)；
- PLL时钟源可选HXTAL或IRC16M；
- HXTAL时钟监视器。

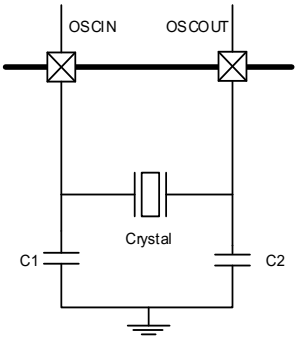
5.2.3. 功能说明

外部高速晶体振荡器时钟(HXTAL)

4到32MHz的外部高速晶体振荡器(HXTAL)可为系统时钟提供更为精确时钟源。带有特定频率

的晶体必须靠近两个HXTAL的引脚连接。和晶体连接的外部电阻和电容必须根据所选择的振荡器来调整。

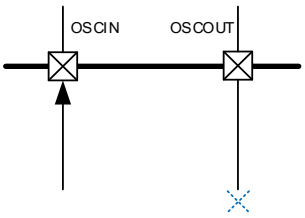
图5-3. HXTAL时钟源



HXTAL晶体振荡器可以通过设置控制寄存器RCU_CTL的HXTALEN位来启动或关闭，在控制寄存器RCU_CTL中的HXTALSTB位用来指示外部高速振荡器是否已稳定。在启动时，直到这一位被硬件置'1'，时钟才被释放出来。这个特定的延迟时间被称为振荡器的启动时间。当HXTAL时钟稳定后，如果在中断寄存器RCU_INT中的相应中断使能位HXTALSTBIE位被置'1'，将会产生相应中断。此时，HXTAL时钟可以被直接用作系统时钟源或者PLL输入时钟。

将控制寄存器RCU_CTL的HXTALBPS和HXTALEN位置'1'可以设置外部时钟旁路模式。路输入时，信号接至OSCIN，OSCOUT保持悬空状态，如*图5-4. 旁路模式下HXTAL时钟源*所示。此时，CK_HXTAL等于驱动OSCIN管脚的外部时钟。

图5-4. 旁路模式下HXTAL时钟源



内部 16M RC 振荡器时钟(IRC16M)

内部16MHz RC振荡器时钟，简称IRC16M时钟，拥有16MHz的固定频率，设备上电后CPU默认选择其做为系统时钟源。IRC16M RC振荡器能够在不需要任何外部器件的条件下为用户提供更低成本类型的时钟源。IRC16M RC振荡器可以通过设置控制寄存器(RCU_CTL)中的IRC16MEN位被启动和关闭。控制寄存器RCU_CTL中的IRC16MSTB位用来指示IRC16M内部RC振荡器是否稳定。IRC16M振荡器的启动时间比HXTAL晶体振荡器要更短。如果中断寄存器RCU_INT中的相应中断使能位IRC16MSTBIE被置'1'，在IRC16M稳定以后，将产生一个中断。IRC16M时钟也可用作系统时钟源或PLL输入时钟。

工厂会校准IRC16M时钟频率的精度，但是它的精度仍然比HXTAL时钟要差。用户可以根据需求、环境条件和成本决定选择哪个时钟作为系统时钟源。

如果HXTAL或者PLL被选择为系统时钟源，为了最大程度减小系统从深度睡眠模式恢复的时间，

当系统从深度睡眠模式初始唤醒时，硬件会强制IRC16M时钟作为系统时钟。

内部 48M RC 振荡器时钟(IRC48M)

内部48MHz RC振荡器时钟，简称IRC48M时钟，拥有48MHz的固定频率，当使用USBFS/USBHS/TRNG/SDIO模块时，IRC48M振荡器在不需要任何外部器件的条件下为用户提供了一种成本更低的时钟源选择。IRC48M RC振荡器可以通过设置RCU_ADDCTL寄存器中的IRC48MEN位被启动和关闭。RCU_ADDCTL寄存器中的IRC48MSTB位用来指示内部48MHz RC振荡器是否稳定。如果RCU_ADDINT寄存器中的相应中断使能位IRC48MSTBIE被置'1',在IRC48M稳定以后,将产生一个中断。IRC48M时钟可做为USBFS/USBHS/TRNG/SDIO模块时钟。

工厂会校准IRC48M时钟频率的精度，但是它的精度仍然不够精准。因为USB模块需要的时钟频率必须满足48MHz+/−1%。CTC单元提供了一种硬件自动执行动态调整的功能将IRC48M时钟调整到需要的频率。

锁相环(PLL)

存在三个内部锁相环，PLL、PLLI2S和PLLSAI。PLLP时钟可做为系统时钟(不超过200MHz),PLLQ时钟可以做为USBFS/USBHS/TRNG/SDIO模块的时钟源。PLLI2S时钟可以做为I2S模块的时钟源。PLLSAI可以做为CK48M或TLI模块的时钟源。

PLL可以通过设置RCU_CTL寄存器中的PLLEN位被启动和关闭。RCU_CTL寄存器中的PLLSTB位用来指示PLL时钟是否稳定。如果RCU_INT寄存器中的相应中断使能位PLLSTBIE被置'1'，在PLL稳定以后，将产生一个中断。

PLLI2S可以通过设置RCU_CTL寄存器中的PLLI2SEN位被启动和关闭。RCU_CTL寄存器中的PLLI2SSTB位用来指示PLLI2S时钟是否稳定。如果RCU_INT寄存器中的相应中断使能位PLLI2SSTBIE被置'1'，在PLLI2S稳定以后，将产生一个中断。

PLLSAI可以通过设置RCU_CTL寄存器中的PLLSAIEN位被启动和关闭。RCU_CTL寄存器中的PLLSAISTB位用来指示PLLSAI时钟是否稳定。如果RCU_INT寄存器中的相应中断使能位PLLSAISTBIE被置'1'，在PLLSAI稳定以后，将产生一个中断。

当进入Deepsleep/Standby模式或者HXTAL监视器检测到时钟阻塞时(HXTAL做为锁相环的输入时钟)，这三路PLL将被关闭。

外部低速晶体振荡器时钟(LXTAL)

LXTAL是一个频率为32.768kHz的外部低速晶体或陶瓷谐振器。它为实时时钟电路提供一个低功耗且高精准的时钟源。LXTAL振荡器可以通过设置备份域控制寄存器(RCU_BDCTL)中的LXTALEN位被启动和关闭。备份域控制寄存器RCU_BDCTL中的LXTALSTB位用来指示LXTAL时钟是否稳定。如果中断寄存器RCU_INT中的相应中断使能位LXTALSTBIE被置'1'，在LXTAL稳定以后，将产生一个中断。

将备份域控制寄存器RCU_BDCTL的LXTALBPS和LXTALEN位置'1'可以选择外部时钟旁路模

式。CK_LXTAL与连到OSC32IN脚上外部时钟信号一致。

内部 32K RC 振荡器时钟(IRC32K)

IRC32K内部RC振荡器时钟担当一个低功耗时钟源的角色，它的时钟频率大约32 kHz，为独立看门狗和实时时钟电路提供时钟。IRC32K提供低成本的时钟源，因为不需要外部器件。IRC32K RC振荡器可以通过设置复位源/时钟寄存器RCU_RSTSCK中的IRC32KEN位被启动和关闭。复位源/时钟寄存器RCU_RSTSCK中的IRC32KSTB位用来指示IRC32K时钟是否已稳定。如果复位源/时钟寄存器RCU_RSTSCK中的相应中断使能位IRC32KSTBIE被置'1'，在IRC32K稳定以后，将产生一个中断。

系统时钟(CK_SYS)选择

系统复位后，IRC16M时钟默认做为CK_SYS的时钟源，改变配置寄存器0，RCU_CFG0中的系统时钟变换位SCS可以切换系统时钟源为HXTAL或CK_PLLP。当SCS的值被改变，系统时钟将使用原来的时钟源继续运行直到转换的目标时钟源稳定。当一个时钟源被直接或通过PLL间接作为系统时钟时，它将不能被停止。

HXTAL 时钟监视器(CKM)

设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置'1'，产生HXTAL故障事件。这个故障引发的中断和Cortex®-M33的不可屏蔽中断NMI相连。如果HXTAL被选作系统或PLL的时钟源，HXTAL故障将促使选择IRC16M为系统时钟源且PLL将被自动禁止。

注意：CKM使能之后，当监测到HXTAL故障时，会触发系统的NMI中断，并且HXTAL和PLL的使能位及稳定标志位会清零，此时系统时钟会自动切换为IRC16M，HXTAL和PLL的使能位不能恢复。

时钟输出功能

时钟输出功能输出从32kHz到200MHz的时钟。通过设置时钟配置寄存器0(RCU_CFG0)中的CK_OUT0时钟源选择位域CKOUT0SEL能够选择不同的时钟信号。相应的GPIO引脚应该被配置成备用功能I/O(AFIO)模式来输出选择的时钟信号。CK_OUT1时钟输出源选择通过设置时钟配置寄存器RCU_CFG0中的CKOUT1SEL位域实现。

注意：时钟输出功能输出的时钟存在偏差，不能作为高精度的时钟源。

表 5-1. 时钟输出 0 的时钟源选择

时钟输出 0 的时钟源选择位域	时钟源
00	CK_IRC16M
01	CK_LXTAL
10	CK_HXTAL

时钟输出 0 的时钟源选择位域	时钟源
11	CK_PLLP

表 5-2. 时钟输出 1 的时钟源选择

时钟输出 1 的时钟源选择位域	时钟源
00	CK_SYS
01	CK_PLLI2SR
10	CK_HXTAL
11	CK_PLLP

通过配置RCU_CFG0寄存器的CKOUT0DIV位域，可以将CK_OUT0输出时钟的频率按比例分频，进而降低CK_OUT0的输出频率。

通过配置RCU_CFG0寄存器的CKOUT1DIV位域，可以将CK_OUT1输出时钟的频率按比例分频，进而降低CK_OUT1的输出频率。

RTC 时钟测量

RTC时钟的三种时钟源：LXTAL、IRC32K和HXTAL时钟的2-31分频(通过配置RCU_CFG0寄存器的RTCDIV位域)，可以通过TIMER模块测量频率。用户可以根据计算得到的时钟频率调整RTC和独立看门狗计数器。详细信息请参考 ***TIMER4_IRMP***寄存器的CI3_RMP位以及 ***TIMER10_IRMP***寄存器的ITI1_RMP位。

电压控制

深度睡眠模式电压寄存器(RCU_DSV)中的DSLPVS[2:0]位域可以控制1.2V域在深度睡眠模式下的电压。

表 5-3. 深度睡眠模式下 1.2V 域电压选择

DSLPVS[2:0]	深度睡眠模式电压(V)
000	缺省值
001	缺省值-0.1
010	缺省值-0.2
011	缺省值-0.3
100 ~ 111	保留

RCU_DSV寄存器被电源解锁寄存器(RCU_VKEY)保护。只有在写0x1A2B3C4D到RCU_VKEY后，RCU_DSV寄存器才能被写入。

5.3. RCU 寄存器

RCU基地址：0x4002 3800

5.3.1. 控制寄存器(RCU_CTL)

地址偏移：0x00
复位值：0x0000 xx83 x表示未定义

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		PLLSAISTB	PLLSAIEN	PLLI2SSTB	PLLI2SEN	PLLSTB	PLLEN	保留				CKMEN	HXTALBPS	HXTALSTB	HXTALEN
		r	rw	r	rw	r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRC16MCALIB[7:0]								IRC16MADJ[4:0]					保留	IRC16MSTB	IRC16MEN
r								rw						r	rw

位/位域	名称	描述
31:30	保留	Must be kept at reset value.
29	PLLSAISTB	PLLSAI 时钟稳定标志位 硬件置1来表示PLLSAI输出时钟是否稳定待用 0：PLLSAI未稳定 1：PLLSAI 已稳定
28	PLLSAIEN	PLLSAI 使能 软件置位或复位，当进入深度睡眠或待机模式时由硬件复位。 0：PLLSAI被关闭 1：PLLSAI 被打开
27	PLLI2SSTB	PLLI2S 时钟稳定标志位 硬件置1来表示PLLI2S输出时钟是否稳定待用 0：PLLI2S未稳定 1：PLLI2S 已稳定
26	PLLI2SEN	PLLI2S 使能 软件置位或复位，当进入深度睡眠或待机模式时由硬件复位。 0：PLLI2S被关闭 1：PLLI2S 被打开
25	PLLSTB	PLL 时钟稳定标志位 硬件置1来表示PLL输出时钟是否稳定待用 0：PLL未稳定 1：PLL 已稳定

24	PLLEN	PLL 使能 软件置位或复位，当PLL时钟做为系统时钟时该位不能被复位。当进入深度睡眠或待机模式时由硬件复位。 0：PLL被关闭 1：PLL 被打开
23:20	保留	必须保持复位值。
19	CKMEN	HXTAL时钟监视器使能 0：禁止高速4 ~ 32 MHz晶体振荡器(HXTAL)时钟监视器 1：使能高速4 ~ 32 MHz晶体振荡器(HXTAL)时钟监视器 当硬件检测到HXTAL时钟被阻塞在低或高状态时，内部硬件自动切换系统时钟到IRC16M时钟。恢复原来系统时钟的方式有以下几种：外部复位，上电复位，软件清CKMIF位。 **注意：**使能 HXTAL 时钟监视器以后，硬件无视控制位 IRC16MEN 的状态，自动使能 IRC16M 时钟。
18	HXTALBPS	高速晶体振荡器(HXTAL)时钟旁路模式使能 只有在HXTAL位为0时HXTALBPS位才可写 0：禁止HXTAL旁路模式 1：使能 HXTAL 旁路模式 HXTAL 输出时钟等于输入时钟
17	HXTALSTB	高速晶体振荡器(HXTAL)时钟稳定标志位 硬件置'1'来指示HXTAL振荡器时钟是否稳定待用 0：HXTAL振荡器未稳定 1：HXTAL 振荡器已稳定
16	HXTALEN	高速晶体振荡器(HXTAL)使能 软件置位或复位，如果HXTAL时钟作为系统时钟或者当PLL时钟做为系统时钟时，其做为PLL的输入时钟，该位不能被复位。进入深度睡眠或待机模式时硬件自动复位。 0：高速4 ~ 32 MHz晶体振荡器被关闭 1：高速 4 ~ 32 MHz 晶体振荡器被打开
15:8	IRC16MCALIB[7:0]	内部16MHz RC振荡器校准值寄存器 上电时自动加载这些位
7:3	IRC16MADJ[4:0]	内部 16MHz RC 振荡器时钟调整值 这些位由软件置位，最终调整值为 IRC16MADJ[4:0] 位域的当前值加上 IRC16MCALIB[7:0]位域的值。最终调整值应该调整 IRC16M 到 16 MHz +/- 1%。
2	保留	必须保持复位值。
1	IRC16MSTB	IRC16M内部16MHz RC振荡器稳定标志位 硬件置'1'来指示IRC16M振荡器时钟是否稳定待用 0：IRC16M振荡器未稳定 1：IRC16M 振荡器已稳定
0	IRC16MEN	内部16MHz RC振荡器使能 软件置位或复位，如果IRC16M时钟做为系统时钟时，该位不能被复位。当从深度睡

眠或待机模式返回，或当CKMEN置位同时用作系统时钟的HXTAL振荡器发生故障时，该位由硬件置1来启动IRC16M振荡器。

0：内部16 MHz RC振荡器被关闭

1：内部 16 MHz RC 振荡器被打开

5.3.2. PLL 寄存器(RCU_PLL)

地址偏移：0x04

复位值：0x2400 3010

配置PLL时钟可参考下列公式：

CK_PLLVCOSRC = CK_PLLSRC / PLLPSC

CK_PLLVCO = CK_PLLVCOSRC × PLLN

CK_PLLP = CK_PLLVCO / PLLP

CK_PLLQ = CK_PLLVCO / PLLQ

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				PLLQ[3:0]				保留	PLLSEL	保留				PLLP[1:0]	
				rw					rw					rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PLLN[8:0]									PLLPSC[5:0]					
	rw									rw					

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:24	PLLQ[3:0]	PLLQ 输出频率的分频系数(PLL VCO 时钟做为输入) 当 PLL 被关闭时由软件置位或清零。这些位域用做将 PLL VCO 时钟(CK_PLLVCO)分频生成 PLLQ 输出时钟(CK_PLLQ)。CK_PLLQ 时钟可以被用作 UBSFS/USBHS (48MHz)、TRNG(48MHz)或 SDIO(<=48MHz)模块的时钟源。RCU_PLL 寄存器的 PLLN 位域对 CK_PLLVCO 时钟进行了描述。 0000：保留 0001：保留 0010：CK_PLLQ = CK_PLLVCO / 2 0011：CK_PLLQ = CK_PLLVCO / 3 0100：CK_PLLQ = CK_PLLVCO / 4 … 1111：CK_PLLQ = CK_PLLVCO / 15
23	保留	必须保持复位值。
22	PLLSEL	PLL时钟源选择 由软件置位或复位，控制PLL时钟源 0：IRC16M时钟被选择为PLL、PLLSAI、PLLI2S时钟的时钟源 1：HXTAL时钟被选择为PLL、PLLSAI、PLLI2S时钟的时钟源

21:18	保留	必须保持复位值。
17:16	PLLP[1:0]	PLLP 输出频率分频系数(PLL VCO 时钟做为输入) 当 PLL 被关闭时由软件置位或清零。这些位域用做将 PLL VCO 时钟(CK_PLLVCO)分频生成 PLLP 输出时钟(CK_PLLP)。CK_PLLP 时钟可以被用作系统时钟(不超过 200MHz)。RCU_PLL 寄存器的 PLLN 位域对 CK_PLLVCO 时钟进行了描述。 00：CK_PLLP = CK_PLLVCO / 2 01：CK_PLLP = CK_PLLVCO / 4 10：CK_PLLP = CK_PLLVCO / 6 11：CK_PLLP = CK_PLLVCO / 8
15	保留	必须保持复位值。
14:6	PLLN[8:0]	PLL VCO 时钟倍频因子 当 PLL 被关闭时由软件置位或清零(仅支持全字/半字写操作)。这些位域用做将 PLL VCO 源时钟(CK_PLLVCOSRC)倍频生成 PLL VCO 输出时钟(CK_PLLVCO)。RCU_PLL 寄存器的 PLLPSC 位域对 CK_PLLVCOSRC 时钟进行了描述。 **注意**：CK_PLLVCO 时钟频率范围必须在 100MHz 到 500MHz 之间 PLLN 的值必须满足： 64<=PLLN<=500(当 RCU_PLLSSCTL 寄存器的 SSCGON=0) 69<=PLLN<=500(当 RCU_PLLSSCTL 寄存器的 SSCGON=1/SS_TYPE=0) 71<=PLLN<=500(当 RCU_PLLSSCTL 寄存器的 SSCGON=1/SS_TYPE=1) 000000000：保留 000000001：保留 … 000111111：保留 001000000：CK_PLLVCO = CK_PLLVCOSRC x 64 001000001：CK_PLLVCO = CK_PLLVCOSRC x 65 … 111110100：CK_PLLVCO = CK_PLLVCOSRC x 500 111110101：保留 … 111111111：保留
5:0	PLLPSC[5:0]	PLL VCO 源时钟分频器 当 PLL 被关闭时由软件置位或清零。这些位域用做将 PLL 源时钟(CK_PLLSRC)分频生成 PLL VCO 源时钟(CK_PLLVCOSRC)、PLLSAI VCO 源时钟(CK_PLLSAIVCOSRC)和 PLLI2S VCO 源时钟(CK_PLLI2SVCOSRC)。RCU_PLL 寄存器的 PLLSEL 位对 CK_PLLSRC 时钟进行了描述。 VCO 源时钟频率范围必须在 1MHz 到 2MHz 之间 000000：保留. 000001：保留 000010：CK_PLLSRC / 2 000011：CK_PLLSRC / 3 … 111111：CK_PLLSRC / 63

5.3.3. 时钟配置寄存器 0(RCU_CFG0)

地址偏移：0x08

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKOUT1SEL[1:0]		CKOUT1DIV[2:0]			CKOUT0DIV[2:0]			I2SSEL	CKOUT0SEL[1:0]		RTCDIV[4:0]				
rw		rw			rw			rw	rw		rw				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
APB2PSC[2:0]			APB1PSC[2:0]			保留		AHBPSC[3:0]				SCSS[1:0]		SCS[1:0]	
rw			rw					rw				r		rw	

位/位域	名称	描述
31:30	CKOUT1SEL[1:0]	CKOUT1时钟源选择 由软件置位或清零 00：选择系统时钟 01：选择 CK_PLLI2SR 时钟 10：选择高速晶体振荡器时钟(HXTAL) 11：选择 CK_PLLP 时钟
29:27	CKOUT1DIV[2:0]	CK_OUT1 分频器，来降低 CK_OUT1 频率 CK_OUT1 时钟源的选择参考 RCU_CFG0 寄存器的 31:30 位 0xx：CK_OUT1 不分频 100：CK_OUT1 被 2 分频 101：CK_OUT1 被 3 分频 110：CK_OUT1 被 4 分频 111：CK_OUT1 被 5 分频
26:24	CKOUT0DIV[2:0]	CK_OUT0 分频器，来降低 CK_OUT0 频率 CK_OUT0 时钟源的选择参考 RCU_CFG0 寄存器的 22:21 位 0xx：CK_OUT0 不分频 100：CK_OUT0 被 2 分频 101：CK_OUT0 被 3 分频 110：CK_OUT0 被 4 分频 111：CK_OUT0 被 5 分频
23	I2SSEL	I2S时钟源选择 由软件置位或复位，控制I2S时钟源 0：选择CK_PLLI2SR时钟作为I2S源时钟 1：选择外部 I2S_CKIN 引脚输入信号作为 I2S 源时钟
22:21	CKOUT0SEL[1:0]	CKOUT0时钟源选择 由软件置位或清零 00：选择内部 16M RC 振荡器时钟 01：选择低速晶体振荡器时钟(LXTAL)

		10：选择高速晶体振荡器时钟(HXTAL) 11：选择 CK_PLLP 时钟
20:16	RTCDIV[4:0]	RTC 时钟分频系数 由软件置位或清零。这些位用作将 HXTAL 时钟分频生成 RTC 时钟(不超过 1MHz) 00000：无时钟 00001：无时钟 00010：CK_HXTAL / 2 00011：CK_HXTAL / 3 … 11111：CK_HXTAL / 31
15:13	APB2PSC[2:0]	APB2 预分频选择 由软件置位或清零，控制 APB2 时钟分频因子。 0xx：选择 CK_AHB 时钟不分频 100：选择 CK_AHB 时钟 2 分频 101：选择 CK_AHB 时钟 4 分频 110：选择 CK_AHB 时钟 8 分频 111：选择 CK_AHB 时钟 16 分频
12:10	APB1PSC[2:0]	APB1 预分频选择 由软件置位或清零，控制 APB1 时钟分频因子。 0xx：选择 CK_AHB 时钟不分频 100：选择 CK_AHB 时钟 2 分频 101：选择 CK_AHB 时钟 4 分频 110：选择 CK_AHB 时钟 8 分频 111：选择 CK_AHB 时钟 16 分频
9:8	保留	必须保持复位值。
7:4	AHBPSC[3:0]	AHB 预分频选择 由软件置位或清零，控制 AHB 时钟分频因子。 0xxx：选择 CK_SYS 时钟不分频 1000：选择 CK_SYS 时钟 2 分频 1001：选择 CK_SYS 时钟 4 分频 1010：选择 CK_SYS 时钟 8 分频 1011：选择 CK_SYS 时钟 16 分频 1100：选择 CK_SYS 时钟 64 分频 1101：选择 CK_SYS 时钟 128 分频 1110：选择 CK_SYS 时钟 256 分频 1111：选择 CK_SYS 时钟 512 分频
3:2	SCSS[1:0]	系统时钟选择状态 由硬件置位或清零，标识当前系统时钟的时钟源。 00：选择 CK_IRC16M 时钟作为 CK_SYS 时钟源 01：选择 CK_HXTAL 时钟作为 CK_SYS 时钟源 10：选择 CK_PLLP 时钟作为 CK_SYS 时钟源

11：保留

1:0	SCS[1:0]	系统时钟选择 由软件配置选择系统时钟源。由于CK_SYS的改变存在固有的延迟，因此软件应当读SCSS位来确保时钟源切换是否结束。在从深度睡眠或待机模式中返回时，以及当HXTAL直接或间接作为系统时钟同时HXTAL时钟监视器检测到HXTAL故障时，强制选择IRC16M作为系统时钟。 00：选择 CK_IRC16M 时钟作为 CK_SYS 时钟源 01：选择 CK_HXTAL 时钟作为 CK_SYS 时钟源 10：选择 CK_PLLP 时钟作为 CK_SYS 时钟源 11：保留

5.3.4. 时钟中断寄存器(RCU_INT)

地址偏移：0x0C

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								CKMIC	PLLSAI STBIC	PLLI2S STBIC	PLL STBIC	HXTAL STBIC	IRC16M STBIC	LXTAL STBIC	IRC32K STBIC
								w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PLLSAI STBIE	PLLI2S STBIE	PLL STBIE	HXTAL STBIE	IRC16M STBIE	LXTAL STBIE	IRC32K STBIE	CKMIF	PLLSAI STBIF	PLLI2S STBIF	PLL STBIF	HXTAL STBIF	IRC16M STBIF	LXTAL STBIF	IRC32K STBIF
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

位/位域	名称	描述
31:24	保留	必须保持复位值。
23	CKMIC	HXTAL时钟阻塞中断清零 软件写 1 复位 CKMIF 标志位 0：不复位 CKMIF 标志位 1：复位 CKMIF 标志位
22	PLLSAISTBIC	PLLSAI 时钟稳定中断清零 软件写 1 复位 PLLSAISTBIF 标志位 0：不复位 PLLSAISTBIF 标志位 1：复位 PLLSAISTBIF 标志位
21	PLLI2SSTBIC	PLLI2S 时钟稳定中断清零 软件写 1 复位 PLLI2SSTBIF 标志位 0：不复位 PLLI2SSTBIF 标志位 1：复位 PLLI2SSTBIF 标志位
20	PLLSTBIC	PLL 时钟稳定中断清零 软件写 1 复位 PLLSTBIF 标志位

		0：不复位 PLLSTBIF 标志位 1：复位 PLLSTBIF 标志位
19	HXTALSTBIC	HXTAL 时钟稳定中断清零 软件写 1 复位 HXTALSTBIF 标志位 0：不复位 HXTALSTBIF 标志位 1：复位 HXTALSTBIF 标志位
18	IRC16MSTBIC	IRC16M 时钟稳定中断清零 软件写 1 复位 IRC16MSTBIF 标志位 0：不复位 IRC16MSTBIF 标志位 1：复位 IRC16MSTBIF 标志位
17	LXTALSTBIC	LXTAL 时钟稳定中断清零 软件写 1 复位 LXTALSTBIF 标志位 0：不复位 LXTALSTBIF 标志位 1：复位 LXTALSTBIF 标志位
16	IRC32KSTBIC	IRC32K 时钟稳定中断清零 软件写 1 复位 IRC32KSTBIF 标志位 0：不复位 IRC32KSTBIF 标志位 1：复位 IRC32KSTBIF 标志位
15	保留	必须保持复位值。
14	PLLSAISTBIE	PLLSAI 时钟稳定中断使能 软件置位和复位来使能/禁止PLLSAI时钟稳定中断 0：禁止 PLLSAI 时钟稳定中断 1：使能 PLLSAI 时钟稳定中断
13	PLLI2SSTBIE	PLLI2S 时钟稳定中断使能 软件置位和复位来使能/禁止PLLI2S时钟稳定中断 0：禁止 PLLI2S 时钟稳定中断 1：使能 PLLI2S 时钟稳定中断
12	PLLSTBIE	PLL 时钟稳定中断使能 软件置位和复位来使能/禁止PLL时钟稳定中断 0：禁止 PLL 时钟稳定中断 1：使能 PLL 时钟稳定中断
11	HXTALSTBIE	HXTAL 时钟稳定中断使能 软件置位和复位来使能/禁止HXTAL时钟稳定中断 0：禁止HXTAL时钟稳定中断 1：使能 HXTAL 时钟稳定中断
10	IRC16MSTBIE	IRC16M 时钟稳定中断使能 软件置位和复位来使能/禁止IRC16M时钟稳定中断 0：禁止IRC16M时钟稳定中断 1：使能 IRC16M 时钟稳定中断

9	LXTALSTBIE	LXTAL 时钟稳定中断使能 软件置位和复位来使能/禁止LXTAL时钟稳定中断 0：禁止LXTAL时钟稳定中断 1：使能 LXTAL 时钟稳定中断
8	IRC32KSTBIE	IRC32K 时钟稳定中断使能 软件置位和复位来使能/禁止IRC32K时钟稳定中断 0：禁止IRC32K时钟稳定中断 1：使能 IRC32K 时钟稳定中断
7	CKMIF	HXTAL时钟阻塞中断标志位 当HXTAL时钟被阻塞时由硬件置位. 软件置位 CKMIC 位时清除该位 0：时钟正常运行 1：HXTAL 时钟阻塞
6	PLLSAISTBIF	PLLSAI 时钟稳定中断标志位 当PLLSAI时钟稳定且PLLSAISTBIE位被置1时由硬件置1 软件置位 PLLSAISTBIC 位时清除该位 0：无PLLSAI时钟稳定中断产生 1：产生 PLLSAI 时钟稳定中断
5	PLLI2SSTBIF	PLLI2SI 时钟稳定中断标志位 当PLLI2S时钟稳定且PLLI2SSTBIE位被置1时由硬件置1 软件置位 PLLI2SSTBIC 位时清除该位 0：无PLLI2S时钟稳定中断产生 1：产生 PLLI2S 时钟稳定中断
4	PLLSTBIF	PLL 时钟稳定中断标志位 当PLL时钟稳定且PLLSTBIE位被置1时由硬件置1 软件置位 PLLSTBIC 位时清除该位 0：无PLL时钟稳定中断产生 1：产生 PLL 时钟稳定中断
3	HXTALSTBIF	HXTAL 时钟稳定中断标志位 当高速4~32 MHz晶体振荡器时钟稳定且HXTALSTBIE位被置1时由硬件置1 软件置位 HXTALSTBIC 位时清除该位 0：无HXTAL时钟稳定中断产生 1：产生 HXTAL 时钟稳定中断
2	IRC16MSTBIF	IRC16M 时钟稳定中断标志位 当内部16MHz RC振荡器时钟稳定且IRC16MSTBIE位被置1时由硬件置1 软件置位 IRC16MSTBIC 位时清除该位 0：无IRC16M时钟稳定中断产生 1：产生 IRC16M 时钟稳定中断
1	LXTALSTBIF	LXTAL 时钟稳定中断标志位 当低速晶体振荡器时钟稳定且LXTALSTBIE位被置1时由硬件置1

		软件置位 LXTALSTBIC 位时清除该位 0：无LXTAL时钟稳定中断产生 1：产生 LXTAL 时钟稳定中断
0	IRC32KSTBIF	IRC32K 时钟稳定中断标志位 当内部32kHz RC振荡器时钟稳定且IRC32KSTBIE位被置1时由硬件置1 软件置位 IRC32KSTBIC 位时清除该位 0：无IRC32K时钟稳定中断产生 1：产生 IRC32K 时钟稳定中断

5.3.5. AHB1 复位寄存器(RCU_AHB1RST)

地址偏移：0x10
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		USBHSRST	保留			ENETRST	保留	IPARST	DMA1RST	DMA0RST	保留				
		rw				rw		rw	rw	rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CRCRST	保留			PIRST	PHRST	PGRST	PFRST	PERST	PDRST	PCRST	PBRST	PARST
			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:30	保留	必须保持复位值。
29	USBHSRST	USBHS 复位 由软件置位或复位 0：无作用 1：复位 USBHS
28:26	保留	必须保持复位值。
25	ENETRST	Ethernet 复位 由软件置位或复位 0：无作用 1：复位 ENET
24	保留	必须保持复位值。
23	IPARST	IPA 复位 由软件置位或复位 0：无作用 1：复位 IPA
22	DMA1RST	DMA1 复位 由软件置位或复位

		0：无作用 1：复位 DMA1
21	DMA0RST	DMA0 复位 由软件置位或复位 0：无作用 1：复位 DMA0
20:13	保留	必须保持复位值。
12	CRCRST	CRC 复位 由软件置位或复位 0：无作用 1：复位 CRC
11:9	保留	必须保持复位值。
8	PIRST	GPIO 端口 I 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 I
7	PHRST	GPIO 端口 H 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 H
6	PGRST	GPIO 端口 G 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 G
5	PFRST	GPIO 端口 F 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 F
4	PERST	GPIO 端口 E 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 E
3	PDRST	GPIO 端口 D 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 D
2	PCRST	GPIO 端口 C 复位 由软件置位或复位 0：无作用

1：复位 GPIO 端口 C

1	PBRST	GPIO 端口 B 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 B
0	PARST	GPIO 端口 A 复位 由软件置位或复位 0：无作用 1：复位 GPIO 端口 A

5.3.6. AHB2 复位寄存器(RCU_AHB2RST)

地址偏移：0x14
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								USBFSRST	TRNGRST	HAURST	CAURST	PKCAURST	保留		DCIRST
								rw	rw	rw	rw	rw			rw

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	USBFSRST	USBFS 复位 由软件置位或复位 0：无作用 1：复位 USBFS
6	TRNGRST	TRNG 复位 由软件置位或复位 0：无作用 1：复位 TRNG
5	HAURST	HAU 复位 由软件置位或复位 0：无作用 1：复位 HAU
4	CAURST	CAU 复位 由软件置位或复位 0：无作用

		1：复位 CAU
3	PKCAURST	PKCAURST 复位 由软件置位或复位 0：无作用 1：复位 PKCAU
2:1	保留	必须保持复位值。
0	DCIRST	DCI 复位 由软件置位或复位 0：无作用 1：复位 DCI

5.3.7. AHB3 复位寄存器(RCU_AHB3RST)

地址偏移：0x18
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EXMCRST
															rw

位/位域	名称	描述
31:1	保留	必须保持复位值。
0	EXMCRST	EXMC 复位 由软件置位或复位 0：无作用 1：复位 EXMC

5.3.8. APB1 复位寄存器(RCU_APB1RST)

地址偏移：0x20
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART7RST	UART6RST	DACRST	PMURST	保留	CAN1RST	CAN0RST	保留	I2C2RST	I2C1RST	I2C0RST	UART4RST	UART3RST	USART2RST	USART1RST	保留
rw	rw	rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI2RST	SPI1RST	I2C5RST	I2C4RST	WWDGTRST	I2C3RST	保留	TIMER13RST	TIMER12RST	TIMER11RST	TIMER6RST	TIMER5RST	TIMER4RST	TIMER3RST	TIMER2RST	TIMER1RST
rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	UART7RST	UART7 复位 由软件置位或复位 0：无作用 1：复位 UART7
30	UART6RST	UART6 复位 由软件置位或复位 0：无作用 1：复位 UART6
29	DACRST	DAC 复位 由软件置位或复位 0：无作用 1：复位 DAC
28	PMURST	PMU 复位 由软件置位或复位 0：无作用 1：复位 PMU
27	保留	必须保持复位值。
26	CAN1RST	CAN1 复位 由软件置位或复位 0：无作用 1：复位 CAN1
25	CAN0RST	CAN0 复位 由软件置位或复位 0：无作用 1：复位 CAN0
24	保留	必须保持复位值。
23	I2C2RST	I2C2 复位 由软件置位或复位 0：无作用 1：复位 I2C2
22	I2C1RST	I2C1 复位 由软件置位或复位 0：无作用

		1：复位 I2C1
21	I2C0RST	I2C0 复位 由软件置位或复位 0：无作用 1：复位 I2C0
20	UART4RST	UART4 复位 由软件置位或复位 0：无作用 1：复位 UART4
19	UART3RST	UART3 复位 由软件置位或复位 0：无作用 1：复位 UART3
18	USART2RST	USART2 复位 由软件置位或复位 0：无作用 1：复位 USART2
17	USART1RST	USART1 复位 由软件置位或复位 0：无作用 1：复位 USART1
16	保留	必须保持复位值。
15	SPI2RST	SPI2 复位 由软件置位或复位 0：无作用 1：复位 SPI2
14	SPI1RST	SPI1 复位 由软件置位或复位 0：无作用 1：复位 SPI1
13	I2C5RST	I2C5 复位 由软件置位或复位 0：无作用 1：复位 I2C5
12	I2C4RST	I2C4 复位 由软件置位或复位 0：无作用 1：复位 I2C4
11	WWDGTRST	WWDGT 复位

		由软件置位或复位 0：无作用 1：复位 WWDGT
10	I2C3RST	I2C3 复位 由软件置位或复位 0：无作用 1：复位 I2C3
9	保留	必须保持复位值。
8	TIMER13RST	TIMER13 复位 由软件置位或复位 0：无作用 1：复位 TIMER13
7	TIMER12RST	TIMER12 复位 由软件置位或复位 0：无作用 1：复位 TIMER12
6	TIMER11RST	TIMER11 复位 由软件置位或复位 0：无作用 1：复位 TIMER11
5	TIMER6RST	TIMER6 复位 由软件置位或复位 0：无作用 1：复位 TIMER6
4	TIMER5RST	TIMER5 复位 由软件置位或复位 0：无作用 1：复位 TIMER5
3	TIMER4RST	TIMER4 复位 由软件置位或复位 0：无作用 1：复位 TIMER4
2	TIMER3RST	TIMER3 复位 由软件置位或复位 0：无作用 1：复位 TIMER3
1	TIMER2RST	TIMER2 复位 由软件置位或复位 0：无作用

1：复位 TIMER2

0	TIMER1RST	TIMER1 复位 由软件置位或复位 0：无作用 1：复位 TIMER1

5.3.9. APB2 复位寄存器(RCU_APB2RST)

地址偏移：0x24
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					TLIRST	保留			SAIRST	SPI5RST	SPI4RST	保留	TIMER10RST	TIMER9RST	TIMER8RST
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SYSCFGRST	SPI3RST	SPI0RST	SDIORST	保留		ADCRST	保留		USART5RST	USART0RST	保留		TIMER7RST	TIMER0RST
	rw	rw	rw	rw			rw			rw	rw			rw	rw

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	TLIRST	TLI 复位 由软件置位或复位 0：无作用 1：复位 TLI
25:23	保留	必须保持复位值。
22	SAIRST	SAI 复位 由软件置位或复位 0：无作用 1：复位 SAI
21	SPI5RST	SPI5 复位 由软件置位或复位 0：无作用 1：复位 SPI5
20	SPI4RST	SPI4 复位 由软件置位或复位 0：无作用 1：复位 SPI4

19	保留	必须保持复位值。
18	TIMER10RST	TIMER10 复位 由软件置位或复位 0：无作用 1：复位 TIMER10
17	TIMER9RST	TIMER9 复位 由软件置位或复位 0：无作用 1：复位 TIMER9
16	TIMER8RST	TIMER8 复位 由软件置位或复位 0：无作用 1：复位 TIMER8
15	保留	必须保持复位值。
14	SYSCFGRST	SYSCFG 复位 由软件置位或复位 0：无作用 1：复位 SYSCFG
13	SPI3RST	SPI3 复位 由软件置位或复位 0：无作用 1：复位 SPI3
12	SPI0RST	SPI0 复位 由软件置位或复位 0：无作用 1：复位 SPI0
11	SDIORST	SDIO 复位 由软件置位或复位 0：无作用 1：复位 SDIO
10:9	保留	必须保持复位值。
8	ADCRST	ADC 复位 由软件置位或复位 0：无作用 1：复位所有 ADC
7:6	保留	必须保持复位值。
5	USART5RST	USART5 复位 由软件置位或复位

		0：无作用 1：复位 USART5
4	USART0RST	USART0 复位 由软件置位或复位 0：无作用 1：复位 USART0
3:2	保留	必须保持复位值。
1	TIMER7RST	TIMER7 复位 由软件置位或复位 0：无作用 1：复位 TIMER7
0	TIMER0RST	TIMER0 复位 由软件置位或复位 0：无作用 1：复位 TIMER0

5.3.10. AHB1 使能寄存器(RCU_AHB1EN)

地址偏移：0x30
复位值：0x0010 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	USBHSULPIEN	USBHSEN	ENETPTPEN	ENETRXEN	ENETTXEN	ENETEN	保留	IPAEN	DMA1EN	DMA0EN	TCMSRAMEN	保留	BKPSRAMEN	保留	
	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw		rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CRCEN	保留			PIEN	PHEN	PGEN	PFEN	PEEN	PDEN	PCEN	PBEN	PAEN
			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	保留	必须保持复位值。
30	USBHSULPIEN	USBHS ULPI 时钟使能 由软件置位或复位 0：关闭 USBHS ULPI 时钟 1：开启 USBHS ULPI 时钟
29	USBHSEN	USBHS 时钟使能 由软件置位或复位 0：关闭 USBHS 时钟 1：开启 USBHS 时钟
28	ENETPTPEN	以太网 PTP 时钟使能

		由软件置位或复位 0：关闭以太网 PTP 时钟 1：开启以太网 PTP 时钟
27	ENETRXEN	以太网 RX 时钟使能 由软件置位或复位 0：关闭以太网 RX 时钟 1：开启以太网 RX 时钟
26	ENETTXEN	以太网 TX 时钟使能 由软件置位或复位 0：关闭以太网 TX 时钟 1：开启以太网 TX 时钟
25	ENETEN	以太网时钟使能 由软件置位或复位 0：关闭以太网时钟 1：开启以太网时钟
24	保留	必须保持复位值。
23	IPAEN	IPA 时钟使能 由软件置位或复位 0：关闭 IPA 时钟 1：开启 IPA 时钟
22	DMA1EN	DMA1 时钟使能 由软件置位或复位 0：关闭 DMA1 时钟 1：开启 DMA1 时钟
21	DMA0EN	DMA0 时钟使能 由软件置位或复位 0：关闭 DMA0 时钟 1：开启 DMA0 时钟
20	TCMSRAMEN	TCMSRAM 时钟使能 由软件置位或复位 0：关闭 TCMSRAM 时钟 1：开启 TCMSRAM 时钟
19	保留	必须保持复位值。
18	BKPSRAMEN	BKPSRAM 时钟使能 由软件置位或复位 0：关闭 BKPSRAM 时钟 1：开启 BKPSRAM 时钟
17:13	保留	必须保持复位值。

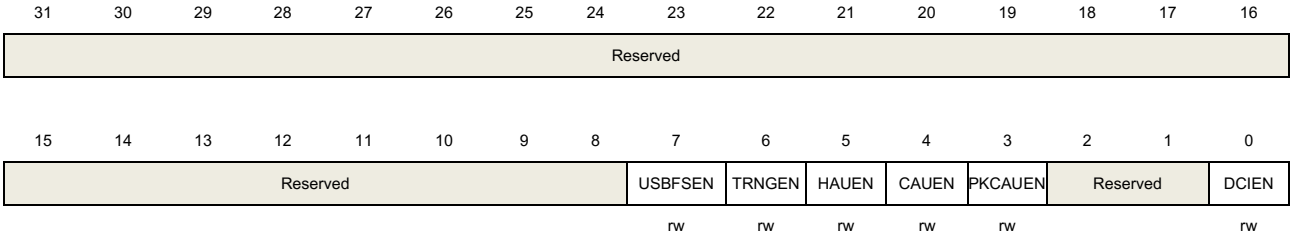
12	CRCEN	CRC 时钟使能 由软件置位或复位 0：关闭 CRC 时钟 1：开启 CRC 时钟
11:9	保留	必须保持复位值。
8	PIEN	GPIO 端口 I 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 I 时钟 1：开启 GPIO 端口 I 时钟
7	PHEN	GPIO 端口 H 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 H 时钟 1：开启 GPIO 端口 H 时钟
6	PGEN	GPIO 端口 G 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 G 时钟 1：开启 GPIO 端口 G 时钟
5	PFEN	GPIO 端口 F 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 F 时钟 1：开启 GPIO 端口 F 时钟
4	PEEN	GPIO 端口 E 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 E 时钟 1：开启 GPIO 端口 E 时钟
3	PDEN	GPIO 端口 D 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 D 时钟 1：开启 GPIO 端口 D 时钟
2	PCEN	GPIO 端口 C 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 C 时钟 1：开启 GPIO 端口 C 时钟
1	PBEN	GPIO 端口 B 时钟使能 由软件置位或复位 0：关闭 GPIO 端口 B 时钟 1：开启 GPIO 端口 B 时钟
0	PAEN	GPIO 端口 A 时钟使能 由软件置位或复位

0：关闭 GPIO 端口 A 时钟
1：开启 GPIO 端口 A 时钟

5.3.11. AHB2 使能寄存器(RCU_AHB2EN)

地址偏移：0x34
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7	USBFSEN	USBFS 时钟使能 由软件置位或复位 0：关闭 USBFS 时钟 1：开启 USBFS 时钟
6	TRNGEN	TRNG 时钟使能 由软件置位或复位 0：关闭 TRNG 时钟 1：开启 TRNG 时钟
5	HAUEN	HAU 时钟使能 由软件置位或复位 0：关闭 HAU 时钟 1：开启 HAU 时钟
4	CAUEN	CAU 时钟使能 由软件置位或复位 0：关闭 CAU 时钟 1：开启 CAU 时钟
3	PKCAUEN	PKCAU 时钟使能 由软件置位或复位 0：关闭 PKCAU 时钟 1：开启 PKCAU 时钟
2:1	保留	必须保持复位值。
0	DCIEN	DCI 时钟使能 由软件置位或复位

0：关闭 DCI 时钟
1：开启 DCI 时钟

5.3.12. AHB3 使能寄存器(RCU_AHB3EN)

地址偏移：0x38
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EXMCEN
															rw

位/位域	名称	描述
31:1	保留	必须保持复位值。
0	EXMCEN	EXMC 时钟使能 由软件置位或复位 0：关闭 EXMC 时钟 1：开启 EXMC 时钟

5.3.13. APB1 使能寄存器(RCU_APB1EN)

地址偏移：0x40
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART7EN	UART6EN	DACEN	PMUEN	Reserved	CAN1EN	CAN0EN	Reserved	I2C2EN	I2C1EN	I2C0EN	UART4EN	UART3EN	USART2EN	USART1EN	Reserved
rw	rw	rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI2EN	SPI1EN	I2C5EN	I2C4EN	WWDGTEN	I2C3EN	Reserved	TIMER13EN	TIMER12EN	TIMER11EN	TIMER6EN	TIMER5EN	TIMER4EN	TIMER3EN	TIMER2EN	TIMER1EN
rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	UART7EN	UART7 时钟使能 由软件置位或复位 0：关闭 UART7 时钟 1：开启 UART7 时钟

30	UART6EN	UART6 时钟使能 由软件置位或复位 0：关闭 UART6 时钟 1：开启 UART6 时钟
29	DACEN	DAC 时钟使能 由软件置位或复位 0：关闭 DAC 时钟 1：开启 DAC 时钟
28	PMUEN	PMU 时钟使能 由软件置位或复位 0：关闭 PMU 时钟 1：开启 PMU 时钟
27	保留	必须保持复位值。
26	CAN1EN	CAN1 时钟使能 由软件置位或复位 0：关闭 CAN1 时钟 1：开启 CAN1 时钟
25	CAN0EN	CAN0 时钟使能 由软件置位或复位 0：关闭 CAN0 时钟 1：开启 CAN0 时钟
24	保留	必须保持复位值。
23	I2C2EN	I2C2 时钟使能 由软件置位或复位 0：关闭 I2C2 时钟 1：开启 I2C2 时钟
22	I2C1EN	I2C1 时钟使能 由软件置位或复位 0：关闭 I2C1 时钟 1：开启 I2C1 时钟
21	I2C0EN	I2C0 时钟使能 由软件置位或复位 0：关闭 I2C0 时钟 1：开启 I2C0 时钟
20	UART4EN	UART4 时钟使能 由软件置位或复位 0：关闭 UART4 时钟 1：开启 UART4 时钟
19	UART3EN	UART3 时钟使能

由软件置位或复位
0：关闭 UART3 时钟
1：开启 UART3 时钟

18	USART2EN	USART2 时钟使能 由软件置位或复位 0：关闭 USART2 时钟 1：开启 USART2 时钟
17	USART1EN	USART1 时钟使能 由软件置位或复位 0：关闭 USART1 时钟 1：开启 USART1 时钟
16	保留	必须保持复位值。
15	SPI2EN	SPI2 时钟使能 由软件置位或复位 0：关闭 SPI2 时钟 1：开启 SPI2 时钟
14	SPI1EN	SPI1 时钟使能 由软件置位或复位 0：关闭 SPI1 时钟 1：开启 SPI1 时钟
13	I2C5EN	I2C5 时钟使能 由软件置位或复位 0：关闭 I2C5 时钟 1：开启 I2C5 时钟
12	I2C4EN	I2C4 时钟使能 由软件置位或复位 0：关闭 I2C4 时钟 1：开启 I2C4 时钟
11	WWDGTEN	WWDGT 时钟使能 由软件置位或复位 0：关闭 WWDGT 时钟 1：开启 WWDGT 时钟
10	I2C3EN	I2C3 时钟使能 由软件置位或复位 0：关闭 I2C3 时钟 1：开启 I2C3 时钟
9	保留	必须保持复位值。
8	TIMER13EN	TIMER13 时钟使能 由软件置位或复位

0：关闭 TIMER13 时钟
1：开启 TIMER13 时钟

7	TIMER12EN	TIMER12 时钟使能 由软件置位或复位 0：关闭 TIMER12 时钟 1：开启 TIMER12 时钟
6	TIMER11EN	TIMER11 时钟使能 由软件置位或复位 0：关闭 TIMER11 时钟 1：开启 TIMER11 时钟
5	TIMER6EN	TIMER6 时钟使能 由软件置位或复位 0：关闭 TIMER6 时钟 1：开启 TIMER6 时钟
4	TIMER5EN	TIMER5 时钟使能 由软件置位或复位 0：关闭 TIMER5 时钟 1：开启 TIMER5 时钟
3	TIMER4EN	TIMER4 时钟使能 由软件置位或复位 0：关闭 TIMER4 时钟 1：开启 TIMER4 时钟
2	TIMER3EN	TIMER3 时钟使能 由软件置位或复位 0：关闭 TIMER3 时钟 1：开启 TIMER3 时钟
1	TIMER2EN	TIMER2 时钟使能 由软件置位或复位 0：关闭 TIMER2 时钟 1：开启 TIMER2 时钟
0	TIMER1EN	TIMER1 时钟使能 由软件置位或复位 0：关闭 TIMER1 时钟 1：开启 TIMER1 时钟

5.3.14. APB2 使能寄存器(RCU_APB2EN)

地址偏移：0x44
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					TLIEN	保留			SAIEN	SPI5EN	SPI4EN	保留	TIMER10EN	TIMER9EN	TIMER8EN
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SYSCFGEN	SPI3EN	SPI0EN	SDIOEN	ADC2EN	ADC1EN	ADC0EN	保留		USART5EN	USART0EN	保留		TIMER7EN	TIMER0EN
	rw	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	TLIEN	TLI 时钟使能 由软件置位或复位 0：关闭 TLI 时钟 1：开启 TLI 时钟
25:23	保留	必须保持复位值。
22	SAIEN	SAI 时钟使能 由软件置位或复位 0：关闭 SAI 时钟 1：开启 SAI 时钟
21	SPI5EN	SPI5 时钟使能 由软件置位或复位 0：关闭 SPI5 时钟 1：开启 SPI5 时钟
20	SPI4EN	SPI4 时钟使能 由软件置位或复位 0：关闭 SPI4 时钟 1：开启 SPI4 时钟
19	保留	必须保持复位值。
18	TIMER10EN	TIMER10 时钟使能 由软件置位或复位 0：关闭 TIMER10 时钟 1：开启 TIMER10 时钟
17	TIMER9EN	TIMER9 时钟使能 由软件置位或复位 0：关闭 TIMER9 时钟 1：开启 TIMER9 时钟
16	TIMER8EN	TIMER8 时钟使能 由软件置位或复位

		0：关闭 TIMER8 时钟 1：开启 TIMER8 时钟
15	保留	必须保持复位值。
14	SYSCFGEN	SYSCFG 时钟使能 由软件置位或复位 0：关闭 SYSCFG 时钟 1：开启 SYSCFG 时钟
13	SPI3EN	SPI3 时钟使能 由软件置位或复位 0：关闭 SPI3 时钟 1：开启 SPI3 时钟
12	SPI0EN	SPI0 时钟使能 由软件置位或复位 0：关闭 SPI0 时钟 1：开启 SPI0 时钟
11	SDIOEN	SDIO 时钟使能 由软件置位或复位 0：关闭 SDIO 时钟 1：开启 SDIO 时钟
10	ADC2EN	ADC2 时钟使能 由软件置位或复位 0：关闭 ADC2 时钟 1：开启 ADC2 时钟
9	ADC1EN	ADC1 时钟使能 由软件置位或复位 0：关闭 ADC1 时钟 1：开启 ADC1 时钟
8	ADC0EN	ADC0 时钟使能 由软件置位或复位 0：关闭 ADC0 时钟 1：开启 ADC0 时钟
7:6	保留	必须保持复位值。
5	USART5EN	USART5 时钟使能 由软件置位或复位 0：关闭 USART5 时钟 1：开启 USART5 时钟
4	USART0EN	USART0 时钟使能 由软件置位或复位 0：关闭 USART0 时钟

		1：开启 USART0 时钟
3:2	保留	必须保持复位值。
1	TIMER7EN	TIMER7 时钟使能 由软件置位或复位 0：关闭 TIMER7 时钟 1：开启 TIMER7 时钟
0	TIMER0EN	TIMER0 时钟使能 由软件置位或复位 0：关闭 TIMER0 时钟 1：开启 TIMER0 时钟

5.3.15. AHB1 睡眠模式使能寄存器(RCU_AHB1SPEN)

地址偏移：0x50
复位值：0x7EEF 91FF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	USBHSULPISPEN	USBHSSPEN	ENETPTPSPEN	ENETRXSPEN	ENETTXSPEN	ENETSPEN	保留	IPASPEN	DMA1SPEN	DMA0SPEN	保留	SRAM2SPEN	BKPSRAMSPEN	SRAM1SPEN	SRAM0SPEN
	rw	rw	rw	rw	rw	rw		rw	rw	rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMCSPEN	保留		CRCSPEN	保留			PISPEN	PHSPEN	PGSPEN	PFSPEN	PESPEN	PDSPEN	PCSPEN	PBSPEN	PASPEN
rw			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	保留	必须保持复位值。
30	USBHSULPISPEN	在睡眠模式下 USBHS ULPI 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USBHS ULPI 时钟 1：在睡眠模式下开启 USBHS ULPI 时钟
29	USBHSSPEN	在睡眠模式下 USBHS 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USBHS 时钟 1：在睡眠模式下开启 USBHS 时钟
28	ENETPTPSPEN	在睡眠模式下以太网 PTP 时钟使能 由软件置位或复位 0：在睡眠模式下关闭以太网 PTP 时钟 1：在睡眠模式下开启以太网 PTP 时钟
27	ENETRXSPEN	在睡眠模式下以太网 RX 时钟使能 由软件置位或复位

		0：在睡眠模式下关闭以太网 RX 时钟 1：在睡眠模式下开启以太网 RX 时钟
26	ENETTXSPEN	在睡眠模式下以太网 TX 时钟使能 由软件置位或复位 0：在睡眠模式下关闭以太网 TX 时钟 1：在睡眠模式下开启以太网 TX 时钟
25	ENETSPEN	在睡眠模式下以太网时钟使能 由软件置位或复位 0：在睡眠模式下关闭以太网时钟 1：在睡眠模式下开启以太网时钟
24	保留	必须保持复位值。
23	IPASPEN	在睡眠模式下 IPA 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 IPA 时钟 1：在睡眠模式下开启 IPA 时钟
22	DMA1SPEN	在睡眠模式下 DMA1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 DMA1 时钟 1：在睡眠模式下开启 DMA1 时钟
21	DMA0SPEN	在睡眠模式下 DMA0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 DMA0 时钟 1：在睡眠模式下开启 DMA0 时钟
20	保留	必须保持复位值。
19	SRAM2SPEN	在睡眠模式下 SRAM2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SRAM2 时钟 1：在睡眠模式下开启 SRAM2 时钟
18	BKPSRAMSPEN	在睡眠模式下 BKPSRAM 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 BKPSRAM 时钟 1：在睡眠模式下开启 BKPSRAM 时钟
17	SRAM1SPEN	在睡眠模式下 SRAM1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SRAM1 时钟 1：在睡眠模式下开启 SRAM1 时钟
16	SRAM0SPEN	在睡眠模式下 SRAM0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SRAM0 时钟

		1：在睡眠模式下开启 SRAM0 时钟
15	FMCSPEN	在睡眠模式下 FMC 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 FMC 时钟 1：在睡眠模式下开启 FMC 时钟
14:13	保留	必须保持复位值。
12	CRCSPEN	在睡眠模式下 CRC 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 CRC 时钟 1：在睡眠模式下开启 CRC 时钟
11:9	保留	必须保持复位值。
8	PISPEN	在睡眠模式下 GPIO 端口 I 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 I 时钟 1：在睡眠模式下开启 GPIO 端口 I 时钟
7	PHSPEN	在睡眠模式下 GPIO 端口 H 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 H 时钟 1：在睡眠模式下开启 GPIO 端口 H 时钟
6	PGSPEN	在睡眠模式下 GPIO 端口 G 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 G 时钟 1：在睡眠模式下开启 GPIO 端口 G 时钟
5	PFSPEN	在睡眠模式下 GPIO 端口 F 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 F 时钟 1：在睡眠模式下开启 GPIO 端口 F 时钟
4	PESPEN	在睡眠模式下 GPIO 端口 E 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 E 时钟 1：在睡眠模式下开启 GPIO 端口 E 时钟
3	PDSPEN	在睡眠模式下 GPIO 端口 D 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 D 时钟 1：在睡眠模式下开启 GPIO 端口 D 时钟
2	PCSPEN	在睡眠模式下 GPIO 端口 C 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 C 时钟

		1：在睡眠模式下开启 GPIO 端口 C 时钟
1	PBSPEN	在睡眠模式下 GPIO 端口 B 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 B 时钟 1：在睡眠模式下开启 GPIO 端口 B 时钟
0	PASPEN	在睡眠模式下 GPIO 端口 A 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 GPIO 端口 A 时钟 1：在睡眠模式下开启 GPIO 端口 A 时钟

5.3.16. AHB2 睡眠模式使能寄存器(RCU_AHB2SPEN)

地址偏移：0x54

复位值：0x0000 00F9

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								USBFSSPEN	TRNGSPEN	HAUSPEN	CAUSPEN	PKCAUSPEN	保留		DCISPEN
								rw	rw	rw	rw	rw			rw

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	USBFSSPEN	在睡眠模式下 USBFS 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USBFS 时钟 1：在睡眠模式下开启 USBFS 时钟
6	TRNGSPEN	在睡眠模式下 TRNG 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TRNG 时钟 1：在睡眠模式下开启 TRNG 时钟
5	HAUSPEN	在睡眠模式下 HAU 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 HAU 时钟 1：在睡眠模式下开启 HAU 时钟
4	CAUSPEN	在睡眠模式下 CAU 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 CAU 时钟

		1：在睡眠模式下开启 CAU 时钟
3	PKCAUSPEN	在睡眠模式下 PKCAU 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 PKCAU 时钟 1：在睡眠模式下开启 PKCAU 时钟
2:1	保留	必须保持复位值。
0	DCISPEN	在睡眠模式下 DCI 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 DCI 时钟 1：在睡眠模式下开启 DCI 时钟

5.3.17. AHB3 睡眠模式使能寄存器(RCU_AHB3SPEN)

地址偏移：0x58
复位值：0x0000 0001

This register can be accessed by byte(8-bit), half-word(16-bit) and word(32-bit).

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EXMCSPEN
															rw

位/位域	名称	描述
31:1	保留	必须保持复位值。
0	EXMCSPEN	在睡眠模式下 EXMC 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 EXMC 时钟 1：在睡眠模式下开启 EXMC 时钟

5.3.18. APB1 睡眠模式使能寄存器(RCU_APB1SPEN)

地址偏移：0x60
复位值：0xF6FE FDFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART7SPEN	UART6SPEN	DACSPEN	PMUSPEN	保留	CAN1SPEN	CAN0SPEN	保留	I2C2SPEN	I2C1SPEN	I2C0SPEN	UART4SPEN	UART3SPEN	USART2SPEN	USART1SPEN	保留
rw	rw	rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI2SPEN	SPI1SPEN	I2C5SPEN	I2C4SPEN	WWDGTSPEN	I2C3SPEN	保留	TIMER13SPEN	TIMER12SPEN	TIMER11SPEN	TIMER6SPEN	TIMER5SPEN	TIMER4SPEN	TIMER3SPEN	TIMER2SPEN	TIMER1SPEN
rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	UART7SPEN	在睡眠模式下 UART7 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 UART7 时钟 1：在睡眠模式下开启 UART7 时钟
30	UART6SPEN	在睡眠模式下 UART6 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 UART6 时钟 1：在睡眠模式下开启 UART6 时钟
29	DACSPEN	在睡眠模式下 DAC 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 DAC 时钟 1：在睡眠模式下开启 DAC 时钟
28	PMUSPEN	在睡眠模式下 PMU 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 PMU 时钟 1：在睡眠模式下开启 PMU 时钟
27	保留	必须保持复位值。
26	CAN1SPEN	在睡眠模式下 CAN1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 CAN1 时钟 1：在睡眠模式下开启 CAN1 时钟
25	CAN0SPEN	在睡眠模式下 CAN0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 CAN0 时钟 1：在睡眠模式下开启 CAN0 时钟
24	保留	必须保持复位值。
23	I2C2SPEN	在睡眠模式下 I2C2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C2 时钟 1：在睡眠模式下开启 I2C2 时钟
22	I2C1SPEN	在睡眠模式下 I2C1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C1 时钟

		1：在睡眠模式下开启 I2C1 时钟
21	I2C0SPEN	在睡眠模式下 I2C0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C0 时钟 1：在睡眠模式下开启 I2C0 时钟
20	UART4SPEN	在睡眠模式下 UART4 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 UART4 时钟 1：在睡眠模式下开启 UART4 时钟
19	UART3SPEN	在睡眠模式下 UART3 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 UART3 时钟 1：在睡眠模式下开启 UART3 时钟
18	USART2SPEN	在睡眠模式下 USART2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USART2 时钟 1：在睡眠模式下开启 USART2 时钟
17	USART1SPEN	在睡眠模式下 USART1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USART1 时钟 1：在睡眠模式下开启 USART1 时钟
16	保留	必须保持复位值。
15	SPI2SPEN	在睡眠模式下 SPI2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI2 时钟 1：在睡眠模式下开启 SPI2 时钟
14	SPI1SPEN	在睡眠模式下 SPI1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI1 时钟 1：在睡眠模式下开启 SPI1 时钟
13	I2C5SPEN	在睡眠模式下 I2C5 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C5 时钟 1：在睡眠模式下开启 I2C5 时钟
12	I2C4SPEN	在睡眠模式下 I2C4 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C4 时钟 1：在睡眠模式下开启 I2C4 时钟
11	WWDGTSPEN	在睡眠模式下 WWDGT 时钟使能

		由软件置位或复位 0：在睡眠模式下关闭 WWDGT 时钟 1：在睡眠模式下开启 WWDGT 时钟
10	I2C3SPEN	在睡眠模式下 I2C3 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 I2C3 时钟 1：在睡眠模式下开启 I2C3 时钟
9	保留	必须保持复位值。
8	TIMER13SPEN	在睡眠模式下 TIMER13 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER13 时钟 1：在睡眠模式下开启 TIMER13 时钟
7	TIMER12SPEN	在睡眠模式下 TIMER12 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER12 时钟 1：在睡眠模式下开启 TIMER12 时钟
6	TIMER11SPEN	在睡眠模式下 TIMER11 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER11 时钟 1：在睡眠模式下开启 TIMER11 时钟
5	TIMER6SPEN	在睡眠模式下 TIMER6 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER6 时钟 1：在睡眠模式下开启 TIMER6 时钟
4	TIMER5SPEN	在睡眠模式下 TIMER5 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER5 时钟 1：在睡眠模式下开启 TIMER5 时钟
3	TIMER4SPEN	在睡眠模式下 TIMER4 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER4 时钟 1：在睡眠模式下开启 TIMER4 时钟
2	TIMER3SPEN	在睡眠模式下 TIMER3 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER3 时钟 1：在睡眠模式下开启 TIMER3 时钟
1	TIMER2SPEN	在睡眠模式下 TIMER2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER2 时钟

		1：在睡眠模式下开启 TIMER2 时钟
0	TIMER1SPEN	在睡眠模式下 TIMER1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER1 时钟 1：在睡眠模式下开启 TIMER1 时钟

5.3.19. APB2 睡眠模式使能寄存器(RCU_APB2SPEN)

地址偏移：0x64

复位值：0x0477 7F33

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					TLISPEN	保留			SAISPEN	SPI5SPEN	SPI4SPEN	保留	TIMER10SPEN	TIMER9SPEN	TIMER8SPEN
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SYSCFGSPEN	SPI3SPEN	SPI0SPEN	SDIOSPEN	ADC2SPEN	ADC1SPEN	ADC0SPEN	保留		USART5SPEN	USART0SPEN	保留		TIMER7SPEN	TIMER0SPEN
	rw	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	TLISPEN	在睡眠模式下 TLI 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TLI 时钟 1：在睡眠模式下开启 TLI 时钟
25:23	保留	必须保持复位值。
22	SAISPEN	在睡眠模式下 SAI 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SAI 时钟 1：在睡眠模式下开启 SAI 时钟
21	SPI5SPEN	在睡眠模式下 SPI5 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI5 时钟 1：在睡眠模式下开启 SPI5 时钟
20	SPI4SPEN	在睡眠模式下 SPI4 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI4 时钟 1：在睡眠模式下开启 SPI4 时钟

19	保留	必须保持复位值。
18	TIMER10SPEN	在睡眠模式下 TIMER10 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER10 时钟 1：在睡眠模式下开启 TIMER10 时钟
17	TIMER9SPEN	在睡眠模式下 TIMER9 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER9 时钟 1：在睡眠模式下开启 TIMER9 时钟
16	TIMER8SPEN	在睡眠模式下 TIMER8 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER8 时钟 1：在睡眠模式下开启 TIMER8 时钟
15	保留	必须保持复位值
14	SYSCFGSPEN	在睡眠模式下 SYSCFG 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SYSCFG 时钟 1：在睡眠模式下开启 SYSCFG 时钟
13	SPI3SPEN	在睡眠模式下 SPI3 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI3 时钟 1：在睡眠模式下开启 SPI3 时钟
12	SPI0SPEN	在睡眠模式下 SPI0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SPI0 时钟 1：在睡眠模式下开启 SPI0 时钟
11	SDIOSPEN	在睡眠模式下 SDIO 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 SDIO 时钟 1：在睡眠模式下开启 SDIO 时钟
10	ADC2SPEN	在睡眠模式下 ADC2 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 ADC2 时钟 1：在睡眠模式下开启 ADC2 时钟
9	ADC1SPEN	在睡眠模式下 ADC1 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 ADC1 时钟 1：在睡眠模式下开启 ADC1 时钟
8	ADC0SPEN	在睡眠模式下 ADC0 时钟使能

		由软件置位或复位 0：在睡眠模式下关闭 ADC0 时钟 1：在睡眠模式下开启 ADC0 时钟
7:6	保留	必须保持复位值。
5	USART5SPEN	在睡眠模式下 USART5 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USART5 时钟 1：在睡眠模式下开启 USART5 时钟
4	USART0SPEN	在睡眠模式下 USART0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 USART0 时钟 1：在睡眠模式下开启 USART0 时钟
3:2	保留	必须保持复位值
1	TIMER7SPEN	在睡眠模式下 TIMER7 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER7 时钟 1：在睡眠模式下开启 TIMER7 时钟
0	TIMER0SPEN	在睡眠模式下 TIMER0 时钟使能 由软件置位或复位 0：在睡眠模式下关闭 TIMER0 时钟 1：在睡眠模式下开启 TIMER0 时钟

5.3.20. 备份域控制寄存器(RCU_BDCTL)

地址偏移：0x70
复位值：0x0000 0008，只能由备份域复位进行复位

注意：备份域控制寄存器(RCU_BDCTL)的LXTALEN、LXTALBPS、RTCSRC和RTCEN位仅在备份域复位后才清0。只有在电源控制寄存器(PMU_CTL)中的BKPWEN位置1后才能对这些位进行改动。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															BKPRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	保留					RTCSRC[1:0]		保留				LXTALDRI	LXTALBPS	LXTALSTB	LXTALEN
rw						rw						rw	rw	r	rw

位/位域	名称	描述

31:17	保留	必须保持复位值。
16	BKPRST	备份域复位 由软件置位或复位 0：无作用 1：复位备份域
15	RTCEN	RTC 时钟使能 由软件置位或复位 0：关闭 RTC 时钟 1：开启 RTC 时钟
14:10	保留	必须保持复位值。
9:8	RTCSRC[1:0]	RTC 时钟源选择 由软件置位或清零来控制RTC的时钟源。一旦RTC的时钟源选择后，除了将备份域复位否则时钟源不能被改变。 00：没有时钟 01：选择 CK_LXTAL 时钟作为 RTC 的时钟源 10：选择 CK_IRC32K 时钟作为 RTC 的时钟源 11：选择 CK_HXTAL / RTCDIV 时钟作为 RTC 的时钟源，请参考 RCU_CFG0 寄存器的 RTCDIV 位域。
7:4	保留	必须保持复位值。
3	LXTALDRI	LXTAL 驱动能力 由软件置位或复位。当备份域复位时将复位该值 0：低驱动能力 1：高驱动能力(复位值) **注意：** LXTALDRI 位在旁路模式下无效
2	LXTALBPS	LXTAL 旁路模式使能 由软件置位或复位 0：禁止 LXTAL 旁路模式 1：使能 LXTAL 旁路模式
1	LXTALSTB	低速晶体振荡器稳定标志位 硬件置'1'来指示LXTAL振荡器时钟是否稳定待用 0：LXTAL 未稳定 1：LXTAL 已稳定
0	LXTALEN	LXTAL 时钟使能 由软件置位或复位 0：关闭 LXTAL 时钟 1：使能 LXTAL 时钟

5.3.21. 复位源/时钟寄存器(RCU_RSTSCK)

地址偏移：0x74

复位值：0x0E00 0000，所有复位标志位仅在电源复位时被清零，RSTFC/IRC32KEN在系统复位时被清零

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPRSTF	WWDGTRSTF	FWDGTRSTF	SWRSTF	PORRSTF	EPRSTF	BORRSTF	RSTFC	保留							
r	r	r	r	r	r	r	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														IRC32KSTB	IRC32KEN
														r	rw

位/位域	名称	描述
31	LPRSTF	低功耗复位标志位 深度睡眠/待机复位发生时由硬件置位 向 RSTFC 位写 1 来清除该位 0：无低功耗管理复位发生 1：发生低功耗管理复位
30	WWDGTRSTF	窗口看门狗定时器复位标志位 窗口看门狗定时器复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无窗口看门狗复位发生 1：发生窗口看门狗复位
29	FWDGTRSTF	独立看门狗定时器复位标志位 独立看门狗复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无独立看门狗定时器复位发生 1：发生独立看门狗定时器复位
28	SWRSTF	软件复位标志位 软件复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无软件复位发生 1：发生软件复位
27	PORRSTF	电源复位标志位 电源复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无电源复位发生 1：发生电源复位

26	EPRSTF	外部引脚复位标志位 外部引脚复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无外部引脚复位发生 1：发生外部引脚复位
25	BORRSTF	欠压复位复位标志位 欠压复位复位发生时由硬件置 1 向 RSTFC 位写 1 来清除该位 0：无欠压复位复位发生 1：发生欠压复位复位
24	RSTFC	清除复位标志位 由软件置 1 来清除所有复位标志位 0：无作用 1：清除所有复位标志位
23:2	保留	必须保持复位值。
1	IRC32KSTB	IRC32K 时钟稳定标志位 该位由硬件置 1 指示 IRC32K 输出时钟是否稳定待用 0：IRC32K 时钟未稳定 1：IRC32K 已稳定
0	IRC32KEN	IRC32K 使能 由软件置位和复位 0：关闭 IRC32K 时钟 1：开启 IRC32K 时钟

5.3.22. PLL 时钟扩频控制寄存器(RCU_PLLSSCTL)

地址偏移：0x80
复位值：0x0000 0000

扩频调制仅适用于主PLL时钟。

仅当PLL被禁止时，RCU_PLLSSCTL寄存器才可写入。
该寄存器用于配置PLL扩频时钟生成，需按照如下公式：

$MODCNT = round(f_{PLLIN}/4/f_{mod})$

$MODSTEP = round(mdamp*PLLN*2^{14}/(MODCNT*100))$

f_{PLLIN}表示PLL输入时钟频率，f_{mod}表示扩频调制频率，mdamp表示扩频调制振幅(按百分比表示)，PLLN 表示PLL时钟频率倍频因子。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSCGON	SS_TYPE	保留		MODSTEP[14:3]											
rw	rw			rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODSTEP[2:0]			MODCNT[12:0]												
rw			rw												

位/位域	名称	描述
31	SSCGON	PLL 扩频调制使能 0：禁止扩频调制 1：使能扩频调制
30	SS_TYPE	PLL 扩频调制类型选择 0：选择中心扩频 1：选择向下扩频
29:28	保留	必须保持复位值。
27:13	MODSTEP	这些位配置 PLL 扩频调制曲线振幅和频率。必须满足如下条件：MODSTEP*MODCNT<=2^{15}-1
12:0	MODCNT	这些位配置 PLL 扩频调制曲线振幅和频率。必须满足如下条件：MODSTEP*MODCNT<=2^{15}-1

5.3.23. PLLI2S 寄存器(RCU_PLLI2S)

地址偏移：0x84
复位值：0x2400 3000

配置PLLI2S时钟可参考下列公式：
CK_PLLI2SVCOSRC = CK_PLLSRC / PLLPSC
CK_PLLI2SVCO = CK_PLLI2SVCOSRC × PLLI2SN
CK_PLLI2SR = CK_PLLI2SVCO / PLLI2SR

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	PLLI2SR[2:0]			PLLI2SQ[3:0]				保留							
	rw			rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PLLI2SN[8:0]									保留					
	rw														

位/位域	名称	描述
31	保留	必须保持复位值。
30:28	PLLI2SR[2:0]	PLLI2S VCO 时钟的分频因子用于 PLLI2SR 时钟输出频率 当 PLLI2S 时钟被关闭时由软件置位或复位。这些位用于通过 PLLI2S VCO 时钟(CK_ PLLI2SVCO)分频生成 PLLI2SR 输出时钟(CK_PLLI2SR)。CK_PLLI2SR 用于生成 I2S 时钟(<=200MHz)。RCU_PLLI2S 寄存器的 PLLI2SN 位域对 CK_PLLI2SVCO 时钟进行了描述。

		000：保留 001：保留 010：CK_PLLI2SR = CK_PLLI2SVCO / 2. 011：CK_PLLI2SR = CK_PLLI2SVCO / 3 100：CK_PLLI2SR = CK_PLLI2SVCO / 4 … 111：CK_PLLI2SR = CK_PLLI2SVCO / 7
27:24	PLLI2SQ[3:0]	PLLI2S VCO 时钟的分频因子用于 PLLI2SQ 时钟输出频率 当 PLLI2S 时钟被关闭时由软件置位或复位。这些位用于通过 PLLI2S VCO 时钟(CK_ PLLI2SVCO)分频生成 PLLI2SQ 输出时钟(CK_PLLI2SR)。RCU_PLLI2S 寄存器的 PLLI2SQ 位域对 CK_PLLI2SVCO 时钟进行了描述。 0000：保留 0001：保留 0010：CK_PLLI2SQ = CK_PLLI2SVCO / 2. 0011：CK_PLLI2SQ = CK_PLLI2SVCO / 3 0100：CK_PLLI2SQ = CK_PLLI2SVCO / 4 … 1111：CK_PLLI2SQ = CK_PLLI2SVCO / 15
23:15	保留	必须保持复位值。
14:6	PLLI2SN[8:0]	PLLI2S VCO 时钟倍频因子 当 PLLI2S 被关闭时由软件置位或清零(仅支持全字/半字写操作) 这些位域用做将 PLLI2S VCO 源时钟(CK_PLLI2SVCOSRC)倍频生成 PLLI2S VCO 输出时钟(CK_PLLI2SVCO)。RCU_PLL 寄存器的 PLLPSC 位域对 CK_PLLI2SVCOSRC 时钟进行了描述。 注意：CK_ PLLI2SVCO 时钟频率范围必须在 100MHz 到 500MHz 之间 PLLI2SN 时钟的值必须为：50<=PLLI2SN<=500 000000000：保留 000000001：保留 … 000110001：保留 000110010：CK_PLLI2SVCO = CK_PLLI2SVCOSRC x 50. 000110011：CK_PLLI2SVCO = CK_PLLI2SVCOSRC x 51. … 111110100：CK_PLLI2SVCO = CK_PLLI2SVCOSRC x 500. 111110101：保留 … 111111111：保留
5:0	保留	必须保持复位值。

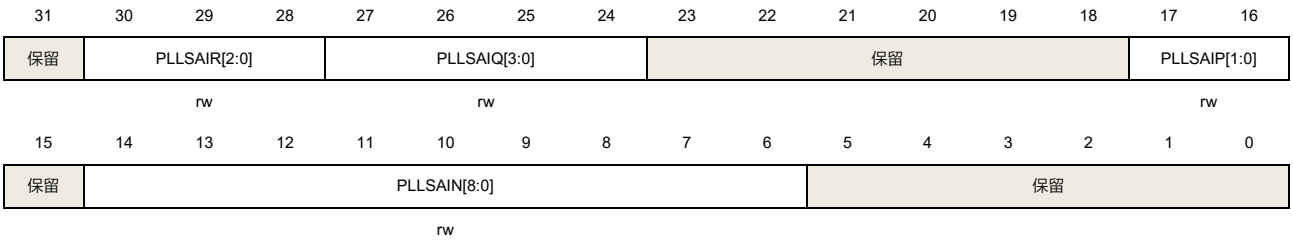
5.3.24. PLLSAI 寄存器(RCU_PLLSAI)

地址偏移：0x88

复位值：0x2400 3000

配置PLLSAI时钟可参考下列公式：
CK_PLLSAIVCOSRC = CK_PLLSRC / PLLPSC
CK_PLLSAIVCO = CK_ PLLSAIVCOSRC × PLLSAIN
CK_PLLSAIP = CK_ PLLSAIVCO / PLLSAIP
CK_PLLSAIR = CK_ PLLSAIVCO / PLLSAIR

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31	保留	必须保持复位值。
30:28	PLLSAIR[2:0]	PLLSAI VCO 时钟的分频因子用于 PLLSAIR 时钟输出频率 当 PLLSAI 时钟被关闭时由软件置位或复位。这些位用于通过 PLLSAI VCO 时钟(CK_PLLSAIVCO)分频生成 PLLSAIR 输出时钟(CK_PLLSAIR)。CK_PLLSAIR 用于生成 TLI 时钟(<=216MHz)。RCU_PLLSAI 寄存器的 PLLSAIN 位域对 CK_PLLSAIVCO 时钟进行了描述。 000：保留 001：保留 010：CK_PLLSAIR = CK_PLLSAIVCO / 2 011：CK_PLLSAIR = CK_PLLSAIVCO / 3 100：CK_PLLSAIR = CK_PLLSAIVCO / 4 … 111：CK_PLLSAIR = CK_PLLSAIVCO / 7
27:24	PLLSAIQ[3:0]	PLLSAI VCO 时钟的分频因子用于 PLLSAIQ 时钟输出频率 当 PLLSAI 时钟被关闭时由软件置位或复位。这些位用于通过 PLLSAI VCO 时钟(CK_ PLLSAIVCO)分频生成 PLLSAIQ 输出时钟(CK_PLLSAIR)。RCU_PLLSAI 寄存器的 PLLSAIQ 位域对 CK_PLLSAIVCO 时钟进行了描述。 0000：保留 0001：保留 0010：CK_PLLSAIQ = CK_PLLSAIVCO / 2. 0011：CK_PLLSAIQ = CK_PLLSAIVCO / 3 0100：CK_PLLSAIQ = CK_PLLSAIVCO / 4 … 1111：CK_PLLSAIQ = CK_PLLSAIVCO / 15
23:18	保留	必须保持复位值。
17:16	PLLSAIP[1:0]	PLLSAI VCO 时钟的分频因子用于 PLLSAIP 时钟输出频率 当 PLLSAI 时钟被关闭时由软件置位或复位。这些位用于通过 PLLSAI VCO 时钟

		(CK_PLLSAIVCO)分频生成 PLLSAIP 输出时钟(CK_PLLSAIP)。CK_PLLSAIP 用于生成 UBSFS/USBHS(48MHz)， TRNG(48MHz) 或 SDIO(<=48MHz) 的时钟。RCU_PLLSAI 寄存器的 PLLSAIN 位域对 CK_PLLSAIVCO 时钟进行了描述。 00：CK_PLLSAIP = CK_PLLSAIVCO / 2 01：CK_PLLSAIP = CK_PLLSAIVCO / 4 10：CK_PLLSAIP = CK_PLLSAIVCO / 6 11：CK_PLLSAIP = CK_PLLSAIVCO / 8
15	保留	必须保持复位值。
14:6	PLLSAIN[8:0]	PLLSAI VCO 时钟倍频因子 当 PLLSAI 被关闭时由软件置位或清零(仅支持全字/半字写操作) 这些位域用做将 PLLSAI VCO 源时钟(CK_PLLSAIVCOSRC)倍频生成 PLLSAI VCO 输出时钟(CK_PLLSAIVCO)。RCU_PLL 寄存器的 PLLPSC 位域对 CK_PLLVCOSRC 时钟进行了描述。 **注意：** CK_PLLSAIVCO 时钟频率范围必须在 100MHz 到 500MHz 之间 PLLI2SN 时钟的值必须为：50<=PLLSAIN<=500 000000000：保留 000000001：保留 … 000110001：保留 000110010：CK_PLLSAIVCO = CK_PLLSAIVCOSRC x 50 000110011：CK_PLLSAIVCO = CK_PLLSAIVCOSRC x 51 … 111110100：CK_PLLSAIVCO = CK_PLLSAIVCOSRC x 500 111110101：保留 … 111111111：保留
5:0	保留	必须保持复位值。

5.3.25. 时钟配置寄存器 1(RCU_CFG1)

地址偏移：0x8C

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述

31:25	保留	必须保持复位值。
24	TIMERSEL	TIMER 时钟源选择 由软件置位或复位 该位定义了所有定时器的时钟源选择 0：如果 RCU_CFG0 寄存器的 APB1PSC/APB2PSC 位域的值为 0b0xx(CK_APBx = CK_AHB) 或 0b100(CK_APBx = CK_AHB/2)，定时器时钟等于 CK_AHB(CK_TIMERx = CK_AHB)，否则定时器时钟等于 APB 时钟的两倍(在 APB1 域的定时器： CK_TIMERx = 2 x CK_APB1，在 APB2 域的定时器：CK_TIMERx = 2 x CK_APB2)。 1：如果 RCU_CFG0 寄存器的 APB1PSC/APB2PSC 位域的值为 0b0xx(CK_APBx = CK_AHB)，0b100(CK_APBx = CK_AHB/2)，或 0b101(CK_APBx = CK_AHB/4)，定时器时钟等于 CK_AHB(CK_TIMERx = CK_AHB)。否则定时器时钟等于 APB 时钟的四倍(在 APB1 域的定时器：CK_TIMERx = 4 x CK_APB1；在 APB2 域的定时器：CK_TIMERx = 4 x CK_APB2)。
23:22	保留	必须保持复位值。
21:20	SAISEL	SAI 时钟源选择 由软件置位或复位。该位定义了所有定时器的时钟源选择。 00：CK_PLLSAIQ 01：CK_PLLI2SQ 10：I2S_CKIN 11：I2S_CKIN
19:18	保留	必须保持复位值。
17:16	PLLSAIRDIV[1:0]	PLLSAIR 时钟的分频因子 当 PLLSAI 时钟被关闭时由软件置位或复位。该位用于生成 TLI 模块的时钟源。 00：CK_PLLSAIR / 2 01：CK_PLLSAIR / 4 10：CK_PLLSAIR / 8 11：CK_PLLSAIR / 16
15:5	保留	必须保持复位值。
4:0	PLLI2SQDIV[4:0]	PLLI2SQ 时钟的分频因子 当 PLLI2SQ 时钟被关闭时由软件置位或复位。该位用于生成 SAI 模块的时钟源。 00000: CK_PLLI2SQ / 1 00001: CK_PLLI2SQ / 2 00010: CK_PLLI2SQ / 3 … 11111: CK_PLLI2SQ / 32

5.3.26. 时钟配置寄存器 2(RCU_CFG2)

地址偏移：0x94

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										I2C5SEL[1:0]		I2C4SEL[1:0]		I2C3SEL[1:0]	
										rw		rw		rw	

位/位域	名称	描述
31:6	保留	必须保持复位值
5:4	I2C5CLKSEL[1:0]	I2C5时钟源选择 由软件置位或清零 00：选择 CK_APB1 01：选择 CK_PLLSAIR 10：选择 CK_IRC16M 11：保留
3:2	I2C4CLKSEL[1:0]	I2C4时钟源选择 由软件置位或清零 00：选择 CK_APB1 01：选择 CK_PLLSAIR 10：选择 CK_IRC16M 11：保留
1:0	I2C3CLKSEL[1:0]	I2C3时钟源选择 由软件置位或清零 00：选择 CK_APB1 01：选择 CK_PLLSAIR 10：选择 CK_IRC16M 11：保留

5.3.27. 附加时钟控制寄存器(RCU_ADDCTL)

地址偏移：0xC0

复位值：0xXX00 0000 x表示未定义

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRC48MCALIB[7:0]								保留						IRC48MSTB	IRC48MEN
r														r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														PLL48MSEL	CK48MSEL

rw rw

位/位域	名称	描述
31:24	IRC48MCALIB[7:0]	内部 48MHz RC 振荡器校准值寄存器 上电时自动加载这些位
23:18	保留	必须保持复位值。
17	IRC48MSTB	内部 48MHz RC 振荡器时钟稳定标志位 硬件置'1'来指示IRC48M振荡器时钟是否稳定待用 0：IRC48M未稳定 1：IRC48M 已稳定
16	IRC48MEN	内部 48MHz RC 振荡器使能 由软件置位和复位。当进入深度睡眠或待机模式后由硬件复位 0：关闭IRC48M时钟 1：打开 IRC48M 时钟
15:2	保留	必须保持复位值。
1	PLL48MSEL	PLL48M时钟源选择 由软件置位和复位。该位用于选择CK_PLLQ时钟或CK_PLLSAIP时钟作为PLL48M的时钟源 0：选择CK_PLLQ时钟 1：选择 CK_PLLSAIP 时钟
0	CK48MSEL	48MHz时钟源选择 由软件置位和复位。该位用于选择IRC48M时钟或PLL48M时钟作为CK48M时钟源。CK48M时钟为TRNG/SDIO/USBFS/USBHS模块提供时钟。RCU_ADDCTL寄存器的PLL48MSEL位对PLL48M时钟进行了描述。 0：不选择IRC48M时钟(通过PLL48MSEL位选择使用CK_PLLQ时钟或CK_PLLSAIP时钟) 1：选择 IRC48M 时钟

5.3.28. 附加时钟中断寄存器(RCU_ADDINT)

地址偏移：0xCC
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留									IRC48MSTBIC	保留					
									w						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	IRC48MSTBIE	保留							IRC48MSTBIF	保留					

rw r

位/位域	名称	描述
31:23	保留	必须保持复位值。
22	IRC48MSTBIC	内部 48 MHz RC 振荡器稳定中断清零 软件写 1 复位 IRC48MSTBIF 标志位 0：不复位 IRC48MSTBIF 标志位 1：复位 IRC48MSTBIF 标志位
21:15	保留	必须保持复位值。
14	IRC48MSTBIE	内部 48 MHz RC 振荡器稳定中断使能 由软件置位和复位来使能/禁止 IRC48M 时钟稳定中断 0：禁止IRC48M时钟稳定中断 1：使能 IRC48M 时钟稳定中断
13:7	保留	必须保持复位值。
6	IRC48MSTBIF	IRC48M 时钟稳定中断标志位 当内部48 MHz RC振荡器时钟稳定且IRC48MSTBIE位被置1时由硬件置1 软件置位 IRC48MSTBIC 位时清除该位 0：无IRC48M时钟稳定中断产生 1：产生 IRC48M 时钟稳定中断
5:0	保留	必须保持复位值。

5.3.29. APB1 附加复位寄存器(RCU_ADDAPB1RST)

地址偏移：0xE0

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IREFRST	保留			CTC RST	保留										
rw				rw											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31	IREFRST	IREF 复位 由软件置位或复位 0：无作用 1：复位 IREF

30:28	保留	必须保持复位值。
27	CTCRST	CTC 复位 由软件置位或复位 0：无作用 1：复位 CTC
26:0	保留	必须保持复位值。

5.3.30. APB1 附加使能寄存器(RCU_ADDAPB1EN)

地址偏移：0xE4
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IREFEN	保留			CTCEN	保留										
rw				rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31	IREFEN	IREF 时钟使能 由软件置位或复位 0：关闭 IREF 时钟 1：开启 IREF 时钟
30:28	保留	必须保持复位值。
27	CTCEN	CTC 时钟使能 由软件置位或复位 0：关闭 CTC 时钟 1：开启 CTC 时钟
26:0	保留	必须保持复位值。

5.3.31. APB1 附加睡眠模式使能寄存器(RCU_ADDAPB1SPEN)

地址偏移：0xE8
复位值：0x8800 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IREF SPEN	保留			CTCSP EN	保留										
rw				rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31	IREFSPEN	睡眠模式下 IREF 时钟使能 由软件置位或复位 0：睡眠模式下关闭 IREF 时钟 1：睡眠模式下开启 IREF 时钟
30:28	保留	必须保持复位值。
27	CTCSPEN	睡眠模式下 CTC 时钟使能 由软件置位或复位 0：睡眠模式下关闭 CTC 时钟 1：睡眠模式下开启 CTC 时钟
26:0	保留	必须保持复位值。

5.3.32. 电源解锁寄存器(RCU_VKEY)

地址偏移：0x100
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w															

位/位域	名称	描述
31:0	KEY[31:0]	RCU_DSV 寄存器解锁 这些位仅能被软件写，若读这些位，则全为 0。只有在向 RCC_VKEY 寄存器写 0x1A2B3C4D 后，RCU_DSV 寄存器才能被写。

5.3.33. 深度睡眠模式电压寄存器(RCU_DSV)

地址偏移：0x134
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													DSLPVS[2:0]		
													rw		

位/位域	名称	描述
31:3	保留	必须保持复位值。
2:0	DSLPVS[2:0]	深度睡眠模式电压选择 由软件置位和清零这些位 000：在深度睡眠模式下内核电压为缺省值 001：在深度睡眠模式下内核电压为(缺省值-0.1)V(不建议客户使用) 010：在深度睡眠模式下内核电压为(缺省值-0.2)V(不建议客户使用) 011：在深度睡眠模式下内核电压为(缺省值-0.3)V(不建议客户使用) 100~111：保留

6. 时钟校准控制器(CTC)

6.1. 简介

时钟校准控制器(CTC)采用硬件的方式，自动校准内部48MHz RC晶振(IRC48M)。CTC模块基于外部高精度的参考信号源来校准IRC48M的时钟频率，通过自动的或手动的调整校准值，以得到一个精准的IRC48M时钟。

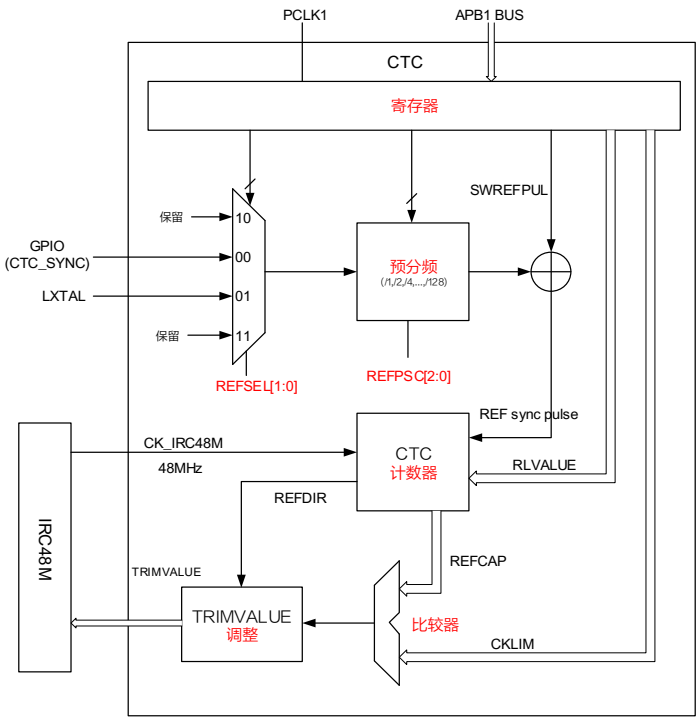
6.2. 主要特性

- 两个外部参考信号源：GPIO(CTC_SYNC)，LXTAL时钟；
- 提供软件参考同步脉冲；
- 硬件自动校准，无需软件操作；
- 具有参考信号源捕获和重载功能的16 bits校准计数器；
- 用于频率评估和自动校准的8 bits时钟校准基值；
- 标志位和中断，用于指示时钟校准的状态：校准成功状态(CKOKIF)，警告状态(CKWARNIF)和错误状态(ERRIF)。

6.3. 功能说明

CTC 模块的内部结构图如*图 5-1. CTC 简介*。

图6-1. CTC简介



6.3.1. REF 同步脉冲发生器

首先，通过设置CTC_CTL1寄存器中的REFSEL位来选择参考信号源：GPIO(CTC_SYNC)，LXTAL时钟输出。

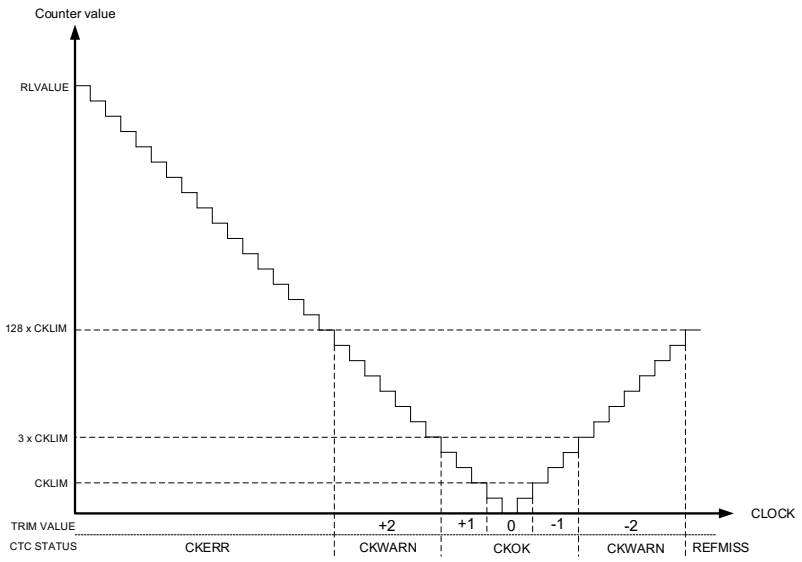
然后，可以通过设置CTC_CTL1寄存器中的REFPOL位来配置参考信号源同步时的信号极性，通过设置CTC_CTL1寄存器中的REFPSC位来产生一个合适的同步时钟频率信号。

如果需要使用软件参考脉冲信号，则需要设置CTC_CTL0寄存器中的SWREFPUL位为1。软件参考脉冲信号与外部参考脉冲信号最后进行逻辑或操作。

6.3.2. CTC 校准计数器

CTC时钟校准计数器由CK_IRC48M提供时钟。在置位CTC_CTL0寄存器中的CNTEN位后，当检测到第一个REF同步脉冲信号，计数器开始从RLVALUE值(RLVALUE在CTC_CTL1寄存器中定义)开始向下计数。每次检测到REF同步脉冲信号时，计数器重载RLVALUE值，同时重新开始向下计数。如果始终检测不到REF同步脉冲信号，计数器会向下计数到零，然后再向上计数到128 x CKLIM(CKLIM在CTC_CTL1中定义)，最后停止，直到检测到下一个REF同步脉冲信号。一旦检测到REF同步脉冲信号，当前CTC校准计数器的计数值被捕获存入CTC_STAT寄存器中的REFCAP位，同时，当前计数器的计数方向被存入CTC_STAT寄存器的REFDIR位。详细内容如*图5-2. CTC校准计数器*所示。

图6-2. CTC校准计数器



6.3.3. 频率评估和自动校准过程

当REF同步脉冲信号出现时，时钟频率评估功能开始执行。如果REF同步脉冲信号出现在计数器向下计数的过程中，说明当前时钟频率比期望时钟频率(频率为48M)慢，需要增大CTC_CTL0中的TRIMVALUE值(时钟校准值)。如果REF同步脉冲信号出现在计数器向上计数的过程中，说明当前时钟频率比期望时钟频率快，需要减小TRIMVALUE值。CTC_STAT中的CKOKIF位，

CKWARNIF位，CKERR位和REFMISS位反映了频率评估的状态。

如果CTC_CTL0中的AUTOTRIM(硬件自动校准模式)位置1，硬件自动校准模式使能。在这个模式中，如果REF同步脉冲信号出现在计数器向下计数的过程中，说明当前时钟频率比期望时钟频率慢，CTC_CTL0中的TRIMVALUE值会自动增大，来提高当前的时钟频率。反之，如果REF同步脉冲信号出现在计数器向上计数的过程中，说明当前时钟频率比期望时钟频率快，TRIMVALUE值会自动减小，从而减小当前的时钟频率。

- Counter < CKLIM时，检测到REF同步脉冲信号；
  - CTC_STAT中的CKOKIF位(时钟校准成功标志位)被置位，同时，如果CTC_CTL0中的CKOKIE位(时钟校准完成中断使能位)置1，将会产生一个中断。
  - 如果CTC_CTL0中的AUTOTRIM置1，CTC_CTL0中的TRIMVALUE值不变。
- CKLIM <= Counter < 3 x CKLIM时，检测到REF同步脉冲信号；
  - CTC_STAT中的CKOKIF位被置位，同时，如果CTC_CTL0中的CKOKIE位置1，将会产生一个中断。
  - 如果CTC_CTL0中的AUTOTRIM位置1，在计数器向下计数过程中，CTC_CTL0中的TRIMVALUE值将加1，而在向上计数过程中将减1。
- 3 x CKLIM <= Counter < 128 x CKLIM时，检测到REF同步脉冲信号；
  - CTC_STAT中的CKWARNIF位(时钟校准警告中断位)被置位，同时，如果CTC_CTL0中的CKWARNIE位(时钟校准警告中断使能位)置1，将会产生一个中断。
  - 如果CTC_CTL0中的AUTOTRIM位置1，在计数器向下计数过程中，CTC_CTL0中的TRIMVALUE值将加2，而在向上计数过程中将减2。
- Counter >= 128 x CKLIM，计数器在向下计数过程中，检测到REF同步脉冲信号；
  - CTC_STAT中的CKERR位(时钟校准错误位)被置位，同时，如果CTC_CTL0中的ERRIE位(错误中断使能位)置1，将会产生一个中断。
  - CTC_CTL0中的TRIMVALUE值不变。
- Counter = 128 x CKLIM，计数器在向上计数过程中 ；
  - CTC_STAT中的REFMISS位(REF同步脉冲丢失位)被置位，同时，如果CTC_CTL0中的ERRIE位置1，将会产生一个中断。
  - CTC_CTL0中的TRIMVALUE值不变。

如果CTC_CTL0中的TRIMVALUE的校准值大于63，将会发生上溢事件，同时，若TRIMVALUE的校准值小于0，将会发生下溢事件。TRIMVALUE的取值范围为0~63(上溢事件发生时，TRIMVALUE值为63；下溢事件发生时，TRIMVALUE值为0)。然后，CTC_STAT中的TRIMERR位(校准值错误位)将会被置位，如果CTC_CTL0中的ERRIE位置1，将会产生一个中断。

6.3.4. 软件编程指南

CTC_CTL1中RLVALUE位和CKLIM位是时钟频率评估和硬件自动校准的关键。它们的数值由期望时钟的频率(IRC48M：48 MHz)和REF同步脉冲信号的频率计算得到。理想状态是REF同步脉冲信号在CTC计数器计数到零时出现，所以RLVALUE的值为：

RLVALUE=(F_clock/ F_REF)-1 (式6-1)

CKLIM的值由用户根据时钟的精度来设置，一般建议设为步长的一半，所以CKLIM的值为：

$CKLIM=(F_{clock}/ F_{REF}) \times 0.12\% /2$ (式6-2)

典型的步长值是0.12%，F_{clock}是期望时钟的频率(IRC48M)，F_{REF}是REF同步脉冲信号的频率。

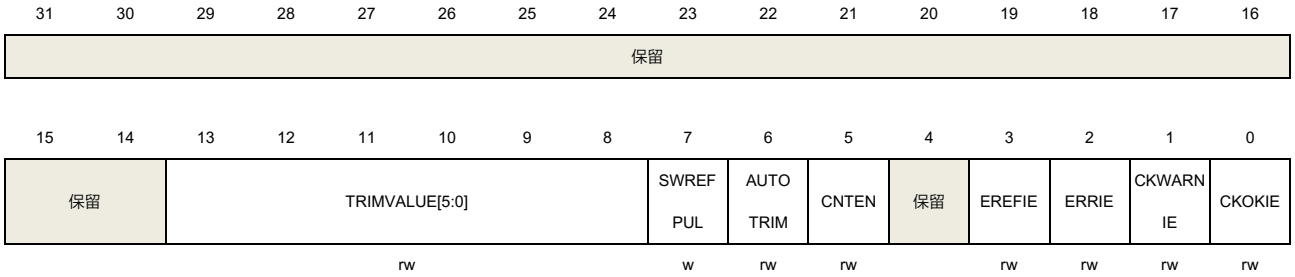
6.4. CTC 寄存器

CTC基地址：0x4000 6C00

6.4.1. 控制寄存器 0(CTC_CTL0)

地址偏移：0x00
复位值：0x0000 2000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:14	保留	必须保持复位值。
13:8	TRIMVALUE[5:0]	IRC48M 校准值 当 CTC_CTL0 中的 AUTOTRIM 值为 0 时，该位由软件置位和清除，该模式用于软件校准过程。 当 CTC_CTL0 中的 AUTOTRIM 值为 1 时，该位只读，由硬件自动修改，该模式用于硬件校准过程。 TRIMVALUE 的中间值是 32，当 TRIMVALUE 值加 1 时，IRC48M 时钟频率增加大约 57KHz。当 TRIMVALUE 值减 1 时，IRC48M 时钟频率的减少大约 57KHz。
7	SWREFPUL	软件生成同步参考信号脉冲 该位由软件置位，并为 CTC 计数器提供一个同步参考脉冲信号。该位由硬件自动清除，读操作时返回 0。 0：没有影响 1：软件产生一个同步参考脉冲信号
6	AUTOTRIM	硬件自动校准模式 该位由软件置位或清除。当该位置 1 时，硬件自动校准模式使能，通过硬件不断的自动修改 CTC_CTL0 中的 TRIMVALUE 值，直到 IRC48M 的时钟频率达到 48MHz。 0：禁止硬件自动校准模式 1：使能硬件自动校准模式
5	CNTEN	CTC 计数器使能 该位由软件置位或清除，用于使能或禁止 CTC 计数器。当该位置 1 时，不能修改 CTC_CTL1 的值。 0：禁止 CTC 计数器

		1：使能 CTC 计数器
4	保留	必须保持复位值。
3	EREFIE	期望参考信号中断使能 0：禁止期望参考信号产生中断 1：使能期望参考信号产生中断
2	ERRIE	错误中断使能 0：禁止错误中断 1：使能错误中断
1	CKWARNIE	时钟校准警告中断使能 0：禁止时钟校准警告中断 1：使能时钟校准警告中断
0	CKOKIE	时钟校准完成中断使能 0：禁止时钟校准完成中断 1：使能时钟校准完成中断

6.4.2. 控制寄存器 1(CTC_CTL1)

地址偏移：0x04
复位值：0x2022 BB7F

该寄存器只能按字(32位)访问。
注意：当CNTEN为1时，不能修改该寄存器的值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REFPOL	保留	REFSEL[1:0]		保留	REFPSC[2:0]			CKLIM[7:0]							
rw		rw			rw			rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RLVALUE[15:0]															
rw															

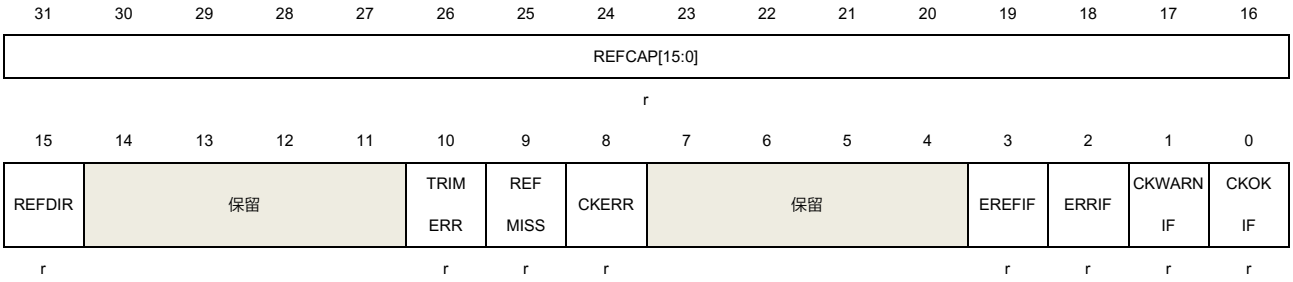
位/位域	名称	描述
31	REFPOL	参考信号源极性 该位由软件置位或清除，用于选择参考信号源的同步极性 0：选择上升沿 1：选择下降沿
30	保留	必须保持复位值。
29:28	REFSEL[1:0]	参考信号源选择 该位由软件置位或清除，用于选择参考信号源 00：选择 GPIO(CTC_SYNC)输入信号 01：选择 LXTAL 时钟 10：保留

		11：保留
27	保留	必须保持复位值。
26:24	REFPSC[2:0]	参考信号源预分频 该位由软件置位或清除 000：参考信号不分频 001：参考信号 2 分频 010：参考信号 4 分频 011：参考信号 8 分频 100：参考信号 16 分频 101：参考信号 32 分频 110：参考信号 64 分频 111：参考信号 128 分频
23:16	CKLIM[7:0]	时钟校准时基限值 该位由软件置位或清除，用于定义时钟校准时基限值。该位用于频率评估和自动校准过程，详细情况请参考*频率评估和自动校准过程*。
15:0	RLVALUE[15:0]	CTC 计数器重载值 该位由软件置位或清除，用于定义 CTC 计数器的重载值，当检测到一个同步参考脉冲时，该值将重载到 CTC 校准计数器中。

6.4.3. 状态寄存器(CTC_STAT)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:16	REFCAP[15:0]	CTC 计数器捕获值 当检测到一个同步参考脉冲信号时，CTC 校准计数器中的计数值被存入到 REFCAP 位中。
15	REFDIR	CTC 校准时钟计数方向 当检测到一个同步参考脉冲信号时，CTC 校准计数器的计数方向被存入 REFDIR 位中。 0：向上计数

		1：向下计数
14:11	保留	必须保持复位值。
10	TRIMERR	校准值错误位 当 CTC_CTL0 中的 TRIMVALUE 值发生上溢或下溢时，该位由硬件置位。若 CTC_CTL0 中的 ERRIE 位置 1，则会产生一个中断。通过写 1 到 CTC_INTC 中的 ERRIC 位，可以将 TRIMERR 位清零。 0：无校准值错误发生 1：发生校准值错误
9	REFMISS	同步参考脉冲信号丢失 当同步参考脉冲信号丢失时，该位由硬件置位。当 CTC 校准计数器在增计数的过程中计数到 128 x CKLIM 都没有检测到同步参考脉冲信号时，REFMISS 位置位。说明当前时钟太快,无法校准到期望频率值,或者有其他错误产生。通过写 1 到 CTC_INTC 中的 ERRIC 位，可以将 REFMISS 位清零。 0：无同步参考脉冲信号丢失 1：同步参考脉冲信号丢失
8	CKERR	时钟校准错误位 当时钟校准错误产生时，该位由硬件置位。当 CTC 校准计数器计数值在减计数的过程中大于或等于 128 x CKLIM，并检测到同步参考脉冲信号时，CKERR 置位，说明当前时钟太慢，无法校准到期望频率值。当 CTC_CTL0 中的 ERRIE 置 1 时，产生一个中断。通过写 1 到 CTC_INTC 中的 ERRIC 位，可以将 CKERR 位清零。 0：无时钟校准错误发生 1：发生时钟校准错误
7:4	保留	必须保持复位值。
3	EREFIF	期望参考中断标志位 当 CTC 校准时钟计数器计数到 0 时，该位由硬件置位。当 CTC_CTL0 中的 EREFIE 置 1 时，产生一个中断。通过写 1 到 CTC_INTC 中的 EREFIC 位，可以将 EREFIF 位清零。 0：无期望参考信号产生 1：期望参考信号产生
2	ERRIF	错误中断标志位 当发生一个错误时，该位由硬件置位。只要有 TRIMERR，REFMISS 或者 CKERR 错误发生时，该位置位。当 CTC_CTL0 中的 ERRIE 置位时，产生一个中断。通过写 1 到 CTC_INTC 中的 ERRIC 位，可以将 ERRIF 位清零。 0：无错误发生 1：发生错误
1	CKWARNIF	时钟校准警告中断标志位 当时钟校准警告产生时，该位由硬件置位。当 CTC 校准计数器计数值大于或等于 3 x CKLIM 且小于 128 x CKLIM，并检测到同步参考脉冲信号时，CKWARNIF 置位。这说明当前时钟频率太慢或者太快，但可以通过校准达到期望频率值。当时钟校准警告产生时，TRIMVALUE 值加 2 或者减 2。当 CTC_CTL0 中的 CKWARNIE 置 1 时，

		产生一个中断。通过写 1 到 CTC_INTC 中的 CKWARNIC 位，可以将 CKWARNIF 位清零。 0：无时钟校准警告发生 1：有时钟校准警告发生
0	CKOKIF	时钟校准成功中断标志位 当时钟校准成功时，该位由硬件置位。若在 CTC 校准计数器计数值小于 3 x CKLIM 时，检测当同步参考脉冲信号，CKOKIF 置位。说明当前时钟频率正常，可以使用，不需要通过 TRIMVALUE 值进行时钟校准。当 CTC_CTL0 中的 CKOKIE 置 1 时，产生一个中断。通过写 1 到 CTC_INTC 中的 CKOKIC 位，可以将 CKOKIF 位清零。 0：时钟校准未成功 1：时钟校准成功

6.4.4. 中断清除寄存器(CTC_INTC)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												EREFIC	ERRIC	CKWARNIC	CKOKIC
												w	w	w	w

位/位域	名称	描述
31:4	保留	必须保持复位值。
3	EREFIC	EREFIF 中断清除位 该位只能由软件写，读操作返回 0。写 1 可以清除 CTC_STAT 中的 EREFIF 位，写 0 没影响。
2	ERRIC	ERRIF 中断清除位 该位只能由软件写，读操作返回 0。写 1 可以清除 CTC_STAT 中的 ERRIF 位，TRIMERR 位，REFMISS 位和 CKERR 位，写 0 没影响。
1	CKWARNIC	CKWARNIF 中断清除位 该位只能由软件写，读操作返回 0。写 1 可以清除 CTC_STAT 中的 CKWARNIF 位，写 0 没影响。
0	CKOKIC	CKOKIF 中断清除位 该位只能由软件写，读操作返回 0。写 1 可以清除 CTC_STAT 中的 CKOKIF 位，写 0 没影响。

7. 中断/事件控制器(EXTI)

7.1. 简介

Cortex®-M33 集成了嵌套式矢量型中断控制器(Nested Vectored Interrupt Controller (NVIC))来实现高效的异常和中断处理。NVIC 实现了低延迟的异常和中断处理，以及电源管理控制。它和内核是紧密耦合的。更多关于 NVIC 的说明请参考《 Cortex®-M33 技术参考手册 》。

EXTI(中断/事件控制器)包括 26 个相互独立的边沿检测电路并且能够向处理器内核产生中断请求或唤醒事件。EXTI 有三种触发类型：上升沿触发、下降沿触发和任意沿触发。EXTI 中的每一个边沿检测电路都可以独立配置和屏蔽。

7.2. 主要特征

- Cortex®-M33系统异常；
- 104种可屏蔽的外设中断；
- 4位中断优先级配置位，可提供16个中断优先等级；
- 高效的中断处理；
- 支持异常抢占和咬尾中断；
- 将系统从省电模式唤醒；
- EXTI中有26个相互独立的边沿检测电路；
- 3种触发类型：上升沿触发，下降沿触发和任意沿触发；
- 软件中断或事件触发；
- 可配置的触发源。

7.3. 中断功能描述

Arm® Cortex®-M33处理器和嵌套式矢量型中断控制器(NVIC)在处理(Handler)模式下对所有异常进行优先级区分以及处理。当异常发生时，系统自动将当前处理器工作状态压栈，在执行完中断服务子程序(ISR)后自动将其出栈。

取向量是和当前工作态压栈并行进行的，从而提高了中断入口效率。处理器支持咬尾中断，可实现背靠背中断，大幅削减了反复切换工作态所带来的开销。*表 7-1. Cotrex-M33 中的 NVIC 异常类型*和*表 7-2. 中断向量表*列出了所有的异常类型。

表 7-1. Cotrex-M33 中的 NVIC 异常类型

异常类型	向量编号	优先级(a)	向量地址	描述
-	0	-	0x0000_0000	保留
复位	1	-3	0x0000_0004	复位
NMI	2	-2	0x0000_0008	不可屏蔽中断
硬件故障	3	-1	0x0000_000C	各种硬件级别的故障

异常类型	向量编号	优先级(a)	向量地址	描述
存储器管理	4	可编程设置	0x0000_0010	存储器管理
总线故障	5	可编程设置	0x0000_0014	预取指故障，存储器访问故障
用法故障	6	可编程设置	0x0000_0018	未定义的指令或非法状态
-	7-10	-	0x0000_001C - 0x0000_002B	保留
SVCall 服务调用	11	可编程设置	0x0000_002C	通过 SWI 指令实现系统服务调用
调试监控	12	可编程设置	0x0000_0030	调试监视器
-	13	-	0x0000_0034	保留
PendSV 挂起服务	14	可编程设置	0x0000_0038	可挂起的系统服务请求
系统节拍	15	可编程设置	0x0000_003C	系统节拍定时器

表 7-2. 中断向量表

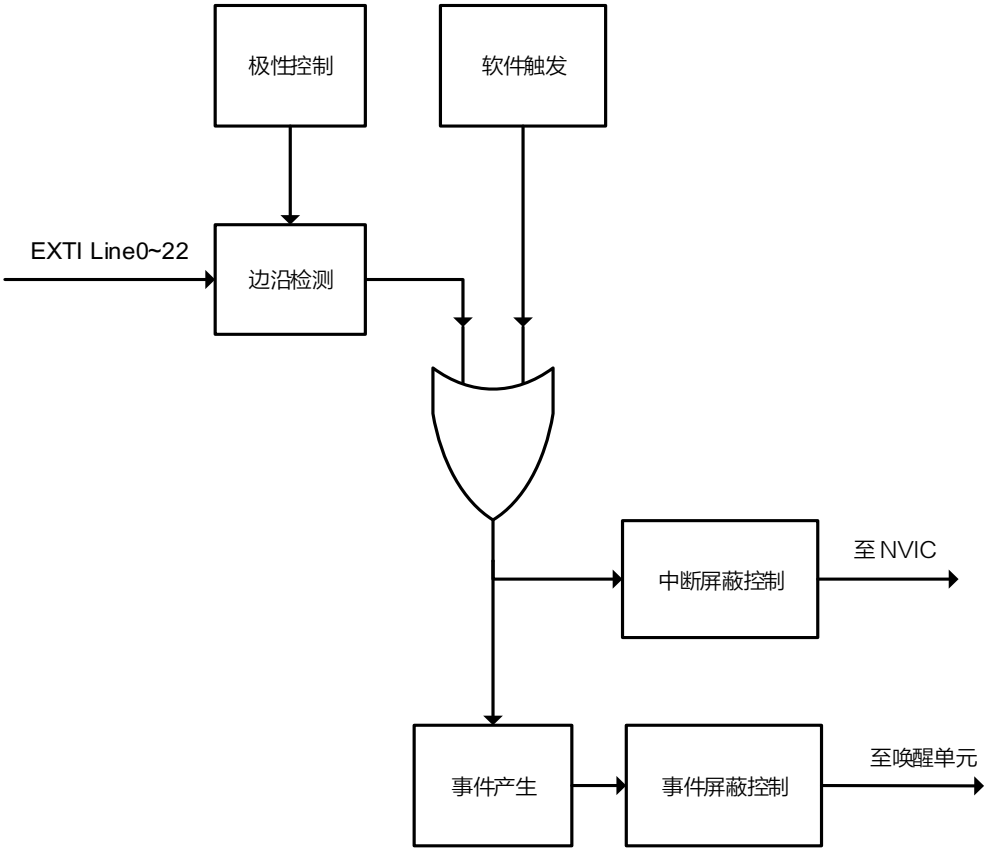
中断编号	向量编号	外设中断描述	向量地址
IRQ 0	16	窗口看门狗中断	0x0000_0040
IRQ 1	17	连接到 EXTI 线的 LVD 中断	0x0000_0044
IRQ 2	18	连接到 EXTI 线的 RTC 侵入和时间戳中断	0x0000_0048
IRQ 3	19	连接到 EXTI 线的 RTC 唤醒中断	0x0000_004C
IRQ 4	20	FMC 全局中断	0x0000_0050
IRQ 5	21	RCU 和 CTC 中断	0x0000_0054
IRQ 6	22	EXTI 线 0 中断	0x0000_0058
IRQ 7	23	EXTI 线 1 中断	0x0000_005C
IRQ 8	24	EXTI 线 2 中断	0x0000_0060
IRQ 9	25	EXTI 线 3 中断	0x0000_0064
IRQ 10	26	EXTI 线 4 中断	0x0000_0068
IRQ 11	27	DMA0 通道 0 全局中断	0x0000_006C
IRQ 12	28	DMA0 通道 1 全局中断	0x0000_0070
IRQ 13	29	DMA0 通道 2 全局中断	0x0000_0074
IRQ 14	30	DMA0 通道 3 全局中断	0x0000_0078
IRQ 15	31	DMA0 通道 4 全局中断	0x0000_007C
IRQ 16	32	DMA0 通道 5 全局中断	0x0000_0080
IRQ 17	33	DMA0 通道 6 全局中断	0x0000_0084
IRQ 18	34	ADC 全局中断	0x0000_0088
IRQ 19	35	CAN0 TX 中断	0x0000_008C
IRQ 20	36	CAN0 RX0 中断	0x0000_0090
IRQ 21	37	CAN0 RX1 中断	0x0000_0094
IRQ 22	38	CAN0 EWMC 中断	0x0000_0098
IRQ 23	39	EXTI 线[9:5]中断	0x0000_009C
IRQ 24	40	TIMER0 中止中断和 TIMER8 全局中断	0x0000_00A0
IRQ 25	41	TIMER0 更新中断和 TIMER9 全局中断	0x0000_00A4

中断编号	向量编号	外设中断描述	向量地址
IRQ 26	42	TIMER0 触发与通道换相中断和 TIMER10 全局中断	0x0000_00A8
IRQ 27	43	TIMER0 捕获比较中断	0x0000_00AC
IRQ 28	44	TIMER1 全局中断	0x0000_00B0
IRQ 29	45	TIMER2 全局中断	0x0000_00B4
IRQ 30	46	TIMER3 全局中断	0x0000_00B8
IRQ 31	47	I2C0 事件中断	0x0000_00BC
IRQ 32	48	I2C0 错误中断	0x0000_00C0
IRQ 33	49	I2C1 事件中断	0x0000_00C4
IRQ 34	50	I2C1 错误中断	0x0000_00C8
IRQ 35	51	SPI0 全局中断	0x0000_00CC
IRQ 36	52	SPI1 全局中断	0x0000_00D0
IRQ 37	53	USART0 全局中断	0x0000_00D4
IRQ 38	54	USART1 全局中断	0x0000_00D8
IRQ 39	55	USART2 全局中断	0x0000_00DC
IRQ 40	56	EXTI 线[15:10]中断	0x0000_00E0
IRQ 41	57	连接到 EXTI 线的 RTC 闹钟中断	0x0000_00E4
IRQ 42	58	连接到 EXTI 线的 USBFS 唤醒中断	0x0000_00E8
IRQ 43	59	TIMER7 中止中断和 TIMER11 全局中断	0x0000_00EC
IRQ 44	60	TIMER7 更新中断和 TIMER12 全局中断	0x0000_00F0
IRQ 45	61	TIMER7 触发与通道换相中断和 TIMER13 全局中断	0x0000_00F4
IRQ 46	62	TIMER7 捕获比较中断	0x0000_00F8
IRQ 47	63	DMA0 通道 7 全局中断	0x0000_00FC
IRQ 48	64	EXMC 全局中断	0x0000_0100
IRQ 49	65	SDIO 全局中断	0x0000_0104
IRQ 50	66	TIMER4 全局中断	0x0000_0108
IRQ 51	67	SPI2 全局中断	0x0000_010C
IRQ 52	68	UART3 全局中断	0x0000_0110
IRQ 53	69	UART4 全局中断	0x0000_0114
IRQ 54	70	TIMER5 全局中断 DAC0_OUT0，DAC0_OUT1 下溢错误中断	0x0000_0118
IRQ 55	71	TIMER6 全局中断	0x0000_011C
IRQ 56	72	DMA1 通道 0 全局中断	0x0000_0120
IRQ 57	73	DMA1 通道 1 全局中断	0x0000_0124
IRQ 58	74	DMA1 通道 2 全局中断	0x0000_0128
IRQ 59	75	DMA1 通道 3 全局中断	0x0000_012C
IRQ 60	76	DMA1 通道 4 全局中断	0x0000_0130
IRQ 61	77	以太网全局中断	0x0000_0134
IRQ 62	78	连接到 EXTI 线的以太网唤醒中断	0x0000_0138
IRQ 63	79	CAN1 TX 中断	0x0000_013C

中断编号	向量编号	外设中断描述	向量地址
IRQ 64	80	CAN1 RX0 中断	0x0000_0140
IRQ 65	81	CAN1 RX1 中断	0x0000_0144
IRQ 66	82	CAN1 EWMC 中断	0x0000_0148
IRQ 67	83	USBFS 全局中断	0x0000_014C
IRQ 68	84	DMA1 通道 5 全局中断	0x0000_0150
IRQ 69	85	DMA1 通道 6 全局中断	0x0000_0154
IRQ 70	86	DMA1 通道 7 全局中断	0x0000_0158
IRQ 71	87	USART5 全局中断	0x0000_015C
IRQ 72	88	I2C2 事件中断	0x0000_0160
IRQ 73	89	I2C2 错误中断	0x0000_0164
IRQ 74	90	USBHS 端点 1 输出中断	0x0000_0168
IRQ 75	91	USBHS 端点 1 输入中断	0x0000_016C
IRQ 76	92	连接到 EXTI 线的 USBHS 唤醒中断	0x0000_0170
IRQ 77	93	USBHS 全局中断	0x0000_0174
IRQ78	94	DCI 全局中断	0x0000_0178
IRQ79	95	保留	0x0000_017C
IRQ80	96	TRNG 全局中断	0x0000_0180
IRQ 81	97	FPU 全局中断	0x0000_0184
IRQ82	98	UART6 全局中断	0x0000_0188
IRQ83	99	UART7 全局中断	0x0000_018C
IRQ84	100	SPI3 全局中断	0x0000_0190
IRQ85	101	SPI4 全局中断	0x0000_0194
IRQ86	102	SPI5 全局中断	0x0000_0198
IRQ87	103	SAI 全局中断	0x0000_019C
IRQ88	104	TLI 全局中断	0x0000_01A0
IRQ89	105	TLI 错误中断	0x0000_01A4
IRQ90	106	IPA 全局中断	0x0000_01A8
IRQ91	107	PKCAU 全局中断	0x0000_01AC
IRQ92	108	I2C3 事件中断	0x0000_01B0
IRQ93	109	I2C3 错误中断	0x0000_01B4
IRQ94	110	I2C4 事件中断	0x0000_01B8
IRQ95	111	I2C4 错误中断	0x0000_01BC
IRQ96	112	I2C5 事件中断	0x0000_01C0
IRQ97	113	I2C5 错误中断	0x0000_01C4
IRQ98	114	连接到 EXTI 线的 I2C3 唤醒中断	0x0000_01C8
IRQ99	115	连接到 EXTI 线的 I2C4 唤醒中断	0x0000_01CC
IRQ100	116	连接到 EXTI 线的 I2C5 唤醒中断	0x0000_01D0
IRQ101	117	SYSCFG ECC 单比特错误中断	0x0000_01D4
IRQ102	118	HAU 全局中断	0x0000_01D8
IRQ103	119	CAU 全局中断	0x0000_01DC

7.4. 结构框图

图 7-1. EXTI 的结构框图



7.5. 外部中断及事件功能概述

EXTI包含26个相互独立的边沿检测电路并且可以向处理器产生中断请求或事件唤醒。EXTI提供3种触发类型：上升沿触发，下降沿触发和任意沿触发。EXTI中每个边沿检测电路都可以分别予以配置或屏蔽。

EXTI触发源包括来自I/O管脚的16根线以及来自内部模块的10根线，具体细节参考*表7-3. EXTI触发源*。通过配置SYSCFG_EXTISSx寄存器，所有的GPIO管脚都可以被选作EXTI的触发源，具体细节请参考*系统配置寄存器(SYSCFG)*。

除了中断，EXTI还可以向处理器提供事件信号。Cortex®-M33内核完全支持等待中断(WFI)，等待事件(WFE)和发送事件(SEV)指令。芯片内部有一个唤醒中断控制器(WIC)，用户可以让处理器和NVIC进入功耗极低的省电模式，由WIC来识别中断和事件以及判断优先级。当某些预期的事件发生时，例如一个特定的I/O管脚电平翻转或者RTC闹钟动作，EXTI能唤醒处理器及整个系统。

硬件触发

硬件触发被用来检测外部或内部信号的电压变化。软件需要按如下步骤配置来使用这项功能：

1. 根据应用需要配置 SYSCFG 模块中的 EXTI 触发源；
2. 配置 EXTI_RTEN 寄存器和 EXTI_FTEN 寄存器以使能相应引脚的上升沿或下降沿检测(软件应当同时配置引脚对应的 RTENx 和 FTENx 位以检测该引脚上升沿和下降沿的变化)；
3. 通过配置引脚对应的 EXTI_INTEN 或 EXTI_EVEN 位，使能中断或事件；
4. EXTI 开始检测被配置的引脚上的电平变化，当这些引脚上期望的变化被检测到时，使能的中断或事件将被触发。如果为中断触发，则对应的 PD 位将立刻被置 1；如果为事件触发，则对应的 PD 位不被置 1。软件需要响应该中断或事件并清除相应 PDx 位。

软件触发

按照如下步骤软件也可以触发 EXTI 中断或事件：

1. 配置对应的 EXTI_INTEN 或 EXTI_EVEN 位使能中断或事件；
2. 配置 EXTI_SWIEV 寄存器的对应 SWIEVx 位，使能的中断或事件将被立即触发。如果为中断触发，则对应的 PD 位将立刻被置 1；如果为事件触发，则对应的 PD 位不被置 1。软件需要响应该中断或事件并清除相应 PDx 位。

表 7-3. EXTI 触发源

EXTI 线编号	触发源
0	PA0 / PB0 / PC0 / PD0 / PE0 / PF0 / PG0 / PH0 / PI0
1	PA1 / PB1 / PC1 / PD1 / PE1 / PF1 / PG1 / PH1 / PI1
2	PA2 / PB2 / PC2 / PD2 / PE2 / PF2 / PG2 / PH2 / PI2
3	PA3 / PB3 / PC3 / PD3 / PE3 / PF3 / PG3 / PH3 / PI3
4	PA4 / PB4 / PC4 / PD4 / PE4 / PF4 / PG4 / PH4 / PI4
5	PA5 / PB5 / PC5 / PD5 / PE5 / PF5 / PG5 / PH5 / PI5
6	PA6 / PB6 / PC6 / PD6 / PE6 / PF6 / PG6 / PH6 / PI6
7	PA7 / PB7 / PC7 / PD7 / PE7 / PF7 / PG7 / PH7 / PI7
8	PA8 / PB8 / PC8 / PD8 / PE8 / PF8 / PG8 / PH8 / PI8
9	PA9 / PB9 / PC9 / PD9 / PE9 / PF9 / PG9 / PH9 / PI9
10	PA10 / PB10 / PC10 / PD10 / PE10 / PF10 / PG10 / PH10 / PI10
11	PA11 / PB11 / PC11 / PD11 / PE11 / PF11 / PG11 / PH11 / PI11
12	PA12 / PB12 / PC12 / PD12 / PE12 / PF12 / PG12 / PH12
13	PA13 / PB13 / PC13 / PD13 / PE13 / PF13 / PG13 / PH13
14	PA14 / PB14 / PC14 / PD14 / PE14 / PF14 / PG14 / PH14
15	PA15 / PB15 / PC15 / PD15 / PE15 / PF15 / PG15 / PH15
16	LVD
17	RTC 闹钟
18	USBFS 唤醒
19	Ethernet 唤醒

EXTI 线编号	触发源
20	USBHS 唤醒
21	RTC 侵入和时间戳事件
22	RTC 唤醒
23	I2C3 唤醒
24	I2C4 唤醒
25	I2C5 唤醒

7.6. EXTI 寄存器

EXTI 基地址：0x4001 3C00

7.6.1. 中断使能寄存器(EXTI_INTEN)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						INTEN25	INTEN24	INTEN23	INTEN22	INTEN21	INTEN20	INTEN19	INTEN18	INTEN17	INTEN16
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTEN15	INTEN14	INTEN13	INTEN12	INTEN11	INTEN10	INTEN9	INTEN8	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	INTENx	中断使能位x(x = 0…25) 0：第x线中断被禁用 1：第x线中断被使能

7.6.2. 事件使能寄存器(EXTI_EVEN)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						EVEN25	EVEN24	EVEN23	EVEN22	EVEN21	EVEN20	EVEN19	EVEN18	EVEN17	EVEN16
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EVEN15	EVEN14	EVEN13	EVEN12	EVEN11	EVEN10	EVEN9	EVEN8	EVEN7	EVEN6	EVEN5	EVEN4	EVEN3	EVEN2	EVEN1	EVEN0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	EVENx	事件使能位x(x = 0…25) 0：第x线事件被禁用 1：第x线事件被使能

7.6.3. 上升沿触发使能寄存器(EXTI_RTEN)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						RTEN25	RTEN24	RTEN23	RTEN22	RTEN21	RTEN20	RTEN19	RTEN18	RTEN17	RTEN16
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTEN15	RTEN14	RTEN13	RTEN12	RTEN11	RTEN10	RTEN9	RTEN8	RTEN7	RTEN6	RTEN5	RTEN4	RTEN3	RTEN2	RTEN1	RTEN0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	RTENx	上升沿触发使能x(x = 0…25) 0：第x线上升沿触发无效 1：第x线上升沿触发有效(中断/事件请求)

7.6.4. 下降沿触发使能寄存器(EXTI_FTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						FTEN25	FTEN24	FTEN23	FTEN22	FTEN21	FTEN20	FTEN19	FTEN18	FTEN17	FTEN16
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FTEN15	FTEN14	FTEN13	FTEN12	FTEN11	FTEN10	FTEN9	FTEN8	FTEN7	FTEN6	FTEN5	FTEN4	FTEN3	FTEN2	FTEN1	FTEN0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	FTENx	下降沿触发使能x(x = 0…25) 0：第x线下降沿触发无效 1：第x线下降沿触发有效(中断/事件请求)

7.6.5. 软件中断事件寄存器(EXTI_SWIEV)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						SWIEV25	SWIEV24	SWIEV23	SWIEV22	SWIEV21	SWIEV20	SWIEV19	SWIEV18	SWIEV17	SWIEV16
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIEV15	SWIEV14	SWIEV13	SWIEV12	SWIEV11	SWIEV10	SWIEV9	SWIEV8	SWIEV7	SWIEV6	SWIEV5	SWIEV4	SWIEV3	SWIEV2	SWIEV1	SWIEV0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	SWIEVx	中断/事件软件触发x(x = 0…25) 0：禁用EXTI线x软件中断/事件请求 1：激活EXTI线x软件中断/事件请求

7.6.6. 挂起寄存器(EXTI_PD)

地址偏移：0x14

复位值：0xXXXX XXXX X表示未定义

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						PD25	PD24	PD23	PD22	PD21	PD20	PD19	PD18	PD17	PD16
						rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31:26	保留	必须保持复位值。
25:0	PDx	中断挂起状态x(x = 0…25) 0：EXTI线x没有被触发 1：EXTI线x被触发 对这些位写1，可将其清0。

8. 通用和备用输入/输出接口(GPIO 和 AFIO)

8.1. 简介

最多可支持 140 个通用 I/O 引脚(GPIO)，分别为 PA0 ~ PA15，PB0 ~ PB15，PC0 ~ PC15，PD0 ~ PD15，PE0 ~ PE15，PF0 ~ PF15，PG0 ~ PG15，PH0 ~ PH15 和 PI0 ~ PI11，各片上设备用其来实现逻辑输入 / 输出功能。每个 GPIO 端口有相关的控制和配置寄存器以满足特定应用的需求。GPIO 引脚上的外部中断在中断 / 事件控制器(EXTI)中有相关的控制和配置寄存器。

GPIO 端口和其他的备用功能(AFs)共用引脚，在特定的封装下获得最大的灵活性。GPIO 引脚通过配置相关的寄存器可以用作备用功能引脚，备用功能输入 / 输出都可以。

每个 GPIO 引脚可以由软件配置为输出(推挽或开漏)、输入、外设备用功能或者模拟模式。每个 GPIO 引脚都可以配置为上拉、下拉或无上拉 / 下拉。除模拟模式外，所有的 GPIO 引脚都具备大电流驱动能力。

8.2. 主要特性

- 输入/输出方向控制；
- 施密特触发器输入功能使能控制；
- 每个引脚都具有弱上拉/下拉功能；
- 推挽/开漏输出使能控制；
- 置位/复位输出使能；
- 可编程触发沿的外部中断-使用EXTI配置寄存器
- 模拟输入/输出配置；
- 备用功能输入/输出配置；
- 端口锁定配置；
- 单周期输出翻转功能。

8.3. 功能描述

每个通用 I/O 端口都可以通过 32 位控制寄存器(GPIOx_CTL)配置为 GPIO 输入，GPIO 输出，AF 功能或模拟模式。当选择 AF 功能时，引脚 AF 输入/输出是通过 AF 功能输出使能来选择。当端口配置为输出(GPIO 输出或 AFIO 输出)时，可以通过 GPIO 输出模式寄存器(GPIOx_OMODE)配置为推挽或开漏模式。输出端口的最大速度可以通过 GPIO 输出速度寄存器(GPIOx_OSPD)配置。每个端口可以通过 GPIO 上/下拉寄存器(GPIOx_PUD)配置为浮空(无上拉或下拉)，上拉或下拉功能。

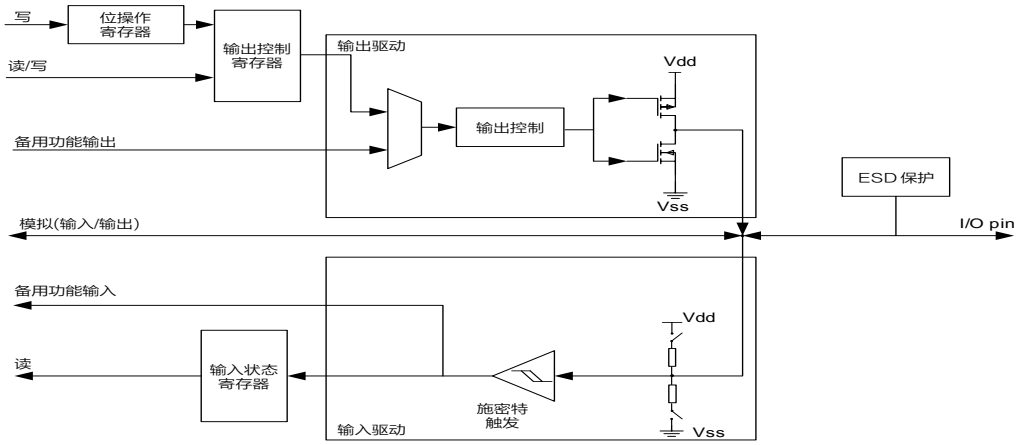
表 8-1. GPIO 配置表

PAD TYPE			CTLy	OMy	PUDy
GPIO 输入	X	浮空	00	X	00
		上拉			01

PAD TYPE			CTLy	OMy	PUDy
		下拉			10
GPIO 输出	推挽	浮空	01	0	00
		上拉			01
		下拉			10
	开漏	浮空		1	00
		上拉			01
		下拉			10
AFIO 输入	X	浮空	10	X	00
		上拉			01
		下拉			10
AFIO 输出	推挽	浮空	10	0	00
		上拉			01
		下拉			10
	开漏	浮空		1	00
		上拉			01
		下拉			10
模拟	X	X	11	X	XX

*图 8-1. GPIO 端口位的基本结构*为标准 I/O 端口位的基本结构图。

图 8-1. GPIO 端口位的基本结构



8.3.1. GPIO 引脚配置

在复位期间或复位之后，备用功能并未激活，所有 GPIO 端口都被配置成输入浮空模式，这种输入模式禁用上拉(PU)/下拉(PD)电阻。但是复位后，串行线调试端口(JTAG/Serial-Wired Debug pins)为输入 PU/PD 模式：

PA15：JTDI 为上拉模式；
PA14：JTCK / SWCLK 为下拉模式；
PA13：JTMS / SWDIO 为上拉模式；
PB4：NJTRST 为上拉模式。

PB3：JTDO 为浮空模式。

GPIO 引脚可以配置为输入或输出模式，当 GPIO 引脚可配置为输入引脚时，所有的 GPIO 引脚内部都有一个可选择的弱上拉和弱下拉电阻。外部引脚上的数据在每个 AHB 时钟周期时都会装载到数据输入寄存器(GPIOx_ISTAT)。

当 GPIO 引脚配置为输出引脚，用户可以配置端口的输出速度和选择输出驱动模式：推挽或开漏模式。输出寄存器(GPIOx_OCTL)的值将会从相应 I/O 引脚上输出。

当对 GPIOx_OCTL 进行位操作时，不需要先读再写，用户可以通过写'1'到位操作寄存器(GPIOx_BOP，或用于清 0 的 GPIOx_BC，或用于翻转操作的 GPIOx_TG)修改一位或几位，该过程仅需要一个最小的 AHB 写访问周期，而其他位不受影响。

8.3.2. 外部中断/事件线

只有在输入模式下配置，端口才能使用外部中断/事件线。

8.3.3. 备用功能(AF)

当端口配置为 AFIO(设置 GPIOx_CTL 寄存器中的 CTLy 值为"0b10")时，该端口用作外设备用功能。通过配置 GPIO 备用功能选择寄存器(GPIOx_AFSELz(z=0,1))，每个端口可以配置 16 个备用功能。端口备用功能分配的详细介绍见芯片数据手册。

8.3.4. 附加功能

有些引脚具有附加功能，它们优先于标准 GPIO 寄存器中的配置。当用作 ADC 或 DAC 附加功能时，引脚必须配置成模拟模式。当引脚用作 RTC、WKUPx 和振荡器附加功能时，端口类型通过相关的 RTC、PMU 和 RCU 寄存器自动设置。当附加功能禁用时，这些端口可用作普通 GPIO。

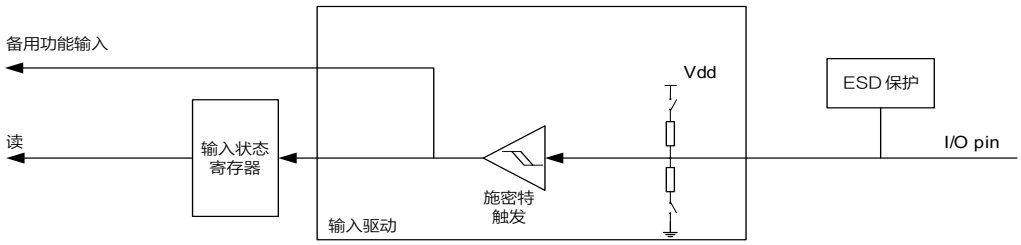
8.3.5. 输入配置

当 GPIO 引脚配置为输入时：

- 施密特触发输入使能；
- 可选择的弱上拉和下拉电阻；
- 当前I/O引脚上的数据在每个AHB时钟周期都会被采样并存入端口输入状态寄存器；
- 输出缓冲器禁用。

*图 8-2. 输入配置的基本结构*显示 I/O 引脚的输入配置。

图 8-2. 输入配置的基本结构



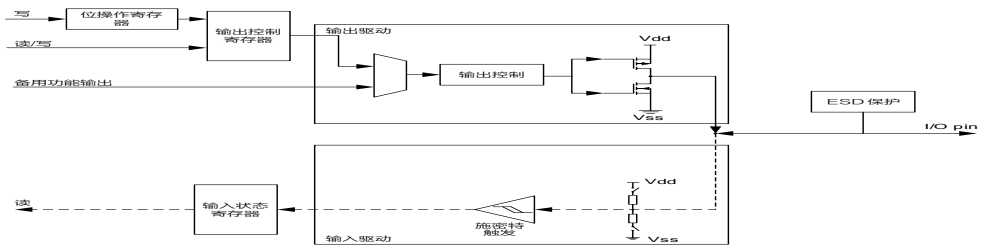
8.3.6. 输出配置

当 GPIO 配置为输出时：

- 施密特触发输入使能；
- 可选择的弱上拉和下拉电阻；
- 输出缓冲器使能；
- 开漏模式：输出控制寄存器设置为"0"时，相应引脚输出低电平；输出控制寄存器设置 为"1"，相应管脚处于高阻状态；
- 推挽模式：输出控制寄存器设置为"0"时，相应引脚输出低电平；输出控制寄存器设置为"1"，相应引脚输出高电平；
- 对端口输出控制寄存器进行读操作，将返回上次写入的值；
- 对端口输入状态寄存器进行读操作，将获得当前I/O口的状态。

*图 8-3. 输出配置的基本结构*是 I/O 端口的输出配置。

图 8-3. 输出配置的基本结构



8.3.7. 模拟配置

当 GPIO 引脚用于模拟模式时：

- 弱上拉和下拉电阻禁用；
- 输出缓冲器禁用；
- 施密特触发输入禁用；
- 端口输入状态寄存器相应位为"0"。

*图 8-4. 模拟配置的基本结构*是 I/O 端口的模拟模式配置。

图 8-4. 模拟配置的基本结构



8.3.8. 备用功能(AF)配置

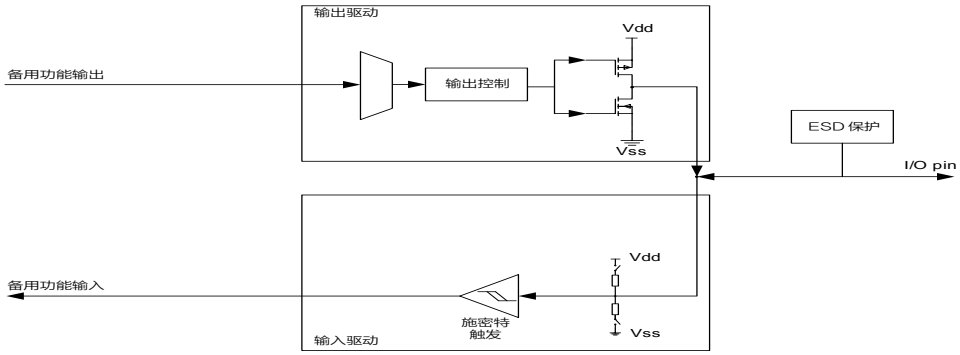
为了适应不同的器件封装，GPIO 端口支持软件配置将一些备用功能应用到其他引脚上。

当引脚配置为备用功能时：

- 使用开漏或推挽功能时，可使能输出缓冲器；
- 输出缓冲器由外设驱动；
- 施密特触发输入使能；
- 在输入配置时，可选择的弱上拉/下拉电阻；
- I/O引脚上的数据在每个AHB时钟周期采样并存入端口输入状态寄存器；
- 对端口输入状态寄存器进行读操作，将获得I/O口的状态；
- 对端口输出控制寄存器进行读操作，将返回上次写入的值。

*图 8-5. 备用功能配置的基本结构*是 I/O 端口备用功能配置图。

图 8-5. 备用功能配置的基本结构



8.3.9. GPIO 锁定功能

GPIO 的锁定机制可以保护 I/O 端口的配置。

被保护的寄存器有：GPIOx_CTL，GPIOx_OMODE，GPIOx_OSPD，GPIOx_PUD 和 GPIOx_AFSELz(z=0,1)。通过配置 32 位锁定寄存器(GPIOx_LOCK)可以锁定 I/O 端口的配置。通过特定的锁定序列配置 GPIOx_LOCK 中的 LKK 位和 LKy 位，相应的端口位被锁定，直到下一个复位前，相应端口位的配置都不能修改。建议在电源驱动模块的配置中使用锁定功能。

8.3.10. GPIO 单周期输出翻转功能

通过将 GPIOx_TG 寄存器中对应的位写 1，GPIO 可以在一个 AHB 时钟周期内翻转 I/O 的输出电平。输出信号的频率可以达到 AHB 时钟的一半。

8.4. GPIO 寄存器

GPIOA 基地址：0x4002 0000

GPIOB 基地址：0x4002 0400

GPIOC 基地址：0x4002 0800

GPIOD 基地址：0x4002 0C00

GPIOE 基地址：0x4002 1000

GPIOF 基地址：0x4002 1400

GPIOG 基地址：0x4002 1800

GPIOH 基地址：0x4002 1C00

GPIOI 基地址：0x4002 2000

8.4.1. 端口控制寄存器(GPIOx_CTL, x=A…I)

地址偏移：0x00
复位值：端口 A 0xA800 0000；端口 B 0x0000 0280；其他端口 0x0000 0000。

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16
CTL15[1:0]	CTL14[1:0]	CTL13[1:0]	CTL12[1:0]	CTL11[1:0]	CTL10[1:0]	CTL9[1:0]	CTL8[1:0]
rw	rw	rw	rw	rw	rw	rw	rw

15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
CTL7[1:0]	CTL6[1:0]	CTL5[1:0]	CTL4[1:0]	CTL3[1:0]	CTL2[1:0]	CTL1[1:0]	CTL0[1:0]
rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:30	CTL15[1:0]	Pin 15 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
29:28	CTL14[1:0]	Pin 14 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
27:26	CTL13[1:0]	Pin 13 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
25:24	CTL12[1:0]	Pin 12 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述

23:22	CTL11[1:0]	Pin 11 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
21:20	CTL10[1:0]	Pin 10 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
19:18	CTL9[1:0]	Pin 9 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
17:16	CTL8[1:0]	Pin 8 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
15:14	CTL7[1:0]	Pin 7 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
13:12	CTL6[1:0]	Pin 6 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
11:10	CTL5[1:0]	Pin 5 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
9:8	CTL4[1:0]	Pin 4 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
7:6	CTL3[1:0]	Pin 3 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
5:4	CTL2[1:0]	Pin 2 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
3:2	CTL1[1:0]	Pin 1 配置位 该位由软件置位和清除。 参考 CTL0[1:0]的描述
1:0	CTL0[1:0]	Pin 0 配置位 该位由软件置位和清除。 00：GPIO 输入模式(复位值) 01：GPIO 输出模式 10：备用功能描述

11：模拟模式(输入和输出)

8.4.2. 端口输出模式寄存器(GPIOx_OMODE, x=A…I)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OM15	OM14	OM13	OM12	OM11	OM10	OM9	OM8	OM7	OM6	OM5	OM4	OM3	OM2	OM1	OM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	OM15	Pin 15 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
14	OM14	Pin 14 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
13	OM13	Pin 13 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
12	OM12	Pin 12 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
11	OM11	Pin 11 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
10	OM10	Pin 10 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
9	OM9	Pin 9 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
8	OM8	Pin 8 输出模式位 该位由软件置位和清除。

		参考 OM0 的描述
7	OM7	Pin 7 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
6	OM6	Pin 6 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
5	OM5	Pin 5 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
4	OM4	Pin 4 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
3	OM3	Pin 3 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
2	OM2	Pin 2 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
1	OM1	Pin 1 输出模式位 该位由软件置位和清除。 参考 OM0 的描述
0	OM0	Pin 0 输出模式位 该位由软件置位和清除。 0：端口输出推挽模式(复位值) 1：端口输出开漏模式

8.4.3. 端口输出速度寄存器(GPIOx_OSPD, x=A…I)

地址偏移：0x08

复位值：端口 A 0x0C00 0000；端口 B 0x0000 00C0；其他端口 0x0000 0000。

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16
OSPD15[1:0]	OSPD14[1:0]	OSPD13[1:0]	OSPD12[1:0]	OSPD11[1:0]	OSPD10[1:0]	OSPD9[1:0]	OSPD8[1:0]
rw	rw	rw	rw	rw	rw	rw	rw
15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
OSPD7[1:0]	OSPD6[1:0]	OSPD5[1:0]	OSPD4[1:0]	OSPD3[1:0]	OSPD2[1:0]	OSPD1[1:0]	OSPD0[1:0]
rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:30	OSPD15[1:0]	Pin 15 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
29:28	OSPD14[1:0]	Pin 14 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
27:26	OSPD13[1:0]	Pin 13 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
25:24	OSPD12[1:0]	Pin 12 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
23:22	OSPD11[1:0]	Pin 11 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
21:20	OSPD10[1:0]	Pin 10 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
19:18	OSPD9[1:0]	Pin 9 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
17:16	OSPD8[1:0]	Pin 8 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
15:14	OSPD7[1:0]	Pin 7 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
13:12	OSPD6[1:0]	Pin 6 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
11:10	OSPD5[1:0]	Pin 5 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
9:8	OSPD4[1:0]	Pin 4 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
7:6	OSPD3[1:0]	Pin 3 输出最大速度位

该位由软件置位和清除。
参考 OSPD0[1:0]的描述

5:4	OSPD2[1:0]	Pin 2 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
3:2	OSPD1[1:0]	Pin 1 输出最大速度位 该位由软件置位和清除。 参考 OSPD0[1:0]的描述
1:0	OSPD0[1:0]	Pin 0 输出最大速度位 该位由软件置位和清除。 00：输出速度等级 0(复位值) 01：输出速度等级 1 10：输出速度等级 2 11：输出速度等级 3

8.4.4. 端口上拉/下拉寄存器(GPIOx_PUD, x=A…I)

地址偏移：0x0C
复位值：端口 A 0x6400 0000；端口 B 0x0000 0100；其他端口 0x0000 0000。

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16
PUD15[1:0]	PUD14[1:0]	PUD13[1:0]	PUD12[1:0]	PUD11[1:0]	PUD10[1:0]	PUD9[1:0]	PUD8[1:0]
rw	rw	rw	rw	rw	rw	rw	rw
15 14	**13 12**	**11 10**	**9 8**	**7 6**	**5 4**	**3 2**	**1 0**
PUD7[1:0]	PUD6[1:0]	PUD5[1:0]	PUD4[1:0]	PUD3[1:0]	PUD2[1:0]	PUD1[1:0]	PUD0[1:0]
rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:30	PUD15[1:0]	Pin 15 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
29:28	PUD14[1:0]	Pin 14 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
27:26	PUD13[1:0]	Pin 13 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
25:24	PUD12[1:0]	Pin 12 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述

23:22	PUD11[1:0]	Pin 11 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
21:20	PUD10[1:0]	Pin 10 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
19:18	PUD9[1:0]	Pin 9 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
17:16	PUD8[1:0]	Pin 8 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
15:14	PUD7[1:0]	Pin 7 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
13:12	PUD6[1:0]	Pin 6 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
11:10	PUD5[1:0]	Pin 5 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
9:8	PUD4[1:0]	Pin 4 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
7:6	PUD3[1:0]	Pin 3 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
5:4	PUD2[1:0]	Pin 2 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
3:2	PUD1[1:0]	Pin 1 上拉/下拉位 该位由软件置位和清除。 参考 PUD0[1:0]的描述
1:0	PUD0[1:0]	Pin 0 上拉/下拉位 该位由软件置位和清除。 00：浮空模式，无上拉/下拉(复位值) 01：端口上拉模式 10：端口下拉模式

11：保留

8.4.5. 端口输入状态寄存器(GPIOx_ISTAT, x=A…I)

地址偏移：0x10
复位值：0x0000 XXXX

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISTAT15	ISTAT14	ISTAT13	ISTAT12	ISTAT11	ISTAT10	ISTAT 9	ISTAT 8	ISTAT 7	ISTAT6	ISTAT5	ISTAT4	ISTAT3	ISTAT2	ISTAT1	ISTAT0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	ISTATy	端口输入状态位(y=0..15) 这些位由硬件置位和清除。 0：引脚输入信号为低电平 1：引脚输入信号为高电平

8.4.6. 端口输出控制寄存器(GPIOx_OCTL, x=A…I)

地址偏移：0x14
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OCTL15	OCTL14	OCTL13	OCTL12	OCTL11	OCTL10	OCTL9	OCTL8	OCTL7	OCTL6	OCTL5	OCTL4	OCTL3	OCTL2	OCTL1	OCTL0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	OCTLy	端口输出控制位(y=0..15) 这些位由软件置位和清除。 0：引脚输出低电平 1：引脚输出高电平

8.4.7. 端口位操作寄存器(GPIOx_BOP, x=A…I)

地址偏移：0x18
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BOP15	BOP14	BOP13	BOP12	BOP11	BOP10	BOP9	BOP8	BOP7	BOP6	BOP5	BOP4	BOP3	BOP2	BOP1	BOP0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位/位域	名称	描述
31:16	CRy	端口清除位 y(y=0..15) 这些位由软件置位和清除。 0：相应的 OCTLy 位没有改变 1：清除相应的 OCTLy 位为 0
15:0	BOPy	端口置位位 y(y=0..15) 这些位由软件置位和清除。 0：相应的 OCTLy 位没有改变 1：设置相应的 OCTLy 位为 1

8.4.8. 端口配置锁定寄存器(GPIOx_LOCK, x=A…I)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															LKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LK15	LK14	LK13	LK12	LK11	LK10	LK9	LK8	LK7	LK6	LK5	LK4	LK3	LK2	LK1	LK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:17	保留	必须保持复位值。

16	LKK	锁定序列键 该位只能通过使用 Lock Key 写序列设置，始终可读。 0：GPIO_LOCK 寄存器和端口配置没有锁定 1：直到下一次 MCU 复位前，GPIO_LOCK 寄存器被锁定 LOCK Key 写序列： 写 1->写 0->写 1-> 读 0->读 1 **注意：**在 LOCK Key 写序列期间，LK[15:0]的值必须保持。
15:0	LKy	端口锁定位 y(y=0..15) 这些位由软件置位和清除。 0：相应的端口位配置没有锁定 1：当 LKK 位置 1 时，相应的端口位配置被锁定

8.4.9. 备用功能选择寄存器 0(GPIOx_AFSEL0, x=A…I)

地址偏移：0x20
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SEL7[3:0]				SEL6[3:0]				SEL5[3:0]				SEL4[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEL3[3:0]				SEL2[3:0]				SEL1[3:0]				SEL0[3:0]			
rw				rw				rw				rw			

位/位域	名称	描述
31:28	SEL7[3:0]	Pin 7 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
27:24	SEL6[3:0]	Pin 6 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
23:20	SEL5[3:0]	Pin 5 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
19:16	SEL4[3:0]	Pin 4 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
15:12	SEL3[3:0]	Pin 3 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述

11:8	SEL2[3:0]	Pin 2 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
7:4	SEL1[3:0]	Pin 1 备用功能选择 该位由软件置位和清除。 参考 SEL0 [3:0]的描述
3:0	SEL0[3:0]	Pin 0 备用功能选择 该位由软件置位和清除。 0000：选择 AF0 功能(复位值) 0001：选择 AF1 功能 0010：选择 AF2 功能 0011：选择 AF3 功能 … 1111：选择 AF15 功能

8.4.10. 备用功能选择寄存器 1(GPIOx_AFSEL1, x=A…I)

地址偏移：0x24
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SEL15[3:0]				SEL14[3:0]				SEL13[3:0]				SEL12[3:0]			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEL11[3:0]				SEL10[3:0]				SEL9[3:0]				SEL8[3:0]			
rw				rw				rw				rw			

位/位域	名称	描述
31:28	SEL15[3:0]	Pin 15 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
27:24	SEL14[3:0]	Pin 14 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
23:20	SEL13[3:0]	Pin 13 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
19:16	SEL12[3:0]	Pin 12 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述

15:12	SEL11[3:0]	Pin 11 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
11:8	SEL10[3:0]	Pin 10 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
7:4	SEL9[3:0]	Pin 9 备用功能选择 该位由软件置位和清除。 参考 SEL8[3:0]的描述
3:0	SEL8[3:0]	Pin 8 备用功能选择 该位由软件置位和清除。 0000：选择 AF0 功能(复位值) 0001：选择 AF1 功能 0010：选择 AF2 功能 0011：选择 AF3 功能 … 1111：选择 AF15 功能

8.4.11. 位清除寄存器(GPIOx_BC, x=A…I)

地址偏移：0x28
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CRy	端口清除位 y(y=0..15) 这些位由软件置位和清除。 0：相应 OCTLy 位没有改变 1：清除相应的 OCTLy 位

8.4.12. 端口位翻转寄存器(GPIOx_TG, x=A…I)

地址偏移：0x2C
复位值：0x0000 0000

该寄存器可以按字节(8 位)、半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TG15	TG14	TG13	TG12	TG11	TG10	TG9	TG8	TG7	TG6	TG5	TG4	TG3	TG2	TG1	TG0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	TGy	端口翻转位 y(y=0..15) 这些位由软件置位和清除。 0：相应 OCTLy 位没有改变 1：翻转相应的 OCTLy 位

9. 循环冗余校验计算单元(CRC)

9.1. 简介

循环冗余校验码是一种用在数字网络和存储设备上的差错校验码，可以校验原始数据的偶然差错。

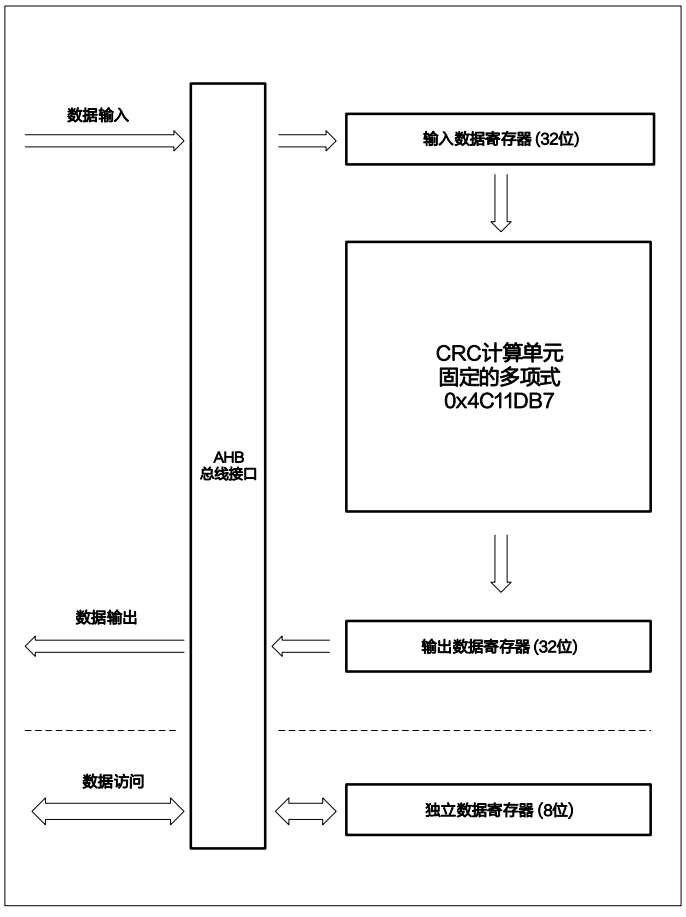
CRC 计算单元使用固定多项式计算 32 位 CRC 校验码。

9.2. 主要特征

- 32位数据输入/输出寄存器。对于32位的输入数据，从数据输入到得出计算结果，需要4个AHB的时钟周期；
- 配有与计算无关的独立8位寄存器，可以供其他任何外设使用；
- 固定的计算多项式：0x4C11DB7：
  $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$

该 32 位 CRC 多项式与以太网 CRC 计算多项式相同。

图 9-1. CRC 计算单元框图



9.3. 功能说明

- CRC计算单元可以用来计算32位的原始数据，CRC_DATA寄存器接收原始数据并存储计算结果。
  如果不通过软件设置CRC_CTL寄存器的方式来清除CRC_DATA寄存器，CRC计算单元将基于新输入的原始数据和前一次CRC_DATA寄存器中的结果进行计算。
  对于32位的数据，CRC的计算需要4个AHB的时钟周期。在此期间，因为32位输入缓存的存在，AHB总线将不会被挂起。
- 此模块提供了一个8位的独立数据寄存器CRC_FDATA。
  CRC_FDATA与CRC计算无关，任何时候都可以进行独立的读写操作。

9.4. CRC 寄存器

CRC 基地址：0x4002 3000

9.4.1. 数据寄存器(CRC_DATA)

地址偏移：0x00
复位值：0xFFFF FFFF

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw															

位/位域	名称	描述
31:0	DATA[31:0]	CRC计算结果位 软件可读可写。 该寄存器用于接收待计算的新数据，直接将其写入即可。刚写入的数据不能被读出来，因为读取该寄存器得到的是上次CRC计算的结果。

9.4.2. 独立数据寄存器(CRC_FDATA)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								FDATA[7:0]							
								rw							

位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	FDATA[7:0]	独立数据寄存器位 软件可读可写。 这些位与CRC计算无关。该字节能被任何其他外设用于其他任何目的。该字节不受CRC_CTL寄存器的影响。

9.4.3. 控制寄存器(CRC_CTL)

地址偏移：0x08

复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															RST
															rs

位/位域	名称	描述
31:1	保留	必须保持复位值。
0	RST	将该位置1可以复位CRC_DATA寄存器，并设置其值为0xFFFFFFFF，然后该位被硬件自动清零。该位对CRC_FDATA寄存器没有影响。 软件可读可写。

10. 真随机数生成器(TRNG)

10.1. 简介

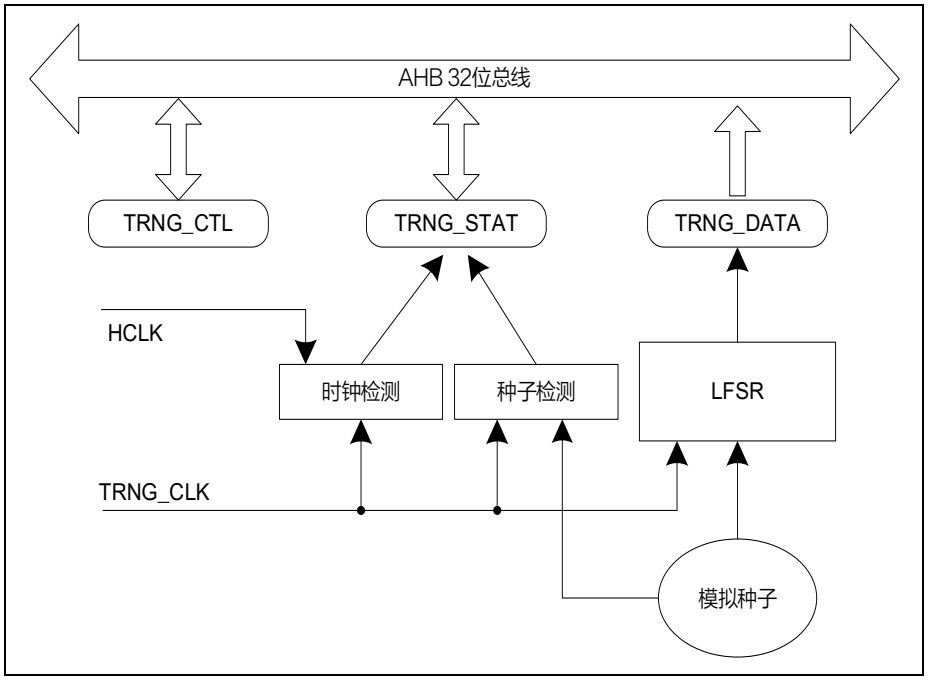
真随机数发生器模块(TRNG)能够通过连续模拟噪声生成一个 32 位的随机数值。

10.2. 主要特性

- 两个连续随机数的间隔大约为40个TRNG_CLK时钟周期；
- 32位随机数的种子是由模拟噪声产生的，因此该随机数是一个真随机数值。

10.3. 功能描述

图 10-1. TRNG 模块框图



随机数种子由模拟电路实现。模拟种子信号输出到一个线性反馈移位寄存器(LFSR)之后在该寄存器中转化成一个 32 位宽度的随机数。

该模拟种子由几个环形振荡器的输出生成。LFSR 由可配置的 TRNG_CLK 时钟(参考 ***RCU*** 相关章节)驱动，因此随机数质量仅与 TRNG_CLK 时钟有关，与 HCLK 频率无关。

当有足够数量的种子被输入 LFSR 之后，LFSR 会输出 32 位数据到 TRNG_DATA 寄存器。同时，系统会监视模拟种子和 TRNG_CLK 时钟。一旦模拟种子发生错误或者时钟产生错误，TRNG_STAT 寄存器的相关状态位将被置 1，如果 TRNG_CTL 寄存器的 TRNGIE 位同时被置 1 还将产生中断。

10.3.1. 操作流程

以下步骤为 TRNG 模块的推荐操作流程：

1. 根据需要使能中断，这样当随机数或错误产生时，将会触发一个中断；
2. 使能TRNGEN位；
3. 等待中断产生，检测TRGN_STAT寄存器，如果SEIF = 0，CEIF = 0并且DRDY = 1那么数据寄存器中的随机值可以被读取。

按照 FIPS PUB 140-2 的要求，数据寄存器中的第一个随机数需要保留而不是被使用。每一个新生成的随机数应当与之前的随机数相比较。只有当该随机数与前一个随机数不相等时，该数据才可被使用。

10.3.2. 错误标志

时钟错误

当 TRNG_CLK 时钟频率低于 HCLK 频率的 1/16 时，CECS 和 CEIF 位将被置 1。此时，软件应当检查 TRNG_CLK 和 HCLK 时钟频率配置并清除 CEIF 位。时钟错误对上一个产生的随机数没有影响。

种子错误

当模拟种子的值在 64 个 TRNG_CLK 时钟周期内不发生变化或连续不断的翻转，SECS 和 SEIF 位将被置位。此时，数据寄存器中的随机数值不应当被使用，并且软件需要清除 SEIF 位。之后将 TRNGEN 位清零并置 1 以便重新启动 TRNG 模块。

10.4. TRNG 寄存器

TRNG 基地址：0x5006 0800

10.4.1. 控制寄存器 (TRNG_CTL)

地址偏移：0x00
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												IE	TRNGEN	保留	
												rw	rw		

位/位域	名称	描述
31:4	保留	必须保持复位值。
3	TRNGIE	中断使能位，当 DRDY，SEIF 或 CEIF 位被置位时该位控制生成一个中断。 0：禁止 TRNG 中断 1：使能 TRNG 中断
2	TRNGEN	TRNG 使能位 0：禁止 TRNG 模块 1：使能 TRNG 模块
1:0	保留	必须保持复位值。

10.4.2. 状态寄存器 (TRNG_STAT)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									SEIF	CEIF	保留		SECS	CECS	DRDY
									rc_w0	rc_w0			r	r	r

位/位域	名称	描述
31:7	保留	必须保持复位值。
6	SEIF	种子错误中断标志位 如果超过 64 个连续位具有相同值或超过 32 组连续交替的 0 和 1 被检测到则此位将置 1。 0：未检测到错误 1：检测到种子错误。写 0 将清除该位
5	CEIF	时钟错误中断标志位 如果 TRNG_CLK 时钟频率低于 HCLK 频率的 1/16 时该位被置位。 0：未检测到错误 1：检测到时钟错误。写 0 将清除该位
4:3	保留	必须保持复位值。
2	SECS	种子错误当前状态 0：当前未检测到种子错误。如果 SEIF=1 和 SECS=0，说明之前已经检测到种子错误但现在已恢复正常。 1：当前检测到种子错误。如果超过 64 个连续位具有相同值或超过 32 组连续交替的 0 和 1 被检测到时，该位置 1。
1	CECS	时钟错误当前状态 0：当前未检测到时钟错误。如果 CEIF=1 和 CECS=0，则意味着之前已检测到时钟错误但现在已恢复正常。 1：当前检测到时钟错误。此时 TRNG_CLK 时钟频率低于 1/16 HCLK 频率。
0	DRDY	随机数准备状态位 读 TRNG_DATA 寄存器会清零该位，当一个新的随机数产生时被置位。 0：TRNG 数据寄存器的内容无效 1：TRNG 数据寄存器的内容有效

10.4.3. 数据寄存器 (TRNG_DATA)

地址偏移：0x08
复位值：0x0000 0000

在读此寄存器之前，软件必须确保 DRDY 位已置 1。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TRNGDATA[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNGDATA[15:0]															
r															

位/位域	名称	描述
31:0	TRNGDATA[31:0]	32 位随机数据

11. 公钥加密处理器(PKCAU)

11.1. 简介

公钥加密又称非对称加密，非对称加密算法加密和解密采用不同的密钥。公钥加密处理器(PKCAU)支持加速 GF(p)（伽罗华域）上的 RSA(Rivest、Shamir 和 Adleman)、Diffie-Hellmann(DH 密钥交换)或 ECC(椭圆曲线加密)加密算法。这些操作在蒙哥马利域内执行能提高运算效率。

11.2. 主要特征

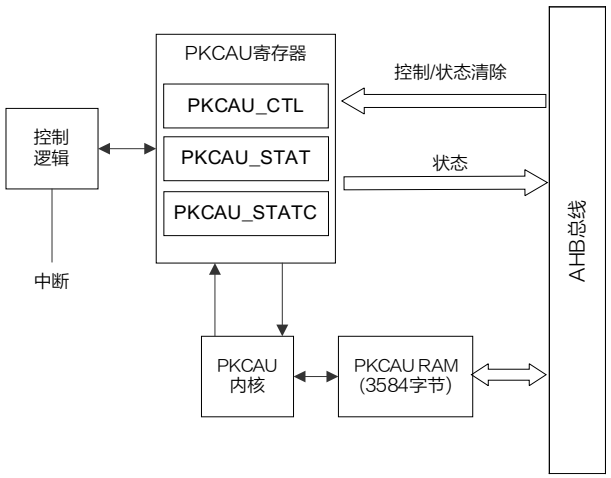
- 支持操作数高达 3136 位的 RSA/DH 算法；
- 支持操作数高达 640 位的 ECC 算法；
- RSA 模幂运算，RSA CRT 求幂；
- ECC 标量乘法，曲线上点的检查；
- ECDSA(椭圆曲线数字签名算法)签名和验证；
- 支持蒙哥马利模法，加速 RSA，DH 和 ECC 运算；
- 内嵌 3584 字节 RAM；
- 蒙哥马利域和自然域之间的相互转换；
- PKCAU 外设为 32 位外设，只支持 32 位访问。

11.3. 功能说明

公钥加速器(PKCAU)用于加速素域 GF(p)上 RSA、DH 以及椭圆曲线加密(ECC)运算。PKCAU 模块包含 PKCAU RAM、PKCAU 内核以及外设寄存器。PKCAU RAM 用于存放运算所需的参数，并在计算完成后，保存计算结果。

PKCAU 的内部结构如*图 11-1. PKCAU 模块框图*所示。

图 11-1. PKCAU 模块框图



11.3.1. 操作数

假设 RSA 操作数长度为 ROS，模长度为 ML，则数据长度ROS = (ML / 32+1)个字。假设 ECC 操作数长度为 EOS，模长度为 ML，则数据长度EOS = (ML / 32+1)个字。

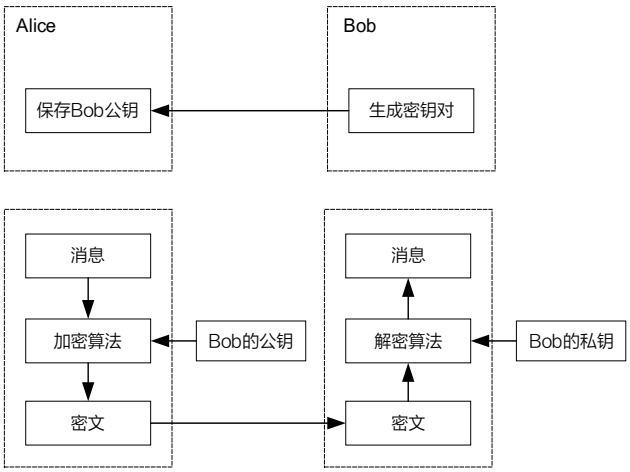
PKCAU 支持操作数高达 3136 位(98 个字)的 RSA / DH 算法和操作数高达 640 位(20 个字)的 ECC 算法。ROS 最大为 99 个字，EOS 最大为 21 个字。

在将输入参数写入 PKCAU RAM 时，必须添加一个 0x00000000。PKCAU RAM 是小端存储，例如，当将用于 ECC 标量乘法的 ECC P256 的输入参数 x_p 写入 PKCAU RAM，模数长度为 8 个字，最低字节存放在偏移为 0x55C 的地址，最高字节存放在偏移为 0x578 的地址，0x00000000 存放在偏移为 0x57C 的地址。

11.3.2. RSA 算法

RSA算法是一种常用的公钥密码算法，是应用最广泛的非对称密码算法。RSA算法流程如*图 11-2. RSA算法流程图*所示。

图 11-2. RSA 算法流程图



一个完整的公钥密码体制包含密钥对(公钥和私钥)、加密算法和解密算法。

RSA 密钥对生成

1、 选择两个大素数 p 和 q(p!=q)；

2、 计算n=p×q，n 为公钥和私钥的模数；

3、 计算L=Ø (n)=(p-1)(q-1)，其中Ø(n)为欧拉函数；

4、 选择 e，满足1<e<L，同时满足 e 和 L 互质；

5、计算 d，满足1<d<L，同时满足 e*d mod L = 1。

通过以上计算可以得到*表 11-1. RSA 算法参数*中所示参数：

表 11-1. RSA 算法参数

参数	描述
n	模数
e	公开指数
d	私密指数
(n,e)	公钥
(n,d)	私钥

RSA 加密

Bob 生成符合 RSA 算法标准的密钥对，包含公钥和私钥，并将公钥发送给 Alice，私钥自己保存。Alice 可以通过 Bob 的公钥对消息 m 进行加密，从而得到密文 c。并将密文发给 Bob。密文$c = m^e \bmod n$。

RSA 解密

Bob 收到密文后采用私钥对密文进行解密得到明文。解密过程为$m = c^d \bmod n$。

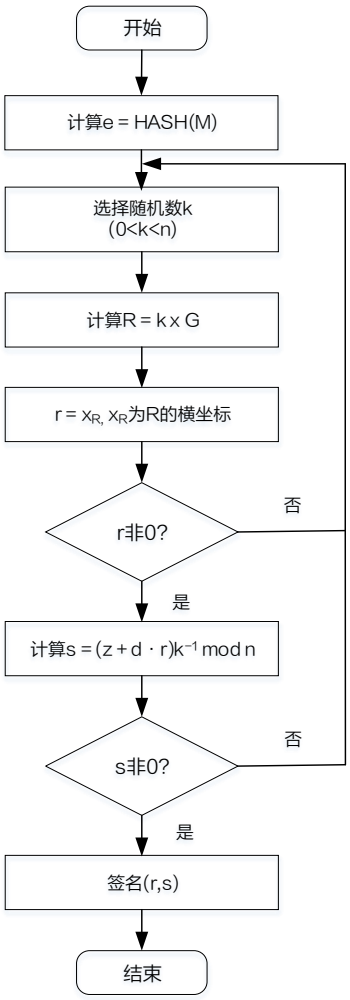
11.3.3. ECC 算法

假设消息为 M，d 为私钥，G 为椭圆曲线上的基点，Q 为椭圆曲线上的某点，椭圆曲线素数阶为 n，散列函数为 HASH()，z 是 HASH(M)最左边的位，L_n是 n 的位长度，ECDSA 签名和验证详细描述如下：

ECDSA 签名

ECDSA 签名结果由 r 和 s 两部分组成。ECDSA 生成签名流程如*图 11-3. ECDSA 签名流程图*所示。

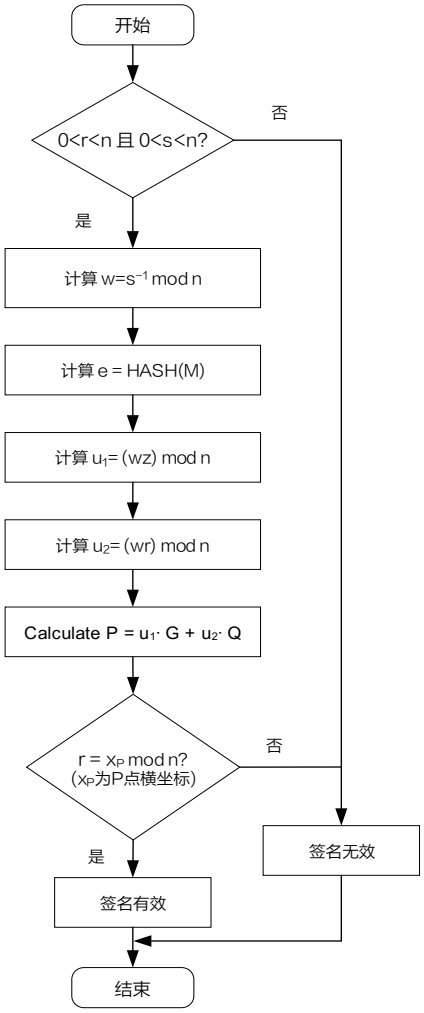
图 11-3. ECDSA 签名流程图



ECDSA 验证签名

在验证签名之前，确保得到签名者的公钥、消息以及签名(r,s)。ECDSA 验证签名的流程如*图 11-4. ECDSA 验证流程图*所示。

图 11-4. ECDSA 验证流程图



注意：上图中的 HSAH 是约定的散列函数。

11.3.4. 整数算术运算模式

通过配置 PKCAU_CTL 寄存器中的 MODSEL[5:0]，可以选择整数算术运算模式。可选运算模式如*表 11-2. 整数算术运算*。

表 11-2. 整数算术运算

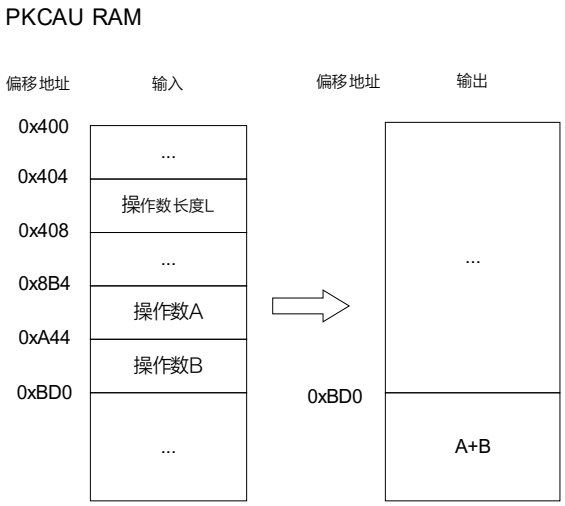
MODSEL[5:0]	运算模式
000000	蒙哥马利参数计算然后模幂
000001	只进行蒙哥马利参数计算
000010	只进行模幂运算(蒙哥马利参数必须预先加载)
000111	RSA CRT 求幂
001000	模逆运算
001001	算术加法
001010	算术减法
001011	算术乘法

MODSEL[5:0]	运算模式
001100	算术比较
001101	取模运算
001110	模加法
001111	模减法
010000	蒙哥马利乘法

算术加法

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001001"，可以选择运算模式为算术加法运算。运算说明如*图 11-5. 算术加法*所示。运算结果为result = A+B。

图 11-5. 算术加法



其中，0<=A<2^L，0<=B<2^L，0<=result<2^{L+1}，0<L<=3136。

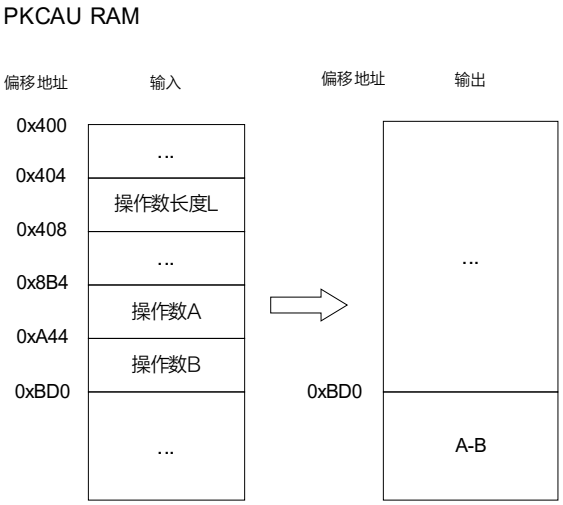
算术减法

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001010"，可以选择运算模式为算术减法运算。运算说明如*图 11-6. 算术减法*所示。

如果A>=B，运算结果为result = A-B；

如果A<B，运算结果为result = A-B+$2^{L+ceil(L\%32)}$。

图 11-6. 算术减法

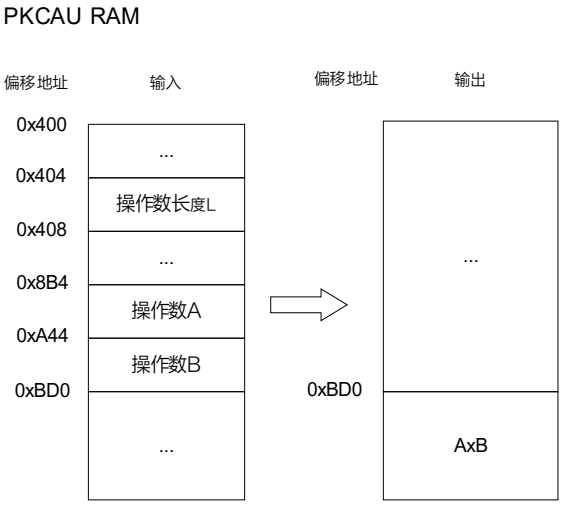


其中，0<=A<2^L，0<=B<2^L，0<=result<2^L，0<L<=3136。

算术乘法

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001011"，可以选择运算模式为算术乘法运算。运算说明如*图 11-7. 算术乘法*所示。运算结果为result = A×B。

图 11-7. 算术乘法



其中，0<=A<2^L，0<=B<2^L， 0<=result<2^{2L}，0<L<=3136。

算术比较

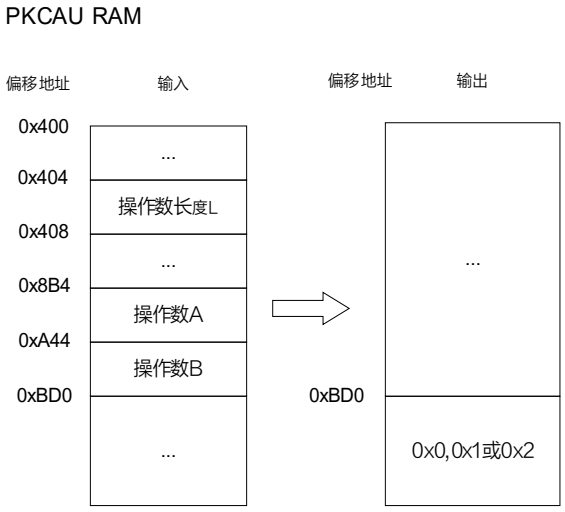
将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001100"，可以选择运算模式为算术比较运算。运算说明如*图 11-8. 算术比较*所示。

如果A = B，运算结果为result = 0x0；

如果A > B，运算结果为result = 0x1；

如果A<B，运算结果为result =0x2。

图 11-8. 算术比较

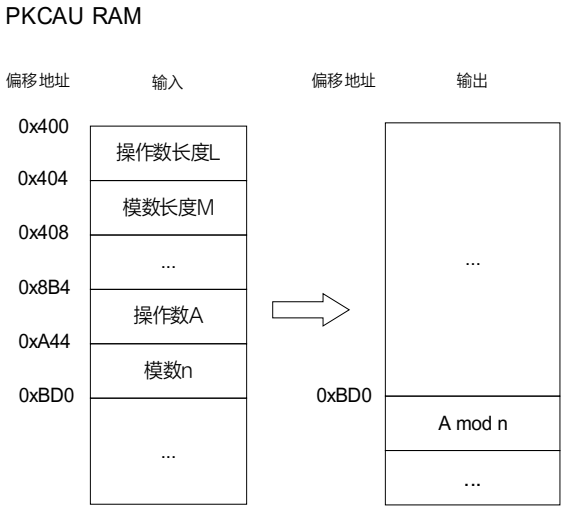


其中，0<=A<2^L，0<=B<2^L，result = 0x0， 0x01 或 0x2，0<L<=3136。

取模运算

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001101"，可以选择运算模式为取模运算。运算说明如*图 11-9. 取模运算*所示。运算结果为result = A mod n。

图 11-9. 取模运算

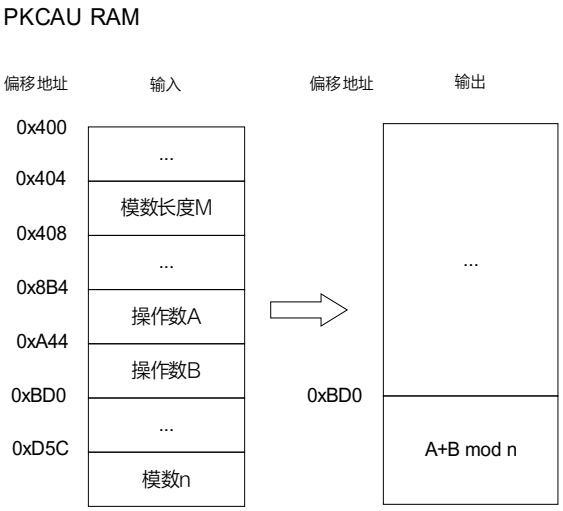


其中，0<L<=3136，0<M<=3136， 0<=A<2^L，0<n<2^M，0<=result<n。

模加法

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001110"，可以选择运算模式为模加法运算，运算说明如*图 11-10. 模加法*所示。运算结果为result = A+B mod n。

图 11-10. 模加法



其中，0<=A<n，0<=B<n，0<=result<n，0<n<2^M，0<M<=3136。

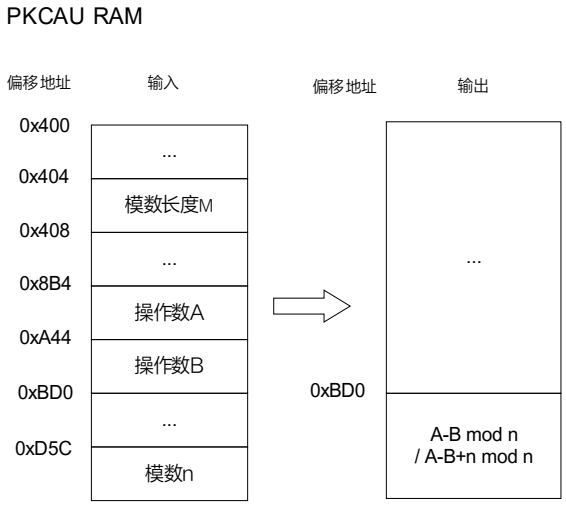
模减法

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001111"，可以选择运算模式为模减法运算。运算说明如*图 11-11. 模减法*所示。

如果A>=B，运算结果为result = A-B mod n。

如果A<B，运算结果为result = A-B+n mod n。

图 11-11. 模减法



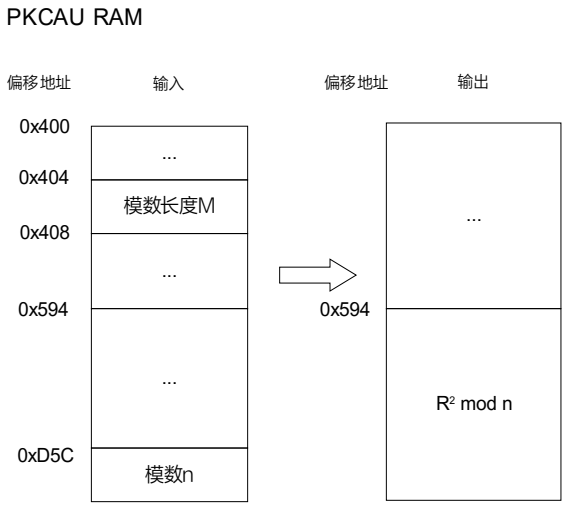
其中，0<=A<n，0<=B<n，0<=result<n， 0<n<2^M，0<M<=3136。

蒙哥马利参数计算

PKCAU 将操作数转换为蒙哥马利剩余系统表示需要使用到蒙马参数(R^2 mod n)。

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"000001"，可以选择运算模式为只进行蒙哥马利参数计算，说明如*图 11-12. 蒙哥马利参数计算*所示。

图 11-12. 蒙哥马利参数计算



其中，0<M<=3136，1<n<2^M(n 为奇数整数)。

蒙哥马利乘法

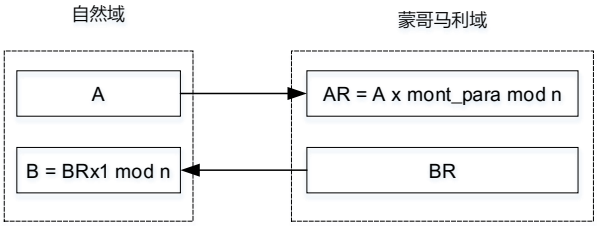
假设 A，B，C 均为自然域中的数。"x"指蒙哥马利乘法。蒙哥马利乘法运算的两个主要用途如

下：

1、 蒙哥马利域和自然域之间的相互映射。

如*图 11-13. 蒙哥马利域和自然域之间的相互映射*所示。如果 A 是自然域中的整数，蒙哥马利参数 mont_para 为R^2 mod n，AR = A x mont_para mod n为蒙哥马利域 A。相反地，如果 BR 是蒙哥马利域的整数，计算结果B = BRx1 mod n在自然域。

图 11-13. 蒙哥马利域和自然域之间的相互映射



2、 执行模乘运算A x B mod n。

(1)、计算蒙哥马利参数mont_para = R^2 mod n；

(2)、计算AR = A x mont_para mod n，输出在蒙哥马利域；

(3)、计算AB = AR x B mod n，输出在自然域。

多元模乘A x B x C mod n步骤如下：

(1)、计算蒙哥马利参数mont_para = R^2 mod n；

(2)、计算AR = A x mont_para mod n，输出在蒙哥马利域；

(3)、计算BR = B x mont_para mod n，输出在蒙哥马利域；

(4)、计算ABR = AR x BR mod n，输出在蒙哥马利域；

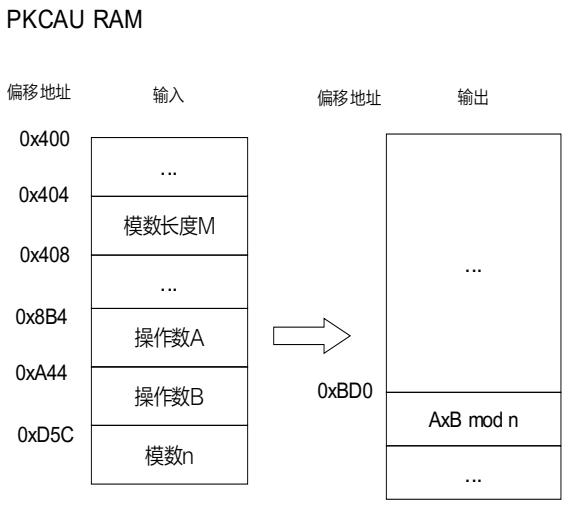
(5)、计算CR = C x mont_para mod n，输出在蒙哥马利域；

(6)、计算ABCR = ABR x CR mod n，输出在蒙哥马利域；

(7)、计算ABC= ABCR x 1 mod n，输出在自然域。

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"010000",可以选择运算模式为蒙哥马利乘，说明如*图 11-14. 蒙哥马利乘法*所示。

图 11-14. 蒙哥马利乘法



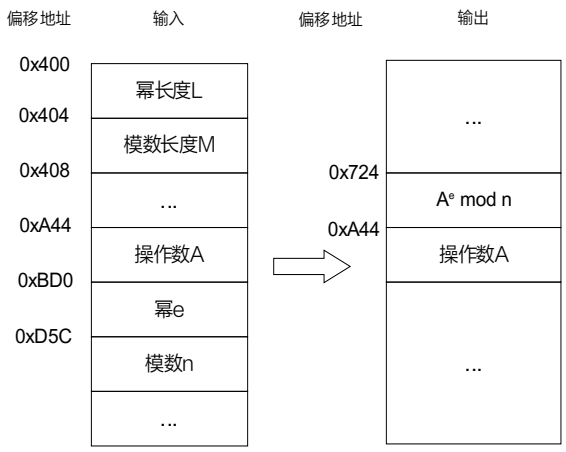
其中，0<=A<n，0<=B<n，0<n<2^M，0<M<=3136(n 为奇数整数)。

模幂运算

普通模式

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"000000"，可以选择运算模式为普通模幂运算，运算说明如*图 11-15. 普通模式模幂运算*所示。运算结果为result = A^e mod n。

图 11-15. 普通模式模幂运算



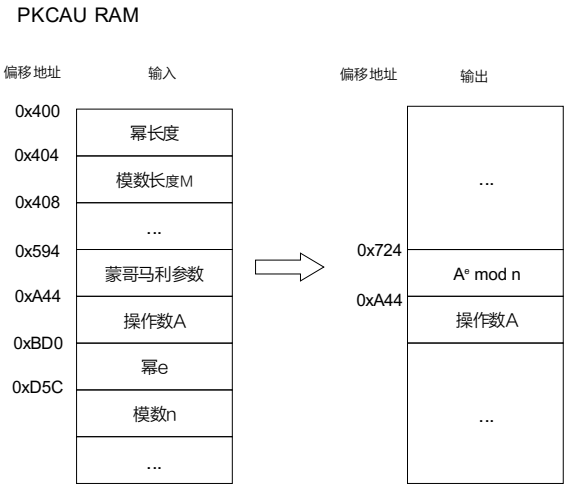
其中，0<L<=3136， 0<M<=3136，0<=A<n，0<=e<2^L，0<=result<n，1<n<2^M(n 为奇数整数)。

快速模式

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"000010"，可以选择运算模式为快速模幂运

算，运算说明如*图 11-16. 快速模式模幂运算*所示。运算结果为result = A^e mod n。

图 11-16. 快速模式模幂运算

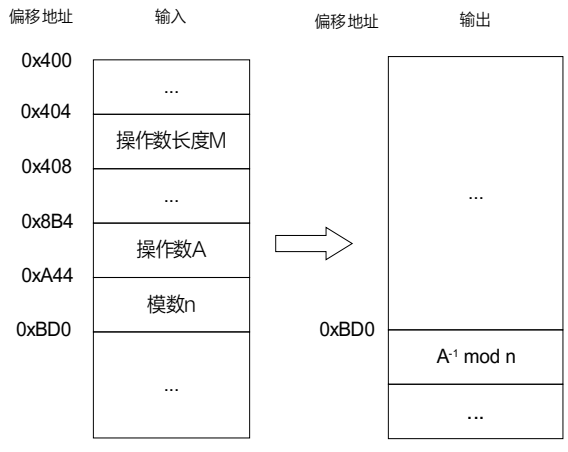


其中，0<=A<n，0<=e<n，0<=result<n， 0<n<2^M， 0<M<=3136，0<蒙哥马利参数(R^2 mod n)<n。

模逆运算

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"001000"，可以选择运算模式为模逆运算，运算说明如*图 11-17. 模逆运算*所示。运算结果为result = A^{-1} mod n。

图 11-17. 模逆运算



其中，0<A<n，0<result<n， 0<n<2^M，0<M<=3136。

注意：

1、如果模数 n 是素数，满足条件1<=A<n的所有 A 的值，都有有效的模逆输出；

2、如果模数 n 不是素数，当 A 和 n 的最大公约数为 1 时，才会有有效的模逆输出。

RSA CRT 求幂

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"000111"，可以选择运算模式为 RSA CRT 求幂。

p 和 q 是私钥的一部分，均为素数

$d_P = d \bmod (p-1)$

$d_Q = d \bmod (q-1)$

$q_{inv} = q^{-1} \bmod p$

以上的参数允许接收方更有效地计算求幂$m = A^d \pmod{pq}$:

$m = A^d \pmod{pq}$

$m_1 = A^{dP} \bmod p$

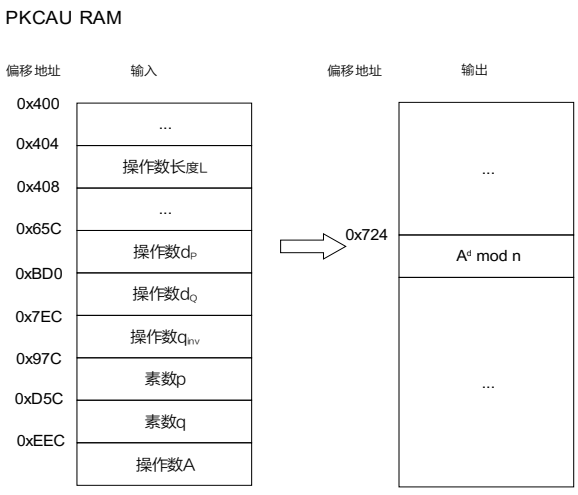
$m_2 = A^{dQ} \bmod p$

$h = q_{inv}(m_1 - m_2) \bmod p,\ m_1 > m_2$

$m = m_2 + hq$

运算说明如*图 11-18. RSA CRT 求幂*所示。运算结果为$result = A^d \bmod pq$。

图 11-18. RSA CRT 求幂



RSA CRT 求幂参数取值范围如*表 11-3. RSA CRT 求幂参数取值范围*所示。

表 11-3. RSA CRT 求幂参数取值范围

参数		取值范围
输入	操作数 d_P	$0<=d_P<2^{L/2}$

参数		取值范围
	操作数 d_Q	$0<=d_Q<2^{L/2}$
	操作数 q_{inv}	$0<q_{inv}<2^{L/2}$
	素数 p	$0<p<2^{L/2}$
	素数 q	$0<q<2^{L/2}$
	操作数 A	$0<=A<2^{L}$
输出	运算结果：A^d mod pq	0<=result<pq

11.3.5. Fp 域椭圆曲线运算模式

通过配置 PKCAU_CTL 寄存器中的 MODSEL[5:0]来选择 Fp 域椭圆曲线相关运算模式。可选运算模式如*表 11-4. 椭圆曲线运算模式选择*。

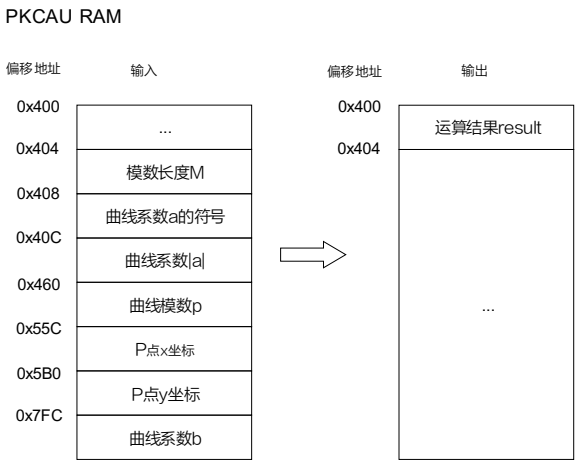
表 11-4. 椭圆曲线运算模式选择

MODSEL[5:0]	运算模式
100000	先进行蒙哥马利参数计算，然后进行 ECC 标量乘法
100010	只进行 ECC 标量乘法(蒙哥马利参数必须预先加载)
100100	ECDSA 签名
100110	ECDSA 验证
101000	椭圆曲线在素域 Fp 上点的检查

椭圆曲线在素域 Fp 上点的检查

该运算用于检查点 P(x,y)是否在素域方程$y^2= x^3+ax+b$ mod p上，其中 a，b 为曲线系数。将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"101000"，可以选择运算模式为检查椭圆曲线在 Fp 域上点，运算说明如*图 11-19. 椭圆曲线在 Fp 域上点的检查*所示。运算结果如果为 0，则表明 P 点在椭圆曲线上；如果不为 0，则表明 P 点不在椭圆曲线上。

图 11-19. 椭圆曲线在 Fp 域上点的检查



椭圆曲线在 Fp 域上点的检查范围如*表 11-5. 椭圆曲线在 Fp 域上点的检查参数取值范围*所示。

表 11-5. 椭圆曲线在 Fp 域上点的检查参数取值范围

输入参数	取值范围
模数长度 M	0<M<=640
曲线系数 a 的符号	0x0：正数 0x1：负数
曲线系数|a|	绝对值|a|<p
曲线系数 b	绝对值|b|<p
曲线模数 p	奇素数0<p<=2^M
P 点 x 坐标	x<p
P 点 y 坐标	y<p

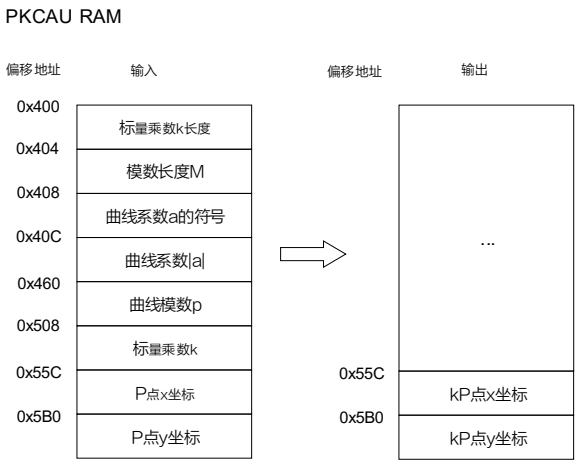
ECC 标量乘法

ECC 标量乘法操作ak×P(x_P,y_P)，其中 P 是椭圆曲线在素域 Fp 上的点，计算结果依然在曲线上，或者是无穷远点。

普通模式

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"100000"，可以选择运算模式为先进行蒙哥马利参数计算，然后进行 ECC 标量乘法，运算说明如*图 11-20. 普通模式 ECC 标量乘法*所示。

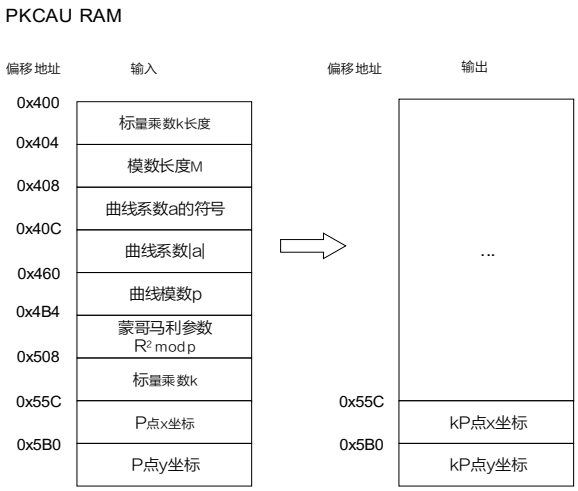
图 11-20. 普通模式 ECC 标量乘法



快速模式

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"100010"，可以选择运算模式为只进行 ECC 标量乘法，运算说明如*图 11-21. 快速模式 ECC 标量乘法*所示。

图 11-21. 快速模式 ECC 标量乘法



ECC 标量参数取值范围如*表 11-6. ECC 标量乘法参数取值范围*所示。

表 11-6. ECC 标量乘法参数取值范围

参数		取值范围
输入	标量乘数 k 的长度 LEN	0<LEN<=640
	模数长度 M	0<M<=640
	曲线系数 a 的符号	0x0：正数 0x1：负数
	曲线系数|a|	绝对值|a|<p
	曲线模数 p	奇素数0<p<=2^M
	标量乘数 k	0<=k<2^{LEN}(k < n，n 是曲线的素数阶)
	P 点 x 坐标x_P	x_P<p
	P 点 y 坐标y_P	y_P<p
输出	kP 点 x 坐标 x	x<p
	kP 点 y 坐标 y	y<p

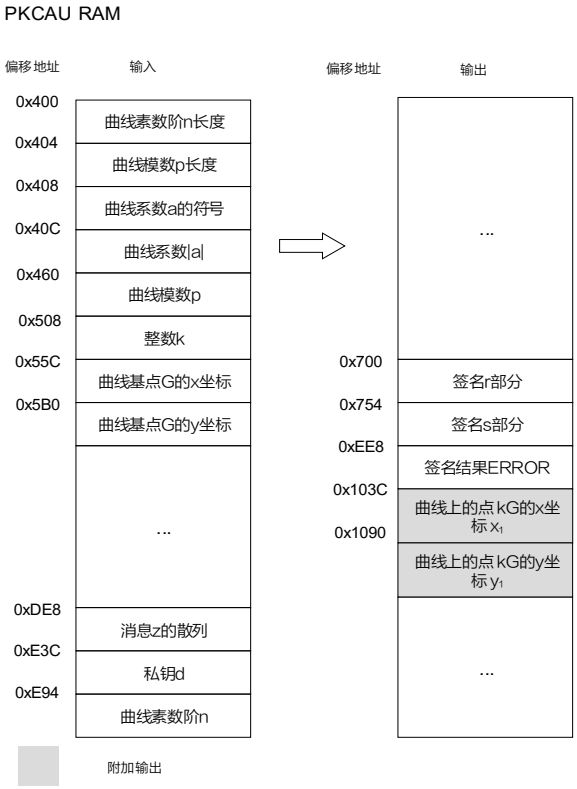
如果 k = 0，输出是无穷远处的一点。当 k 是曲线素数阶 n 的倍数时，输出也是无穷远处的一点。在这个模块中，如果结果是无穷远处的一个点，则输出为(0,0)。

如果 k < 0，则 k 的绝对值代替 k 作为 ECC 标量乘法的标量乘数。计算完成后，可以用-P = (x, -y)来计算 y 的最终结果。

ECDSA 签名

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"100100"，可以选择运算模式 ECDSA 签名，运算说明如*图 11-22. ECDSA 签名*所示。

图 11-22. ECDSA 签名



ECDSA 签名参数取值范围如*表 11-7. ECDSA 签名参数取值范围*所示。

表 11-7. ECDSA 签名参数取值范围

参数		取值范围
输入	曲线素数阶 n 的长度 LEN	0<LEN<640
	曲线模数 p 的长度 M	0<M<=640
	曲线系数 a 的符号	0x0：正数 0x1：负数
	曲线系数|a|	绝对值|a|<p
	曲线模数 p	奇素数$0<p<2^M$
	整数 k	$0<=k<2^{LEN}$
	曲线基点 G 的 x 坐标	x<p
	曲线基点 G 的 y 坐标	y<p
	消息 z 的散列	$z<2^{LEN}$
	私钥 d	正整数 d < n
	曲线素数阶 n	素数$n<2^{LEN}$
输出	签名 r 部分	0<r<n
	签名 s 部分	0<s<n
	签名结果 ERROR	0x0：无错误 0x1：签名 r 部分为 0 0x2：签名 s 部分为 0

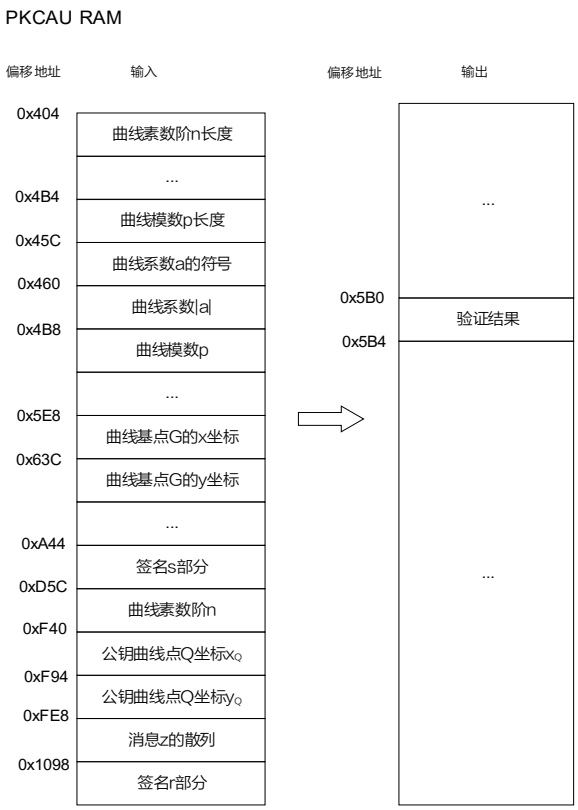
参数		取值范围
	曲线上的点 kG 的坐标 x_1	$0<=x_1<n$
	曲线上的点 kG 的坐标 y_1	$0<=y_1<n$

如果签名输出结果不为 0，则应该清除 PKCAU RAM 的内容，以避免泄漏私钥相关信息。

ECDSA 验证

将 PKCAU_CTL 寄存器中的 MODSEL[5:0]配置为"100110"，可以选择运算模式 ECDSA 验证，运算说明如*图 11-23. ECDSA 验证*所示。

图 11-23. ECDSA 验证



ECDSA 验证参数取值范围如*表 11-8. ECDSA 验证参数取值范围*所示。

表 11-8. ECDSA 验证参数取值范围

参数		取值范围
输入	曲线素数阶 n 的长度 LEN	0<LEN<640
	曲线模数 p 的长度 M	0<M<=640
	曲线系数 a 的符号	0x0：正数 0x1：负数
	曲线系数|a|	绝对值|a|<p
	曲线模数 p	奇素数$0<p<2^M$
	曲线基点 G 的 x 坐标	x<p
	曲线基点 G 的 y 坐标	y<p

参数		取值范围
	公钥曲线点 Q 坐标x_Q	$x_Q<p$
	公钥曲线点 Q 坐标y_Q	$y_Q<p$
	签名 r 部分	0<r<n
	签名 s 部分	0<s<n
	消息 z 的散列	$z<2^{LEN}$
	曲线素数阶 n	素数$n<2^{LEN}$
输出	签名验证结果	0x0：有效签名 非 0x0：无效签名

11.3.6. PKCAU 运算流程

将 PKCAU_CTL 寄存器中的 PKCAUEN 位置 1 可以使能 PKCAU 外设。当 PKCAU 正在进行计算时，将 PKCAUEN 清 0，这种情况下，将终止正在进行的操作，并且 PKCAU RAM 中的内容将无法得到保证。

当 PKCAUEN = 0 时，应用程序仍然可以通过 AHB 接口访问 PKCAU RAM。

普通模式运算流程

以下流程适用于 PKCAU_CTL 寄存器 MODSEL[5:0]列出来的所有操作。

1、 系统复位后，PKCAU RAM 全片擦除。在这个过程中，PKCAU_STAT 寄存器中 BUSY 置 1。所有对 PKCAU RAM 的操作都应该在 BUSY 位为 0 时才执行；

2、 将初始数据加载到位于偏移地址 0x400 的 PKCAU RAM 中；

3、 在 PKCAU_CTL 寄存器 MODSEL[5:0]中写入要执行的操作，然后将 PKCAU_CTL 寄存器中将 START 位置 1；

4、 等待 PKCAU_STAT 寄存器中的 ENDF 位置 1；

5、 从 PKCAU RAM 中读取结果，然后通过在 PKCAU_STATC 中将 ENDFC 位置 1 来清除 ENDF 位。

快速模式运算流程

快速模式就是在计算很多具有相同模数的操作时，只计算一次蒙哥马利参数。在执行操作时，加载预先计算的蒙哥马利参数来进行计算。

快速模式流程如下：

1、 在位于偏移地址 0x400 的 PKCAU RAM 中加载初始数据；

2、 在 PKCAU_CTL 寄存器中配置 MODSEL[5:0] = 000001，选择蒙马参数计算模式，然后将 START 位置 1；

3、 等待 PKCAU_STAT 寄存器中的 ENDF 位置 1；

4、 从 PKCAU RAM 中读取蒙马参数，然后通过在 PKCAU_STATC 中将 ENDFC 位置 1 来清除 ENDF 位；

5、 在 PKCAU RAM 中加载初始数据以及蒙哥马利参数；

6、 在 PKCAU_CTL 寄存器 MODSEL[5:0]中写入要执行的操作，然后将 PKCAU_CTL 寄存器中将 START 位置 1；

7、 等待 PKCAU_STAT 寄存器中的 ENDF 位置 1；

8、 从 PKCAU 内部 RAM 中读取结果，然后通过在 PKCAU_STATC 中将 ENDFC 位置 1 来清除 ENDF 位。

11.3.7. 计算时间

下表总结了以时钟周期表示的 PKCAU 计算时间。

表 11-9. 模幂计算时间

幂长度(位)	模式	操作数长度(位)		
		1024	2048	3072
1024	标准	6780000	-	-
	快速	6701000	-	-
	CRT	1853000	-	-
2048	标准	-	52196000	-
	快速	-	51910000	-
	CRT	-	13651000	-
3072	标准	-	-	182783000
	快速	-	-	181953000
	CRT	-	-	44905000

表 11-10. ECC 标量乘法计算时间

模式	模数长度(位)					
	160	192	256	320	384	512
标准	626000	951000	1997000	3617000	5762000	13134000
快速	623000	946000	1990000	3607000	5749000	13111000

表 11-11. ECDSA 签名平均计算时间

模数长度(位)					
160	192	256	320	384	512
634000	966000	2029000	3648000	5833000	13177000

表 11-12. ECDSA 验证平均计算时间

模数长度(位)					
160	192	256	320	384	512
1261000	1901000	3997000	7225000	11477000	26287000

表 11-13. 蒙哥马利参数平均计算时间

模数长度(位)								
160	192	256	320	384	512	1024	2048	3072
3873	4658	7109	10330	14526	22301	79116	284359	626909

11.3.8. 状态、错误和中断

PKCAU 有一些状态、错误标志位和中断，通过设置一些寄存器位，便可以通过这些标志触发中断。

- 访问地址错误(ADDRERR)：

当访问的 PKCAU RAM 地址超出预期范围，PKCAU_STAT 寄存器中地址错误标志位 ADDRERR 位将置 1。如果 PKCAU_CTL 寄存器中的 ADDRERRIE 位置 1，将产生一个中断。将 PKCAU_STATC 寄存器中的 ADDRERRC 置 1 可以清除 ADDRERR 位。

- RAM 错误标志(RAMERR)：

当 PKCAU 内核在使用 PKCAU RAM 时，AHB 也在访问 PKCAU RAM，PKCAU_STAT 寄存器中地址错误标志位 RAMERR 位将置 1。如果此时 AHB 读 PKCAU RAM 将返回 0，写将被忽略。如果 PKCAU_CTL 寄存器中的 RAMERRIE 位置 1，将产生一个中断。将 PKCAU_STATC 寄存器中的 RAMERRC 置 1 可以清除 RAMERR 位。

- PKCAU 运算结束标志(ENDF)：

当 PKCAU 完成在 PKCAU_CTL 寄存器 MODSEL[5:0]中指定的操作时，ENDF 将置 1。如果 PKCAU_CTL 寄存器中的 ENDIE 位置 1，将产生一个中断。将 PKCAU_STATC 寄存器中的 ENDFC 置 1 可以清除 ENDF 位。如果通过设置 START 位执行另一个运算，ENDF 位将由硬件自动清除。

PKCAU 中断事件和标志如*表 11-14. PKCAU 中断请求*所示：

表 11-14. PKCAU 中断请求

中断事件	事件标志	标志清除	使能控制位
访问地址错误	ADDRERR	ADDRERRC	ADDRERRIE
RAM 错误	RAMERR	RAMERRC	RAMERRIE
运算结束标志	ENDF	ENDFC	ENDIE

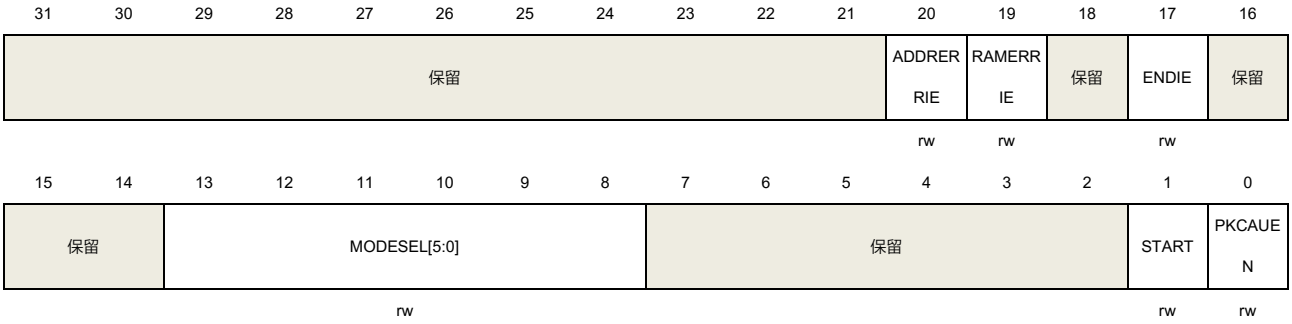
11.4. PKCAU 寄存器

PKCAU 基地址：0x5006 1000

11.4.1. 控制寄存器 (PKCAU_CTL)

地址偏移：0x00
复位值：0x0000 0000

该寄存器可以按字(32位)访问。



位/位域	名称	描述
31:21	保留	必须保持复位值。
20	ADDRERRIE	地址错误中断使能 0：地址错误中断禁能。 1：地址错误中断使能。
19	RAMERRIE	RAM 错误中断使能 0：RAM 错误中断禁能。 1：RAM 错误中断使能。
18	保留	必须保持复位值。
17	ENDIE	运算结束中断使能 0：运算结束中断禁能。 1：运算结束中断使能。
16:14	保留	必须保持复位值。
13:8	MODESEL	PKCAU 运算模式选择 000000：蒙哥马利参数计算然后模幂。 000001：只进行蒙哥马利参数计算。 000010：只进行模幂运算(蒙哥马利参数必须预先加载)。 000111：RSA CRT 求幂。 001000：模逆运算。 001001：算术加法。 001010：算术减法。

001011：算术乘法。
001100：算术比较。
001101：取模。
001110：模加法。
001111：模减法。
010000：蒙哥马利乘法。
100000：先进行蒙哥马利参数计算，然后进行 ECC 标量乘法。
100010：只进行 ECC 标量乘法(蒙哥马利参数必须预先加载)。
100100：ECDSA 签名。
100110：ECDSA 验证。
101000：椭圆曲线 Fp 上点的检查。
其他值保留。

7:2	保留	必须保持复位值。
1	START	PKCAU 开始运算 该位由软件置 1 来启动 PKCAU 运算，运算模式在 PKCAU_CTL 寄存器的 MODSEL[5:0]中指定的。 当 PKCAU_STAT 寄存器中 BUSY 位为 1，对该位写 1 无效。
0	PKCAUEN	PKCAU 使能 0：PKCAU 禁能 1：PKCAU 使能

11.4.2. 状态寄存器 (PKCAU_STAT)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留											ADDRERR	RAMERR	保留	ENDF	BUSY
											r	r		r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31:21	保留	必须保持复位值。
20	ADDRERR	地址错误 0：无地址错误。 1：访问的 PKCAU RAM 地址超出预期范围，产生地址错误。
19	RAMERR	PKCAU RAM 错误

0：未产生 PKCAU RAM 错误
1：当 PKCAU 内核在使用 PKCAU RAM 时，AHB 也在访问 PKCAU RAM，将产生 PKCAU RAM 错误。

18	保留	必须保持复位值。
17	ENDF	PKCAU 运算结束标志 当运算执行完成，该位由硬件置 1。
16	BUSY	忙标志 当 PKCAU_CTL 寄存器中 START 位置 1，该位由硬件置 1。当 PKCAU 运算结束，该位由硬件清 0。
15:0	保留	必须保持复位值。

11.4.3. 状态清除寄存器 (PKCAU_STATC)

地址偏移：0x08
复位值：0x0000 0000

该寄存器可以按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留											ADDRERRC	RAMERRC	保留	ENDFC	保留
											w	w		w	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31:21	保留	必须保持复位值。
20	ADDRERRC	地址错误标志清除 软件对该位写 1 可以清除 PKCAU_STAT 寄存器中 ADDRERR 位。
19	RAMERRC	PKCAU RAM 错误标志清除 软件对该位写 1 可以清除 PKCAU_STAT 寄存器中 RAMERR 位。
18	保留	必须保持复位值。
17	ENDFC	PKCAU 运算结束标志清除 软件对该位写 1 可以清除 PKCAU_STAT 寄存器中 ENDF 位。
16:0	保留	必须保持复位值。

12. 哈希处理器(HAU)

12.1. 简介

哈希处理器应用于信息安全。支持应用于多种场合的安全哈希算法(SHA-1，SHA-224和SHA-256)，消息摘要算法(MD5)和哈希运算消息认证码(HMAC)。对长达(2^{64}-1)位的消息，哈希处理器计算消息摘要长度对应于SHA-1，SHA-224，SHA-256，和MD5算法分别为160位，224位，256位，128位。而在HMAC算法中，SHA-1、SHA-224、SHA-256或MD5将作为哈希函数被调用两次，来产生验证消息。

哈希处理器完全兼容下列标准：

- 联邦信息处理标准出版物180-2(FIPS PUB 180-2)；
- 安全散列标准规范(SHA-1，SHA-224，SHA256)；
- 互联网工程任务组征求意见文档编号1321(IETF RFC 1321)规范(MD5)。

12.2. 主要特性

- 32位AHB从外设；
- 高性能的哈希算法运算；
- 小端数据表示；
- 支持多种数据交换类型，包括32位字不交换，半字交换，字节交换和位交换；
- 可自动填充来适应模数为512位(16×32位)消息摘要的计算；
- 支持DMA模式的数据流传输；
- 哈希 / HMAC计算挂起模式。

12.3. 数据类型

哈希处理器每次接收32位字，但每次计算处理一个512位块。对每个输入字，在送入哈希内核之前都会根据数据类型进行位 / 字节 / 半字 / 不交换。同样在数据输出之前也要进行相同的数据交换。注意由于系统存储器结构采用小端模式，无论使用何种数据类型，最低有效数据均占用最低地址位置。SHA-1，SHA-224，SHA-256的计算均为大端模式。

*图12-1. DATAM 不交换 / 半字交换*和*图12-2. DATAM 字节交换 / 位交换*介绍了在不同数据类型下的数据交换。

图 12-1. DATAM 不交换 / 半字交换



图 12-2. DATAM 字节交换 / 位交换

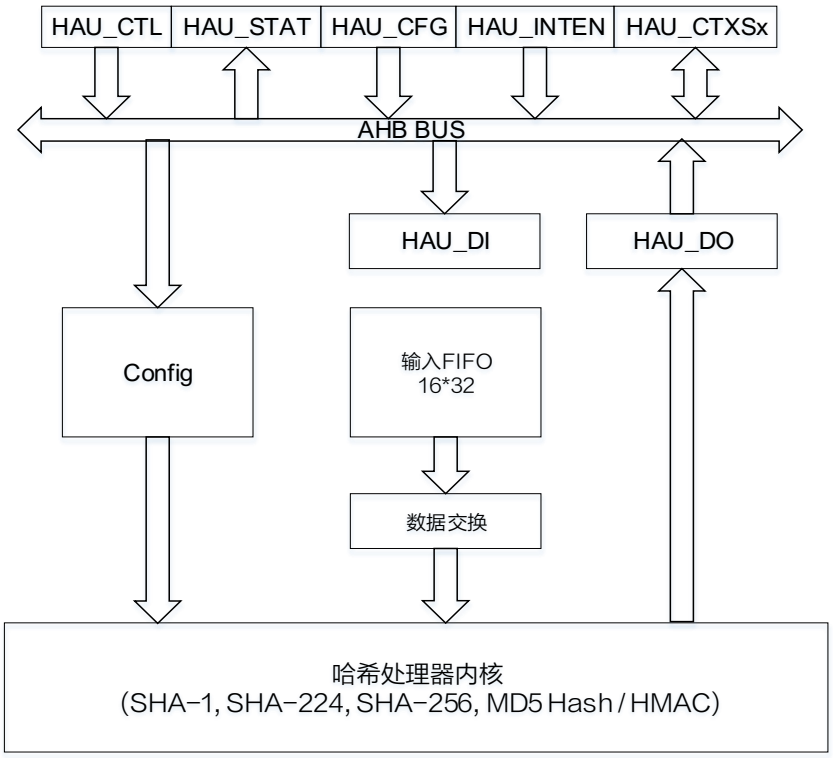


12.4. HAU 内核

哈希处理器使用安全哈希算法对输入消息进行信息压缩计算。对长度为(2^{64}-1)位的消息摘要计算结果的长度对应于SHA-1，SHA-224，SHA-256，和MD5算法分别为160位，224位，256位，128位。哈希处理器可用于生成和验证消息签名，并由于摘要远远小于消息的大小而具有更高的效率。

要由哈希处理器处理的消息应视为位串。消息长度为消息的位数。哈希处理器可以确保信息的安全，因为根据某个给定消息摘要来寻找原对应的消息在计算层面是无法实现的，而在原输入消息上任何的改动都将导致生成完全不同的消息摘要。

图 12-3. HAU 结构框图



12.4.1. 自动数据填充

为确保输入HAU内核的数据为512位的整数倍，需要对输入消息进行填充。消息填充操作由在原始消息的结尾添加一个1，后跟几个0和一个64位整数，填充物(0)将消息填充到整个512位的前448位，实现生成一个长度为512的填充消息块。

消息填充完成后，通过配置HAU_CFG寄存器的VBL位域来设置上面所述的64位整数。设置HAU_CFG寄存器的CALEN位为1，开始计算上个数据块的摘要。

数据填充示例：输入消息为"HAU"，对应的ASCII码16进制表示为

484155

接着根据消息的有效位长度，设置HAU_CFG寄存器的VBL位域为24。接着在位串的第24位处添加一个"1"，随后填充数个"0"使位串模数为448，十六进制结果如下所示：

48415580 00000000 00000000 00000000

00000000 00000000 00000000 00000000

00000000 00000000 00000000 00000000

00000000 00000000

之后，添加64位整数到已填充的输入消息后，该64位整数十六进制值为18，则最后的结果应该是：

48415580 00000000 00000000 00000000

00000000 00000000 00000000 00000000

00000000 00000000 00000000 00000000

00000000 00000000 00000000 00000018

12.4.2. 摘要计算

数据填充完成之后，通过DMA或CPU每次将512位的数据块送入HAU内核，HAU对每个数据块进行计算。在HAU内核开始计算之前，外设需要知道HAU_DI寄存器是否包含消息的最后一位。这可以从输入FIFO的状态和HAU_DI寄存器来确认。

通过 DMA 传输数据

数据块传输的状态将自动通过DMA控制器发送的信息来解释。当HAU_CFG寄存器的CALEN位置1时，将自动开始进行数据填充和摘要计算。

注意：如果消息是个大文件并需要多个DMA传输，则应将MDS位置1。另外在传输之前需要设置VBL位域。在DMA的传输完成之后硬件不会自动将CALEN位置1，以便可以接收新的DMA传输。在最后的DMA传输期间，需要将MDS位清零，从而在最后一个块传输结束时硬件自动将CALEN位置1。

若消息不需要多个DMA传输，则将MDS置0即可，这样在一个DMA传输完成之后就会硬件自动置位CALEN位。同样的，在DMA传输之前也需要先设置VBL位域。

通过 CPU 传输数据

当HAU_DI寄存器中写入下一个数据块的第一个字时，将开始计算当前数据块的摘要。

将HAU_CFG寄存器中CALEN位置1，将开始最后一个数据块的摘要计算。

12.4.3. 哈希模式

将HAU_CTL寄存器的HMS位设为0，选择为哈希模式。则当HAU_CTL寄存器的START位为1时，将根据ALGM位域的配置选择SHA-1，SHA-224，SHA-256或MD5算法进行计算。

当从HAU_DI寄存器和接收FIFO中接收到512位的消息块时，将根据DMA和CALEN位状态开始摘要的计算。

最终的计算结果可以从HAU_DO0...7寄存器中读取。

12.4.4. HMAC 模式

HMAC模式根据用户所选的密钥来进行消息验证。更多关于HMAC规范的信息请参阅"HMAC：密钥散列消息认证，H. Krawczyk，M. Bellare，R. Canetti，1997年2月"。

HMAC算法表示如下：

HMAC(input) = HASH[((key | opad) XOR 0x5c) | HASH(((key | ipad) XOR 0x36) | input)]

其中"ipad"和"opad"用于将密钥用数个"0"进行填充扩展到512位，"|"为连接符。

HMAC模式需要四个不同阶段：

1. 将HAU_CTL寄存器的HMS位置1，并根据期望的算法设置ALGM位域。若密钥"key"长度超过64个字节，则还需配置HAU_CTL寄存器的KLM位。之后，将START位置位以启动HAU内核；
2. 密钥"key"作为输入消息来进行哈希模式下的计算；
3. 当输入了最后一个字并开始计算之后，HAU生成新的密钥"key"作为内部哈希密钥；
4. 在第一次的哈希计算后，HAU内核开始接收用于外部哈希函数的密钥，通常外部的哈希函数使用与内部哈希密钥相同的新的密钥"key"。当输入了密钥的最后一个字，则开始进行计算，计算结果可从HAU_DO寄存器中读取。

12.5. HAU 挂起模式

HAU可以暂时挂起哈希或HMAC操作，从而先执行优先级更高的任务，在处理完优先级更高的任务后，再完成被挂起数据块的哈希或HMAC操作。

挂起任务前，必须将被挂起任务的上下文从寄存器保存到存储器，恢复任务时，再从存储器恢复到HAU寄存器。

以下说明由CPU或DMA传输数据时，按照下列的步骤来完成被挂起HAU任务的处理。

12.5.1. 通过 CPU 加载数据

1. 停止当前数据处理与传输。等待BUSY位为0，若NWIF[3:0]的值大于0，则需等待DIF位置位(若NWIF[3:0]的值等于0，则不等待DIF位置位)。只有在当前未处理任何块时才能保存上下文；

2. 保存当前配置。将HAU_INTEN，HAU_CFG，HAU_CTL，HAU_CTXS0到HAU_CTXS37(如果正在进行HMAC操作，则HAU_CTXS0到HAU_CTXS53)寄存器的内容保存到存储器中；
3. 配置并处理新消息；
4. 恢复之前的配置环境。将存储器中保存的值写入HAU_INTEN，HAU_CFG，HAU_CTL寄存器中；
5. 恢复消息的计算。置位HAU_CTL寄存器的START位来初始化重新开始新消息的摘要计算；
6. 恢复之前的内核状态。将存储器中保存的值写入HAU_CTXS0到HAU_CTXS37寄存器中(如果涉及HMAC操作，则HAU_CTXS0到HAU_CTXS53)；
7. 从之前挂起的地方继续处理。

12.5.2. 通过 DMA 加载数据

1. 等待BUSY位为0，此时若HAU_STAT寄存器的CCF位置位，则不需要后续的上下文交换，否则再等待BUSY位为1；
2. 停止当前数据传输。禁能DMA1的通道7数据传输，再将HAU_CTL寄存器中的DMAE位清零以禁能DMA请求；
3. 保存当前配置。等待BUSY位为0，此时若HAU_STAT寄存器的CCF位置位，则不需要后续的上下文交换，否则将HAU_INTEN，HAU_CFG，HAU_CTL，HAU_CTXS0到HAU_CTXS37(如果正在进行HMAC操作，则HAU_CTXS0 到 HAU_CTXS53)寄存器的内容保存到存储器中；
4. 配置并处理新消息；
5. 恢复之前的环境配置。将存储器中保存的值写入HAU_INTEN，HAU_CFG，HAU_CTL寄存器中；
6. 恢复DMA通道传输。重新配置DMA通道以继续数据传输；
7. 恢复消息的计算。置位HAU_CTL寄存器的START位来初始化重新开始新消息的摘要计算；
8. 恢复之前内核的状态。将存储器中保存的值写入HAU_CTXS0到HAU_CTXS37寄存器中(如果涉及HMAC操作，则HAU_CTXS0 到 HAU_CTXS53)；
9. 置位HAU_CTL寄存器的位DMAE，从之前挂起的地方继续处理。

注意：如果HAU_CTL寄存器的位NWIF[3:0]为0，则说明上下文交换发生在在两个块之间，上一个数据块已完全处理，并且下一个块还未推入到输入FIFO，那么此时不需要保存和恢复HAU_CTXS22到HAU_CTXS37寄存器。

12.6. HAU 中断

HAU具有两个独立的中断源，并在HAU_STAT有相应的状态位。这两个状态位用于指示输入FIFO的状态，以及摘要的计算是否完成。

HAU_INTEN寄存器为中断使能寄存器。将相应位置1可以使能中断。

12.6.1. 输入 FIFO 中断

当输入FIFO中的数据处理已完成时，输入FIFO标志位DIF置位。如果置位DIIE位使能了输入

FIFO中断，则当输入FIFO标志位DIF置位时会发生输入FIFO中断。

12.6.2. 计算完成中断

当摘要计算完成时，计算完成标志位CCF将置位。如果置位CCIE位使能了计算完成中断，则当计算完成标志位CCF置位时会发生计算完成中断。

12.7. HAU 寄存器

HAU基地址：0x5006 0400

12.7.1. 控制寄存器(HAU_CTL)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留													ALGM[1]	保留	KLM
													rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		MDS	DINE	NWIF[3:0]				ALGM[0]	HMS	DATAM[1:0]		DMAE	START	保留	
		rw	r	r				rw	rw	rw		rw	w		

位/位域	名称	描述
31:19	保留	必须保持复位值。
18	ALGM[1]	算法选择位1
17	保留	必须保持复位值。
16	KLM	密钥长度模式 0：密钥长度 <= 64 字节 1：密钥长度 > 64 字节 **注意**：必须在非计算期间修改该位
15:14	保留	必须保持复位值。
13	MDS	多DMA选择 如果哈希消息为大型文件需要多个DMA传输时，将此位置1 0：仅需要单次DMA传输，在DMA传输结束时硬件自动将CALEN位置1 1：需要多次DMA传输，在DMA传输结束时硬件不自动将CALEN位置1
12	DINE	DI寄存器非空 0：DI寄存器空 1：DI寄存器非空 **注意**：当START位或CALEN位为1时此位会清零
11:8	NWIF[3:0]	输入FIFO中的字数 **注意**：当START位置位时，或开始进行摘要计算时(CALEN位置位，或者DMA传输结束)，该位域清零
7	ALGM[0]	算法选择位0 该位和CTL寄存器的位18用于选择SHA-1，SHA-224，SHA256或MD5 算法： 00：选择SHA-1算法

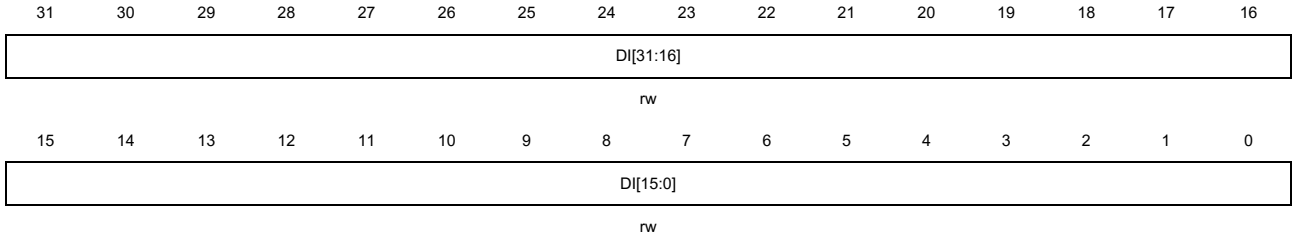
		01：选择MD5算法 10：选择SHA224算法 11：选择SHA256算法
6	HMS	HAU模式选择，必须在非计算期间修改该位 0：选择HASH模式 1：选择HMAC模式。如果密钥长度大于64字节，则还需配置KLM位。
5:4	DATAM[1:0]	数据交换类型 定义输入到HAU_DI寄存器中的数据格式 00：不交换，写入到HAU_DI寄存器的数据将直接送入FIFO，不进行交换 01：半字交换。写入到HAU_DI寄存器的数据在送入FIFO前，需要进行半字交换 10：字节交换。写入到HAU_DI寄存器的数据在送入FIFO前，需要进行字节交换 11：位交换。写入到HAU_DI寄存器的数据在送入FIFO前，需要进行位交换
3	DMAE	DMA使能 0：禁止DMA传输 1：使能DMA传输 **注意：** 1.当DMA传输消息的最后一个数据时，将由硬件清零该位。当START置位时，不会清零该位。 2.如果DMA正在传输数据，将该位写入0不会中止当前的传输，而直到当前传输结束或START位置为1之后，才会禁止传输
2	START	开始摘要计算 0：没有影响 1：开始新消息的摘要计算 **注意：** 读取该位将始终返回0
1:0	保留	必须保持复位值。

12.7.2. 数据输入寄存器(HAU_DI)

地址偏移：0x04
复位值：0x0000 0000

该数据输入寄存器用于将512位的数据块送入输入FIFO进行处理。当正在进行摘要计算时，所有对该寄存器的新的写访问将被延迟，直到计算完成。

该寄存器只能按字(32位)访问。

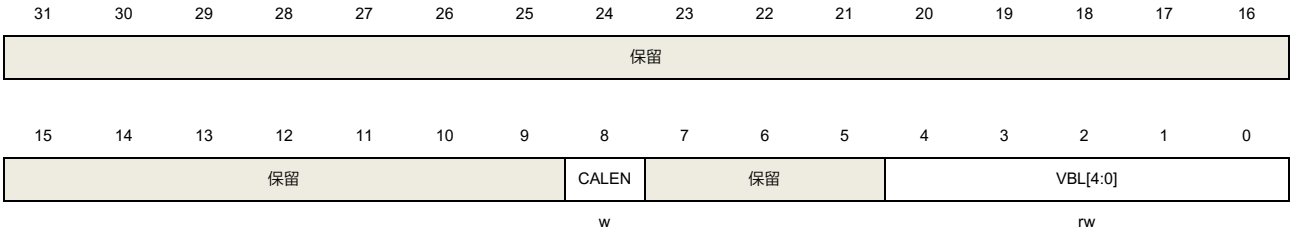


位/位域	名称	描述
31:0	DI[31:0]	消息数据输入 当数据写入这些寄存器时，寄存器中当前的内容被推入输入FIFO中同时更新为新的值。当读寄存器时，返回寄存器的当前内容。

12.7.3. 配置寄存器(HAU_CFG)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:9	保留	必须保持复位值。
8	CALEN	使能摘要计算 0：不计算 1：先使用VBL位域对数据进行数据填充，然后开始计算最终消息摘要 **注意：**读该位将返回0
7:5	保留	必须保持复位值。
4:0	VBL[4:0]	消息的最后一个字中的有效位数 0x00：对于写入HAU_DI寄存器的最后一个数据，所有32位(在数据交换后)均有效。 0x01：对于写入HAU_DI寄存器的最后一个数据，仅位[31](在数据交换后)有效。 0x02：对于写入HAU_DI寄存器的最后一个数据，仅位[31:30](在数据交换后)有效。 0x03：对于写入HAU_DI寄存器的最后一个数据，仅位[31:29](在数据交换后)有效。 … 0x1F：对于写入HAU_DI寄存器的最后一个数据，仅位[31:1](在数据交换后)有效。 **注意：**必须在置位CALEN位之前配置该位。

12.7.4. 数据输出寄存器(HAU_DO0..7)

复位值：0x0000 0000
该寄存器只能按字(32位)访问。

数据输出寄存器为只读寄存器，用于从输出FIFO中接收计算结果。置位START位将复位该寄存器。当正在进行摘要计算时，所有对该寄存器的新的读访问将被延迟，直到计算完成。

在SHA-1模式中，使用HAU_DO0…4

在MD5模式中，使用HAU_DO0…3
在SHA-224模式中，使用HAU_DO0…6
在SHA-256模式中，使用HAU_DO0…7

HAU_DO0

地址偏移：0x0C和0x310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO0[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO0[15:0]															
r															

HAU_DO1

地址偏移：0x10和0x314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO1[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO1[15:0]															
r															

HAU_DO2

地址偏移：0x14和0x318

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO2[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO2[15:0]															
r															

HAU_DO3

地址偏移：0x18和0x31C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO3[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO3[15:0]															
r															

HAU_DO4

地址偏移：0x1C和0x320

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO4[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO4[15:0]															
r															

HAU_DO5

地址偏移：0x324

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO5[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO5[15:0]															
r															

HAU_DO6

地址偏移：0x328

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO6[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO6[15:0]															
r															

HAU_DO7

地址偏移：0x32C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO7[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO7[15:0]															
r															

位/位域	名称	描述
31:0	DO0..7[31:0]	消息摘要结果

12.7.5. 中断使能寄存器(HAU_INTEN)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														CCIE	DIIE
														rw	rw

位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CCIE	计算完成中断使能 0：禁止计算完成中断 1：使能计算完成中断
0	DIIE	数据输入中断使能 0：禁止数据输入中断 1：使能数据输入中断

12.7.6. 状态与标志寄存器(HAU_STAT)

地址偏移：0x24
复位值：0x0000 0001

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												BUSY	DMAS	CCF	DIF
												r	r	rc_w0	rc_w0

位/位域	名称	描述
31:4	保留	必须保持复位值。
3	BUSY	忙标志位 0：未处理任何块

		1：正在处理某个数据块
2	DMAS	DMA状态标志 0：DMA接口被禁用(DMAE=0)并且未在进行任何传输 1：DMA接口被使能(DMAE=1)或者正在进行传输
1	CCF	计算完成状态标志 0：计算未完成 1：所有消息摘要计算完成
0	DIF	数据输入状态标志 0：有一个字数据写入数据输入寄存器 1：完成一个字数据的初步处理(只有在输入FIFO中的数据才会被处理)

12.7.7. 上下文交换寄存器 x(HAU_CTXSx)(x=0...53)

地址偏移：0xF8 + 0x04 × x, (x = 0...53)
复位值：0x0000 0002(当x=0)，0x0000 0000(当x = 1…53)

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CTXx[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTXx[15:0]															
rw															

位/位域	名称	描述
31:0	CTXx[31:0]	HAU处理器完整的内部状态信息。当有一个更高优先级的任务需要处理时，读取并保存这些寄存器的数据，恢复的时候将保存的数据写回到这些寄存器从而恢复前面被挂起的任务。

13. 加密处理器(CAU)

13.1. 简介

加密处理单元支持处理DES，三重DES或AES(128，192或256)算法，对数据进行加密或解密。加密处理器完全兼容下列标准：

- 联邦信息处理标准出版物"FIPS PUB 46-3，1999年10月25日"规定的数据加密标准(DES)和三重DES(TDES)。它遵循美国国家标准协会(ANSI)X9.52标准；
- 联邦信息处理标准出版物(FIPS PUB 197，2001年11月26日)规定的高级加密标准(AES)。

CAU处理器可在多种模式下使用DES / 三重DES / 多种长度密钥的AES算法执行数据加密和解密。

CAU外设为32位AHB外设，它支持对输入FIFO和输出FIFO的DMA传输。

13.2. 主要特征

- 支持DES，三重DES和AES加密解密算法；
- 支持DES，三重DES和AES下的多种模式，包括电子密码本(ECB)、加密分组链接(CBC)模式、计数器模式(CTR)、伽罗瓦 / 计数器模式(GCM)、伽罗瓦消息验证码模式(GMAC)、加密分组链接-消息验证码模式(CCM)、密码反馈模式(CFB)和输出反馈模式(OFB)；
- 输入与输出FIFO支持DMA传输。

DES/三重DES

- 支持电子密码本(ECB)或加密分组链接(CBC)模式；
- 支持在CBC模式下使用2×32位初始化向量(IV)；
- 输入FIFO和输出FIFO可存储8x32位数据；
- 对于输入/输出FIFO的数据支持半字、字节、位交换或不交换；
- 数据可通过DMA或CPU中断进行传输，也可以不通过两者进行传输。

AES

- 支持支持电子密码本(ECB)、加密分组链接(CBC)模式、计数器模式(CTR)、伽罗瓦 / 计数器模式(GCM)、伽罗瓦消息验证码模式(GMAC)、加密分组链接-消息验证码模式(CCM)、密码反馈模式(CFB)和输出反馈模式(OFB)；
- 支持128位、192位或256位密钥；
- 支持在CBC、CTR、GCM、GMAC、CCM、CFB和OFB模式下使用4×32位初始化向量(IV)；
- 输入和输出FIFO各8字深；
- 对于输入/输出FIFO的数据支持半字、字节、位交换或不交换；
- 数据可通过DMA或CPU中断进行传输，也可以不通过两者进行传输。

13.3. CAU 数据类型和初始化向量

13.3.1. 数据类型

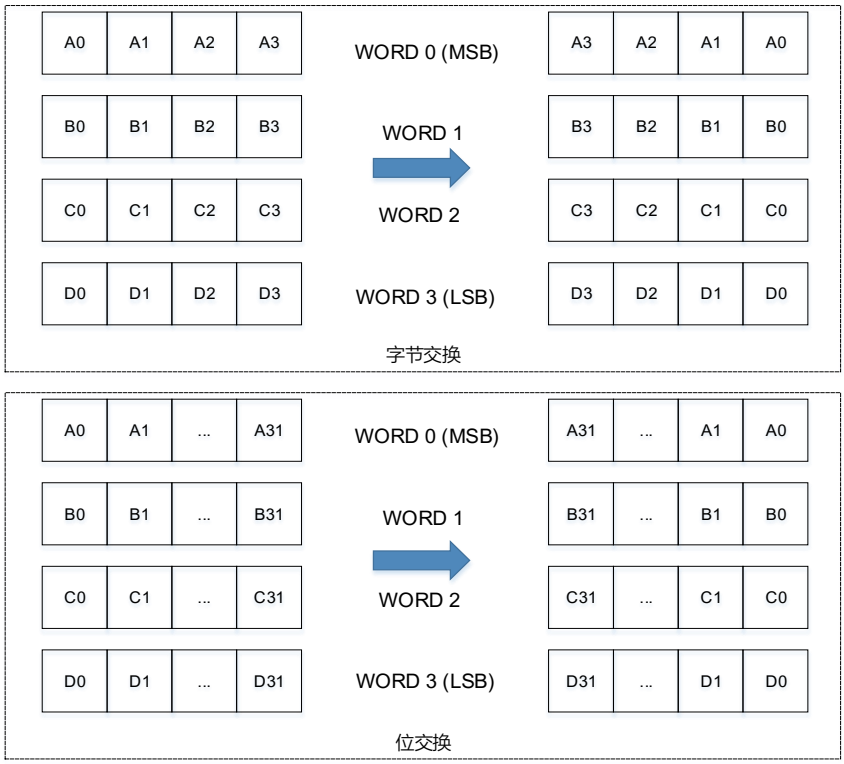
CAU处理器一次输入32位(字)数据，DES每64位对数据流进行处理，AES每128位对数据流进行处理。对于每个数据块，在其进入CAU处理器之前，可对这些数据执行位、字节、半字交换或不交换操作(取决于要加密的数据类型)。在CAU数据写入OUT FIFO之前，需要对其执行同样的交换操作。注意由于系统存储器结构采用小端模式，无论使用何种数据类型，最低有效数据均占用最低地址位置。

*图13-1. DATAM不交换 / 半字交换*和*图13-2. DATATM字节交换 / 位交换*介绍了128位AES块在不同数据类型下的数据交换。(对于DES，数据块大小为2个32位字，请参考图中前两个字的数据交换)

图 13-1. DATAM 不交换 / 半字交换



图 13-2. DATATM 字节交换 / 位交换



13.3.2. 初始化向量

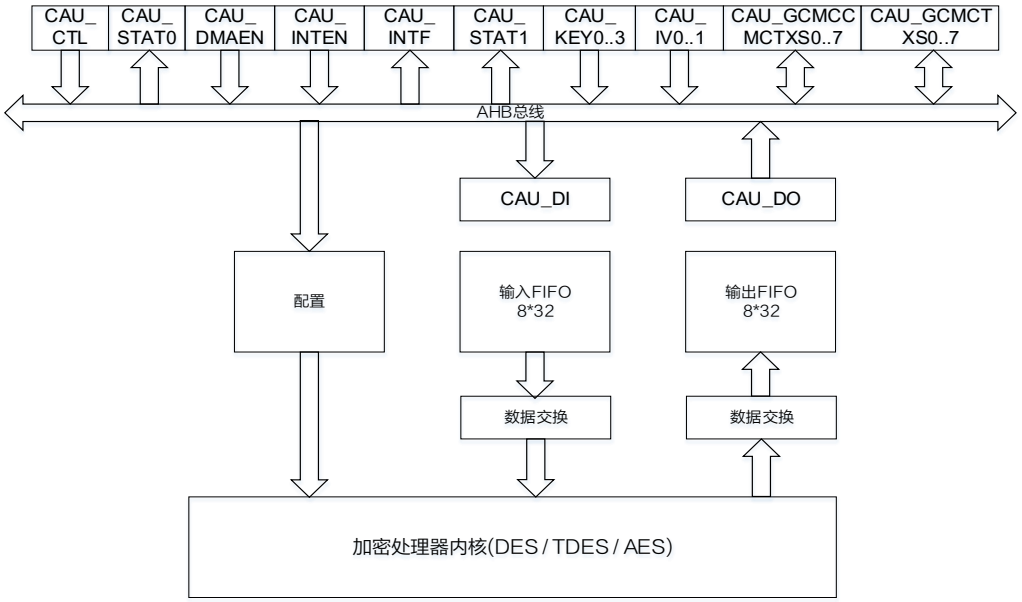
初始化向量用于在CBC、CTR、GCM、GMAC、CCM、CFB和OFB模式下与数据块进行异或。初始化向量与明文或密码数据无关，而且它们不受DATAM值的影响。注意初始化向量寄存器CAU_IV0..1(H / L)只有在BUSY位(CAU_STAT0寄存器位4)为0时才能被修改，否则写操作都是无效的。

13.4. 加密处理器流程

加密处理器关于DES和AES加密处理的实现具体请参考章节*DES / TDES加密处理流程*和*AES加密处理流程*。

*图13-3. CAU框图*为加密处理器的模块框图。

图 13-3. CAU 框图



13.4.1. DES / TDES 加密处理流程

DES / 三重DES加密处理器由DES算法(DEA)，密钥(DES算法使用1个密钥，TDES算法使用3个密钥)，以及在CBC模式下使用的初始化向量组成。

DES / TDES 密钥

DES模式密钥为[KEY1]，TDES模式密钥为[KEY3 KEY2 KEY1]。当配置使用TDES算法，支持以下三种密钥选项：

1. 三个相同密钥

三个密钥KEY3、KEY2和KEY1是相同的，即KEY3=KEY2=KEY1。该选项详见FIPS PUB 46-3-1999(以及ANSI X9.52-1998)。这种模式下实际上与DES是等同的。

2. 两个独立密钥

这个选项中，KEY2与KEY1不同，KEY3与KEY1相同，即KEY1与KEY2独立，而KEY3=KEY1。该选项详见FIPS PUB 46-3-1999(以及ANSI X9.52-1998)。

3. 三个独立密钥

这个选项中，KEY1，KEY2与KEY3都是独立的。详见FIPS PUB 46-3 -1999(以及ANSI X9.52-1998)。

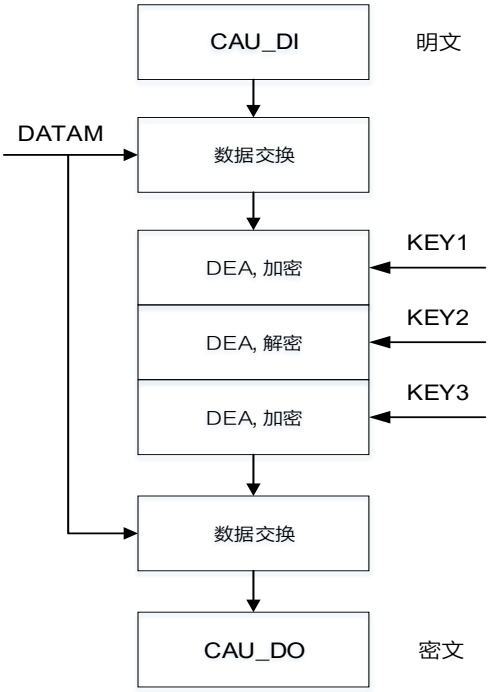
FIPS PUB 46-3(以及ANSI X9.52-1998)对DES/TDES中密钥的使用进行了详尽的解释，在本手册中不进行赘述。

DES / TDES 电子密码本(ECB)加密

64位输入明文数据首先经过根据数据类型值进行数据交换后作为输入数据块。若配置使用的是

TDES算法，则输入数据块通过DEA使用KEY1进行加密处理。处理结果输出直接反馈到DEA，使用KEY2进行解密处理。之后处理结果输出直接反馈到到最后的DEA，使用KEY3进行加密处理。上述的处理过程的输出需要再次根据数据类型值进行数据交换，生成一个64位密文输出数据块。若配置使用的是DES算法，在通过DEA使用KEY1进行加密处理后的结果直接根据数据类型值进行数据交换，生成一个64位密文输出数据块。DES/TDES电子密码本加密流程图见*图 13-4. DES / TDES* **ECB加密**。

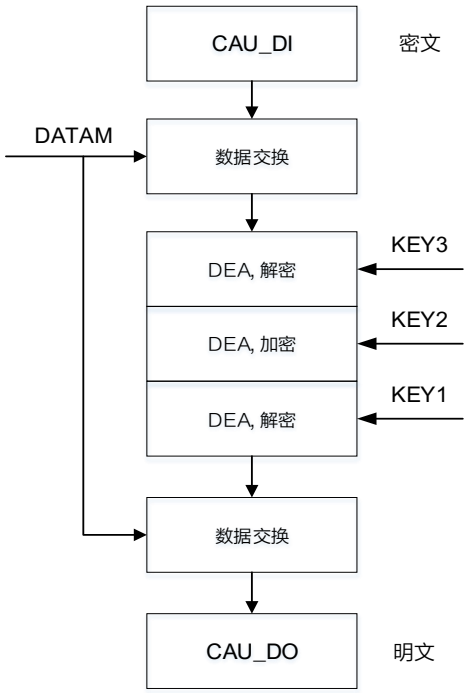
图 13-4. DES / TDES ECB 加密



DES / TDES 电子密码本(ECB)解密

根据数据类型进行数据交换后，首先得到64位的输入密文。若配置使用的是TDES算法，将在DEA中读取输入数据块并使用KEY3进行解密处理。处理结果输出直接反馈到下一个DEA，使用KEY2进行加密处理。之后处理结果输出直接反馈到到最后的DEA，使用KEY1进行解密处理。上述的处理过程的输出需要再次根据数据类型进行数据交换，生成一个64位明文输出数据块。若配置使用的是DES算法，在通过DEA使用KEY1进行解密处理后的结果直接根据数据类型值进行数据交换，生成一个64位明文输出数据块。DES / TDES电子密码本解密流程图见*图13-5. DES / TDES* **ECB解密**。

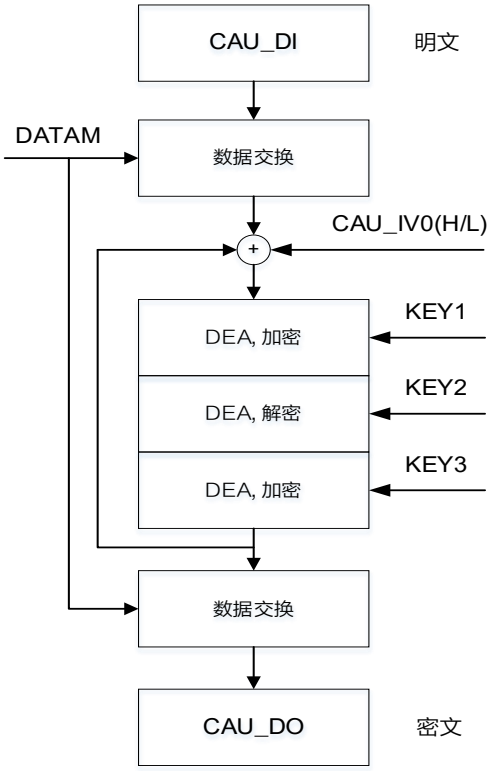
图 13-5. DES / TDES ECB 解密



DES / TDES 加密分组链接(CBC)加密

CBC模式下DEA块的输入包括两部分：根据数据类型进行数据交换后的输入明文数据块，以及初始化向量。若配置使用的是TDES算法，第一个数据交换后的输入明文数据块与64位初始化向量CAU_IV0..1进行异或运算，结果在DEA中读取并使用KEY1进行加密处理。处理结果输出直接反馈到下一个DEA，使用KEY2进行解密处理。之后处理结果输出直接反馈到到最后的DEA，使用KEY3进行加密处理。上述的处理过程的输出作为下一个初始化向量，并与下一个明文数据块进行异或运算，进行下一轮的加密处理。重复上述的操作，直到完成最后一个明文数据块的加密处理。注意如果明文消息中的数据块数不是整数，则应按指定的方式对最后的不完整数据块进行加密处理。最后，对上述处理结果的输出需要再次根据数据类型进行数据交换，生成密文输出数据块。若配置使用的是DES算法，则在上述的步骤操作中忽略第二次和第三次DEA的运算处理。DES / TDES加密分组链接加密流程图见*图13-6. DES / TDES* **CBC加密**。

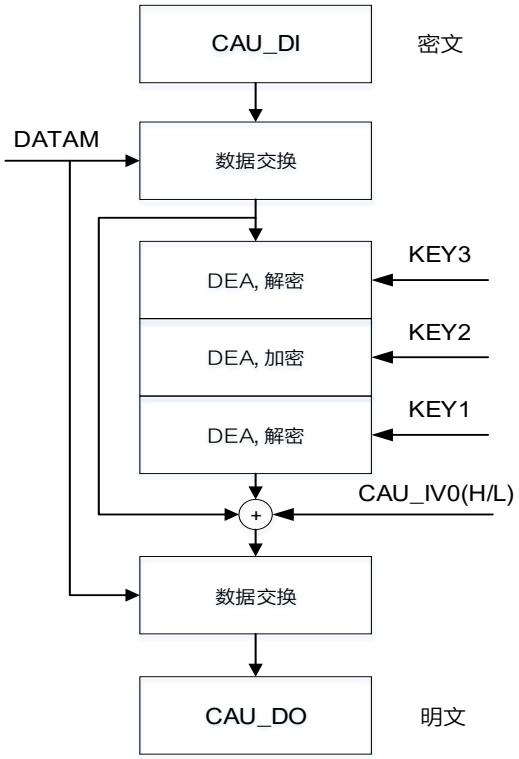
图 13-6. DES / TDES CBC 加密



DES / TDES 密码块链接(CBC)解密

使用DES/TDES CBC模式解密，若配置使用的是TDES算法，第一个数据交换后的输入密文数据块，通过DEA读取并使用KEY3进行解密处理。处理结果输出直接反馈到下一个DEA，使用KEY2进行加密处理。之后处理结果输出直接反馈到到最后的DEA，使用KEY1进行解密处理。上述的处理过程的输出再与64位初始化向量CAU_IV0..1进行异或运算。之后，第一个输入密文数据块作为下一个初始化向量，并与后续的DEA解密处理后的输出结果进行异或运算。重复上述的操作，直到完成最后一个密文数据块的解密处理。注意如果密文消息中的数据块数不是整数，则应按指定的方式对最后的不完整数据块进行解密处理。最后，对上述处理结果的输出需要再次根据数据类型进行数据交换，生成明文输出数据块。若配置使用的是DES算法，则在上述的步骤操作中忽略第二次和第三次DEA的运算处理。DES / TDES加密分组链接解密流程图见*图13-7. DES / TDES* **CBC解密**。

图 13-7. DES / TDES CBC 解密



13.4.2. AES 加密处理流程

AES加密处理器由AES算法(AEA)，多个密钥，以及初始化向量或随机数三部分组成。

AES支持三种长度的密钥：128、192和256位密钥，根据操作模式的不同使用不同数目的初始化向量或随机数。

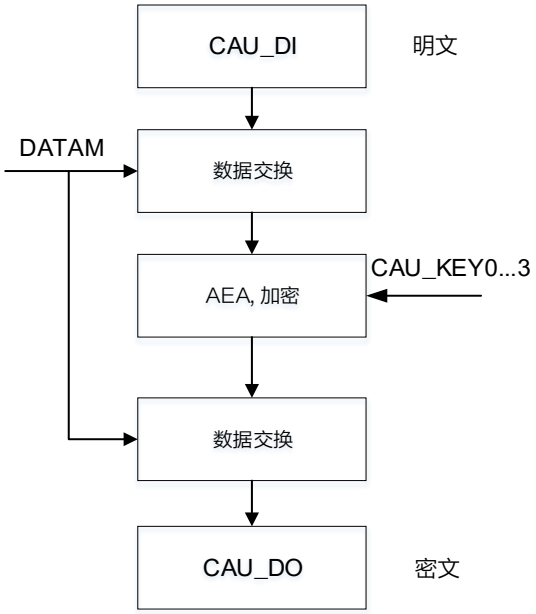
使用128位密钥时AES密钥为[KEY3 KEY2]，使用192位密钥时AES密钥为[KEY3 KEY2 KEY1]，使用256位密钥时AES密钥为[KEY3 KEY2 KEY1 KEY0]。

FIPS PUB 197(2001年11月26日)中对AES中使用的密钥进行了详细的解释，本手册不再进行赘述。

AES 电子密码本(ECB)加密

根据数据类型进行数据交换后，首先得到128位输入明文数据块。输入数据块通过AEA使用128位，或192位，或256位密钥进行加密处理。处理结果再根据数据类型进行数据交换，生成一个128位密文输出数据块，并存储在输出FIFO中。AES电子密码本加密流程图见*图13-8. AES ECB加密*。

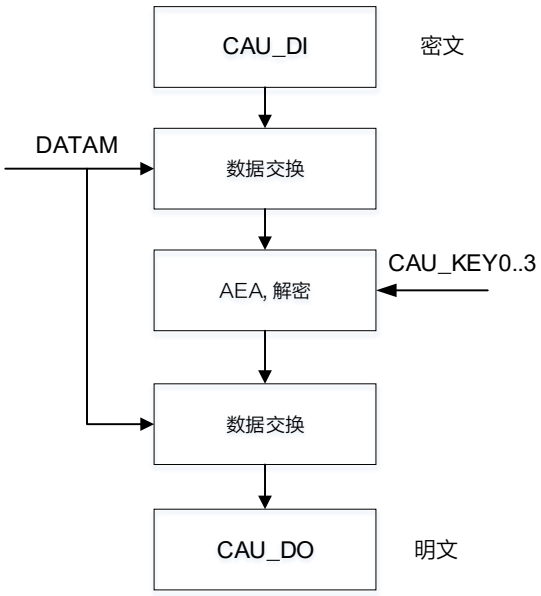
图 13-8. AES ECB 加密



AES 电子密码本(ECB)解密

首先需要准备密钥，以用于解密，密钥准备过程的输入密钥与加密处理中的密钥相同。从上述操作中获得的最后一个密钥将作为解密处理用的第一个密钥。密钥准备完成后，首先根据数据类型进行数据交换得到128位输入密文数据块。输入数据块在AEA中读取并使用上面准备的密钥进行解密处理。处理结果输出再根据数据类型值进行数据交换，生成一个128位明文输出数据块。AES电子密码本解密流程图见*图13-9. AES ECB解密*。

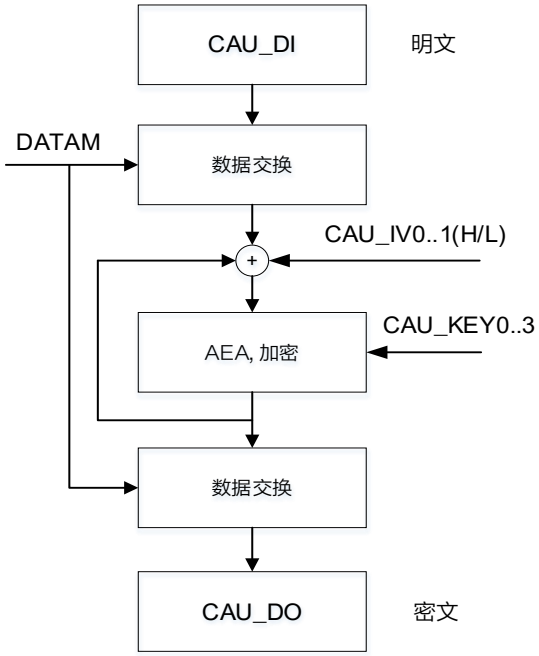
图 13-9. AES ECB 解密



AES 加密分组链接(CBC)加密

CBC模式下AEA块的输入包括两部分：根据数据类型进行数据交换后的输入明文数据块，以及初始化向量。数据交换后的输入明文数据块与128位初始化向量CAU_IV0..1进行异或运算，结果再通过AEA使用128位，或192位，或256位密钥进行加密处理。处理结果作为下一个初始化向量，并与下一个输入明文数据块进行异或运算，进行下一轮加密处理。重复上述的操作，直到完成最后一个明文数据块的加密处理。注意如果明文消息中的数据块数不是整数，则应按指定的方式对最后的不完整数据块进行加密处理。最后，对上述处理结果的输出需要再次根据数据类型值进行数据交换，生成密文输出数据块。AES加密分组链接加密流程图见*图13-10. AES CBC加密*。

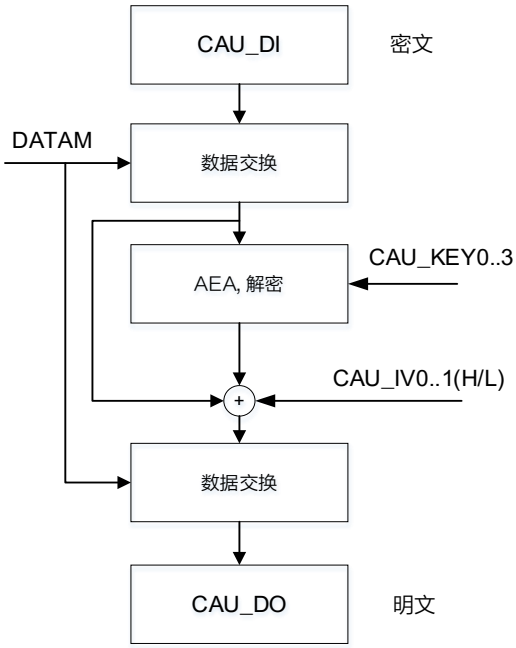
图 13-10. AES CBC 加密



AES 加密分组链接(CBC)解密

与AES电子密码本(ECB)模式解密类似，首先需要准备密钥以用于解密，密钥准备过程的输入密钥与加密处理中的密钥相同。从上述操作中获得的最后一个密钥将作为解密处理用的第一个密钥。密钥准备完成后，首先根据数据类型进行数据交换，得到128位输入密文数据块，输入数据块在AEA中读取并使用准备的密钥进行解密处理。之后，第一个输入密文数据块作为下一个初始化向量，并与下一个AEA解密处理结果进行异或运算(第一次的初始化向量为输入CAU_IV0..1的初值)。重复上述的操作，直到完成最后一个密文数据块的解密处理。注意如果密文消息中的数据块数不是整数，则应按指定的方式对最后的不完整数据块进行解密处理。最后，对上述处理结果的输出需要再次根据数据类型进行数据交换，生成明文输出数据块。AES加密分组链接解密流程图见*图13-11. AES CBC解密*。

图 13-11. AES CBC 解密



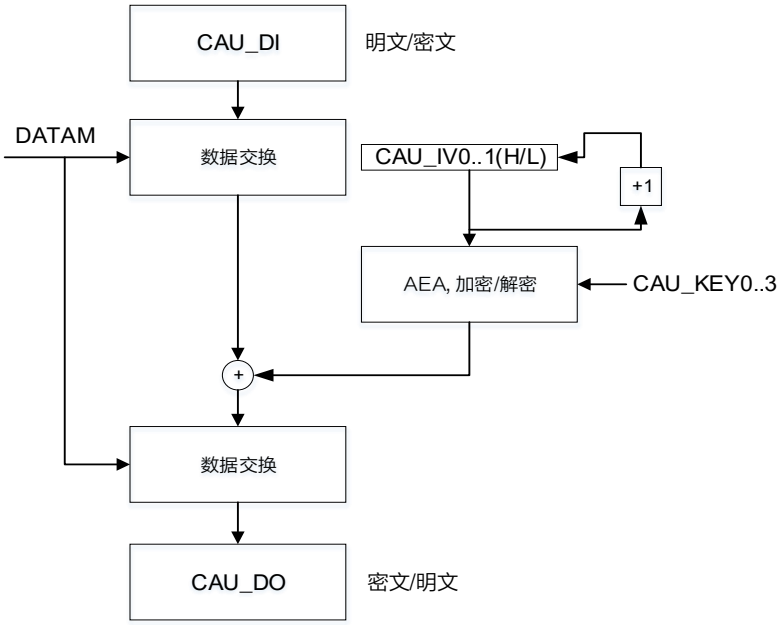
AES 计数器(CTR)模式

在计数器模式下，随机数与计数器的组合会作为AEA计算单元的输入来进行运算，运算结果会与输入的明文或密文进行异或，来求得最终加密或者解密的结果。由于加密和解密处理的计数器值是由相同的初始值进行递增的，因此加密和解密处理用的密钥序列是相同的。解密处理的操作与加密操作的流程完全相同。128位初始化向量的低32位表示为计数器值，这意味着其余96位在操作过程中保持不变，并且计数器的初始值应当设置为1。随机数是一个32位一次性值，应当更新到每个通信块。64位的初始化向量应确保每个给定值只用于一个给定密钥。计数器块框图结构见*图13-12. 计数器块结构*，AES计数器加密/解密流程图见*图13-13. AES CTR加密/解密*。

图 13-12. 计数器块结构



图 13-13. AES CTR 加密/解密



AES-GCM 模式

AES伽罗瓦 / 计数器模式(GCM)可用于加密或验证消息，来获得密文和标签。该算法基于AES计数器模式，保证了机密性。利用固定的有限域乘法运算来生成标签。

在该模式中，执行加密/解密需要四个步骤：

1. GCM准备阶段

   内部计算和保存哈希密钥以在后续使用。

   (a) 将CAUEN清零，禁能CAU；
   (b) 配置ALGM[3:0]位域为'1000'；
   (c) 配置GCM_CCMPH[1:0]位域为'00'；
   (d) 配置密钥寄存器CAU_KEY0..3(H/L)和初始化向量寄存器CAU_IV0..1(H/L)；
   (e) 置位CAUEN位，使能CAU；
   (f) 等待CAUEN位被硬件清零，然后再置位CAUEN，使能CAU，进行下个步骤。

2. GCM AAD(附加身份验证数据)阶段

   AAD阶段必须在GCM初始化阶段之后进行，并在加密解密阶段之前。在这个阶段，数据仅进行了验证，而没有被保密。

   (g) 配置GCM_CCMPH[1:0]位域为'01'；
   (h) 将AAD数据写入CAU_DI寄存器，并使用CAU_STAT0寄存器的INF和IEM标志来判断输入FIFO是否能接收数据。AAD大小必须为128位的倍数。也可使用DMA来写入AAD数据；
   (i) 重复步骤(h)直到所有AAD数据都写入，并等待CAU_STAT0寄存器的BUSY位清零。

3. GCM加密解密阶段

加密解密阶段必须在GCM AAD阶段之后进行。在这个阶段，对消息进行了验证，并加密或解密。

(j) 配置GCM_CCMPH[1:0]位为'10';
(k) 配置CAUDIR位来选择算法方向;
(l) 将有效负载消息写入CAU_DI寄存器，并使用CAU_STAT0寄存器的INF和IEM标志来判断输入FIFO是否能接收数据。使用CAU_STAT0寄存器的ONE和OFU标志判断输出FIFO是否为空，如果不为空，就读取CAU_DO寄存器。也可使用DMA来写入有效负载消息;
(m) 重复步骤(l)直到所有的有效负载块都完成计算。

4. GCM标签阶段

在这个阶段，将生成最后的验证标签。

(n) 配置GCM_CCMPH[1:0]位为'11';
(o) 将最后的数据块(由64位AAD大小和64位有效负载消息大小组成)写入CAU_DI寄存器;
(p) 在完成写4次CAU_DI寄存器之后，等待CAU_STAT0寄存器的ONE标志置位，然后读取CAU_DO寄存器4次，这个输出数据就是最后生成的验证标签;
(q) 禁能CAU。

注意：解密时，必须在开始阶段时准备好密钥。

AES-GMAC 模式

AES伽罗瓦消息验证码(GMAC)模式支持提供对消息的完整性验证。这个模式处理流程可视为AES-GCM模式流程除去加密解密阶段。

AES-CCM 模式

AES结合了类似于AES-GCM的密码机模式，支持消息的保密，以及完整性验证。AES-CCM模式基于AES-CTR模式来确保了消息的保密性，使用AES-CBC模式来生成128位标签。

CCM标准(RFC 3610 Counter with CBC-MAC (CCM) 标准，2003年9月发布)为首个验证块(在该标准中称为B0)定义了特定的编码规则，具体来说，首个块包括标志、随机数以及以字节计的有效负载大小。CCM标准为加密/解密指定了另外的格式，称为A或者计数器。计数器在有效负载阶段递增计数，在生成标签阶段计数器低32位有效位初始化为'1'(在CCM标准中称为A0数据包)。

注意：B0数据包的格式化操作需要在软件中处理完成。

在该模式中，执行加密/解密需要四个步骤：

1. CCM准备阶段

准备阶段，将B0数据包(首个块)写入CAU_DI寄存器。在这个阶段，CAU_DO寄存器不包含任何输出数据。

(a) 清零CAUEN位，禁能CAU;

(b) 配置ALGM[3:0]位域为'1001';
(c) 配置GCM_CCMPH[1:0]位域为'00';
(d) 配置密钥寄存器CAU_KEY0..3(H / L)和初始化向量寄存器CAU_IV0..1(H / L);
(e) 置位CAUEN位，使能CAU;
(f) 将B0数据包写入CAU_DI寄存器;
(g) 等待CAUEN位被硬件清零，然后再置位CAUEN，使能CAU，进行下个步骤。

2. CCM AAD(附件身份验证数据)阶段

AAD阶段必须在CCM准备阶段之后进行，并在加密解密阶段之前。在这个阶段，CAU_DO寄存器不包含任何输出数据。

如果没有附加的验证数据，可以跳过这个阶段。

(h) 配置GCM_CCMPH[1:0]位域为'01';
(i) 将AAD数据写入到CAU_DI寄存器，并使用CAU_STAT0寄存器的INF和IEM标志来判断输入FIFO是否能接收数据。AAD大小必须为128位的倍数。也可以使用DMA来写入AAD数据;
(j) 重复步骤(i)直到所有的AAD数据都写入，并等待CAU_STAT0寄存器的BUSY位清零。

3. CCM加密解密阶段

加密解密阶段必须在CCM AAD阶段之后进行。在这个阶段，对消息进行了验证，并加密或解密。

与GCM类似，CCM链接模式可用于仅由经过验证的原文数据(即只有AAD，没有有效负载)组成的消息。需要注意的是，这种使用CCM的方式不称为CMAC(它与GCM/GMAC不同)。

(k) 配置GCM_CCMPH[1:0]位为'10';
(l) 配置CAUDIR位来选择算法方向;
(m) 将有效负载消息写入CAU_DI寄存器，并使用CAU_STAT0寄存器的INF和IEM标志来判断输入FIFO是否能接收数据。使用CAU_STAT0寄存器的ONE和OFU标志判断输出FIFO是否为空，如果不为空，就读取CAU_DO寄存器。也可使用DMA来写入有效负载消息;
(n) 重复步骤(m)直到所有的有效负载块都完成计算。

4. CCM标签阶段
在这个阶段，将生成最后的验证标签。

(o) 配置GCM_CCMPH[1:0]位为'11';
(p) 将128位A0数据包写入到CAU_DI寄存器，分为4次的写操作;
(q) 等待CAU_STAT0寄存器的ONE标志置位，然后读取CAU_DO寄存器4次，这个输出数据就是最后生成的验证标签;
(r) 禁能CAU。

AES-CFB 模式

密码反馈(CFB)模式是保密模式，其特征在于将连续密文段反馈到前向密码的输入块中，以生成与明文异或的输出块，从而产生密文，反之解密过程与加密的过程类似。

AES-OFB 模式

输出反馈(OFB)模式是保密模式，其特征在于在IV上对前向密码进行迭代，以生成与明文异或以产生密文的输出块序列，反之解密过程与加密的过程类似。

13.5. 操作模式

加密

1. 将CAU_CTL寄存器的CAUEN位清零，以禁用CAU；
2. 将PMU_CTL1寄存器中的CORE1WAKE置位以使能CAU的电源域，再打开CAU的外设时钟；
3. 若选择了AES算法，则对CAU_CTL寄存器的KEYM位进行选择设置，配置密钥的长度；
4. 根据算法配置CAU_KEY0..3(H/L)寄存器；
5. 设置CAU_CTL寄存器的DATAM位，配置数据交换类型；
6. 设置CAU_CTL寄存器的ALGM[3:0]位，配置算法(DES/TDES/AES)和模式(ECB/CBC/CTR/GCM/GMAC/CCM/CFB/OFB)；
7. 设置CAU_CTL寄存器的CAUDIR位为0，配置为加密操作；
8. 设置CAU_IV0..1(H/L)寄存器，配置初始化向量；
9. 在CAUEN位为0时，设置CAU_CTL寄存器的FFLUSH位，配置刷新输入FIFO和输出FIFO；
10. 设置CAU_CTL寄存器的CAUEN位为1，使能CAU；
11. 当CAU_STAT0寄存器的INF位为1时，向CAU_DI寄存器写数据块。数据可以通过DMA传输或者CPU中断传输，也可不通过两者进行传输；
12. 等待CAU_STAT0寄存器的ONE位为1时，读CAU_DO寄存器。输出数据可以通过DMA传输或者CPU中断传输，也可不通过两者进行传输；
13. 重复步骤10和步骤11，直到所有的数据块都完成加密。

解密

1. 将CAU_CTL寄存器的CAUEN位清零，以禁用CAU；
2. 将PMU_CTL1寄存器中的CORE1WAKE置位以使能CAU的电源域，再打开CAU的外设时钟；
3. 若选择了AES算法，则对CAU_CTL寄存器的KEYM位进行选择设置，配置密钥的长度；
4. 根据算法配置CAU_KEY0..3(H/L)寄存器；
5. 设置CAU_CTL寄存器的DATAM位，配置数据交换类型；
6. 设置CAU_CTL寄存器的ALGM[3:0]位为"0111"，配置准备密钥用于解密；
7. 设置CAU_CTL寄存器的CAUEN位为1，使能CAU；
8. 等待BUSY位和CAUEN位为0，确保解密用的密钥已准备好；
9. 设置CAU_CTL寄存器的ALGM[3:0]位，配置算法(DES/TDES/AES)和模式(ECB/CBC/CTR/GCM/GMAC/CCM/CFB/OFB)；
10. 设置CAU_CTL寄存器的CAUDIR位为1，配置为解密操作；

11. 设置CAU_IV0..1(H/L)寄存器，配置初始化向量；
12. 在CAUEN位为0时，设置CAU_CTL寄存器的FFLUSH位，配置刷新输入FIFO和输出FIFO；
13. 设置CAU_CTL寄存器的CAUEN位为1，使能CAU；
14. 当CAU_STAT0寄存器的INF位为1时，向CAU_DI寄存器写数据块。数据可以通过DMA传输或者CPU中断传输，也可不通过两者进行传输；
15. 等待CAU_STAT0寄存器的ONE位为1时，读CAU_DO寄存器。输出数据可以通过DMA传输或者CPU中断传输，也可不通过两者进行传输；
16. 重复步骤13和步骤14，直到所有的数据块都完成解密。

数据填充

对于GCM加密和CCM解密，CAU模块支持非128比特整数倍的数据块处理。当最后一个数据块不满128比特时，使用'0'对其剩余位进行填充，然后在CAU_CTL寄存器的NBPILB位域中配置用于填充的字节数，AES会自动去除相应填充数量的填充块后进行加密。需要注意的是，只有在倒数第二个数据块加密完成后，才可以对NBPILB位域进行配置。

13.6. CAU DMA 接口

DMA可用于CAU模块的数据块传输。DMA的传输操作由CAU_DMAEN寄存器来控制。DMAIEN位用于输入数据的DMA请求传输使能，由DMA将一个字数据写入CAU_DI寄存器。DMAOEN位用于输出数据的DMA请求传输使能，获得CAU输出的一个字。

DMA输出数据的传输请求优先级高于输入数据的传输请求，因此输出FIFO空的事件可能会早于输入FIFO满的事件。

13.7. CAU 中断

CAU有两个中断状态寄存器，CAU_STAT1和CAU_INTF寄存器。CAU中的中断用于指示输入和输出FIFO的状态。

可以通过配置CAU_INTEN寄存器来使能或禁用输入或输出FIFO中断。将寄存器中相应位置1可以使能相应中断。

输入 FIFO 中断

当输入FIFO中的数据少于4个字时产生输入FIFO中断，ISTA位置位。此时如果IINTEN位为1，使能了输入FIFO中断，则IINTF位将置位。注意当CAUEN位为0时，ISTA位和IINTF位将保持为0。

输出 FIFO 中断

当输出FIFO中存在一个或多个字数据时产生输出FIFO中断，OSTA位置位。此时如果OINTEN位为1从而使能了输出FIFO中断，则OINTF位将置位。注意与输入FIFO中断不同的是，当

CAUEN位为0时，不会影响到OSTA位与OINTF位的状态。

13.8. CAU 挂起模式

当CAU中待处理的新的数据块优先级高于正在处理的数据块，则正在处理的数据块可能被挂起。按照下列的步骤来完成被挂起数据块的加密/解密处理。

当使用 DMA 进行数据传输：

1. 停止当前输入数据传输。将CAU_DMAEN寄存器的DMAIEN位清零；
2. 若为DES或AES算法，则需等待直到输入和输出FIFO均为空，如果检查到输入FIFO不为空即IEM位为0，则写入一个字的数据，再检查IEM位，直到IEM位为1，则停止写入数据，再等待BUSY位为0，以确保下一个数据块不会被上一个数据块影响。若为TDES算法，则与AES算法相似，但不需要等待输入FIFO为空；
3. 将CAU_DMAEN寄存器中的DMAOEN位清零，停止输出数据传输。并将CAU_CTL寄存器中的CAUEN位清零，禁用CAU；
4. 保存当前配置，包括密钥长度，数据类型，算法模式，算法方向，GCM CCM阶段，以及密钥值。若为CBC / CTR / GCM / GMAC / CCM / CFB / OFB模式，则还需要保存初始化向量。若为GCM / GMAC / CCM模式，则还需要保存上下文交换寄存器CAU_GCMCCMCTXSx (x=0 .. 7)和CAU_GCMCTXSx (x = 0..7)；
5. 配置并处理新数据块；
6. 恢复之前的处理环境。将CAU重新用存储的参数进行配置，并准备好密钥和初始化向量，还需恢复CAU_GCMCCMCTXSx (x = 0..7)和CAU_GCMCTXSx (x = 0..7)寄存器。再将CAU_CTL寄存器的CAUEN位置位以使能CAU。

当使用 CPU 来传输数据到 CAU_DI 和 CAU_DO：

1. 当使用CPU来进行数据传输，则需要等待第四次读CAU_DO寄存器，并在写CAU_DI之前，以确保一个数据块处理结束的时候再挂起消息处理；
2. 将CAU_CTL寄存器的CAUEN位清零，禁用CAU；
3. 保存当前配置，包括密钥长度，数据类型，算法模式，算法方向，GCM CCM阶段，以及密钥值。若为CBC / CTR / GCM / GMAC / CCM / CFB / OFB模式，则还需要保存初始化向量。若为GCM / GMAC / CCM模式，则还需要保存上下文交换寄存器CAU_GCMCCMCTXSx (x = 0..7)和CAU_GCMCTXSx (x = 0..7)；
4. 配置并处理新数据块；
5. 恢复之前的处理环境。将CAU重新用存储的参数进行配置，并准备好密钥和初始化向量，还需恢复CAU_GCMCCMCTXSx (x = 0..7)和CAU_GCMCTXSx (x = 0..7)寄存器。再将CAU_CTL寄存器的CAUEN位置位以使能CAU。

13.9. CAU 寄存器

CAU基地址：0x5006 0000

13.9.1. 控制寄存器(CAU_CTL)

偏移地址：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								NBPILB[3:0]				ALGM[3]	保留	GCM_CCMPH[1:0]	
								rw				rw		rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAUEN	FFLUSH	保留				KEYM[1:0]		DATAM[1:0]		ALGM[2:0]			CAUDIR	保留	
rw	w					rw		rw		rw			rw		

位/位域	名称	描述
31:24	保留	必须保持复位值。
23:20	NBPILB[3:0]	最后一个非 128 比特整数倍数据块的填充字节数 0000：所有数据有效(无填充) 0001：一个填充字节 … 1111：15 个填充字节
19	ALGM[3]	加密/解密算法模式位 3
18	保留	必须保持复位值。
17:16	GCM_CCMPH[1:0]	GCM CCM 阶段 00：准备阶段 01：AAD 阶段 10：加密解密阶段 11：标签阶段
15	CAUEN	加密处理器使能 0：加密处理器禁用 1：加密处理器使能 **注意**：当准备密钥(ALGM=0111b)完成后，CAUEN 位将硬件自动清零。
14	FFLUSH	FIFO 刷新 0：不产生影响 1：当 CAUEN=1 时，刷新输入和输出 FIFO 读取该位时，始终返回 0
13:10	保留	必须保持复位值。

9:8	KEYM[1:0]	AES 密钥长度配置，必须在 BUSY=0 时才可配置 00：128 位密钥长度 01：192 位密钥长度 10：256 位密钥长度 11：保留
7:6	DATAM[1:0]	数据交换模式配置，必须在 BUSY=0 时才可配置 00：不交换 01：半字交换 10：字节交换 11：位交换
5:3	ALGM[2:0]	加密 / 解密算法模式位 0 到位 2 该位域和位 19 必须在 BUSY=0 时才可配置。 0000：TDES-ECB(三重 DES 电子密码本)，使用 CAU_KEY1, 2, 3. 不使用初始化向量(CAU_IV0..1) 0001：TDES-CBC(三重 DES 加密分组链接)，使用 CAU_KEY1, 2, 3. 使用初始化向量(CAU_IV0)与数据块进行异或 0010：DES-ECB(DES 电子密码本)，仅使用 CAU_KEY1 不使用初始化向量(CAU_IV0..1) 0011：DES-CBC(DES 加密分组链接)，仅使用 CAU_KEY1 使用初始化向量(CAU_IV0)与数据块进行异或 0100：AES-ECB(AES 电子密码本)，使用 CAU_KEY0, 1, 2, 3. 不使用初始化向量(CAU_IV0..1) 0101：AES-CBC(AES 加密分组链接)，使用 CAU_KEY0, 1, 2, 3. 使用初始化向量(CAU_IV0..1)与数据块进行异或 0110：AES-CTR(AES 计数器模式)，使用 CAU_KEY0, 1, 2, 3. 使用初始化向量(CAU_IV0..1)与数据块进行异或 该模式下，加密与解密处理相同，忽略 CAUDIR 位 0111：AES 解密密钥准备模式。输入密钥必须与加密处理中用的密钥相同。BUSY 位将保持置位直到完成密钥的准备，随后 CAUEN 位会清零。 1000：AES-GCM(伽罗瓦/计数器模式)，该模式算法同样适用于GMAC算法。 1001：AES-CCM(加密分组链接-消息验证码模式)。 1010：AES-CFB(密码反馈模式) 1011：AES-OFB(输出反馈模式)
2	CAUDIR	CAU 算法方向，必须在 BUSY=0 时才可配置 0：加密 1：解密
1:0	保留	必须保持复位值。

13.9.2. 状态寄存器 0 (CAU_STAT0)

偏移地址：0x04

复位值：0x0000 0003

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											BUSY	OFU	ONE	INF	IEM
											r	r	r	r	r

位/位域	名称	描述
31:5	保留	必须保持复位值。
4	BUSY	忙碌标志位 0：CAU 内核空闲，这是由于 - CAUEN=0 从而 CAU 内核被禁用，或这处理已完成 - 正在等待输入数据或输出 FIFO 有足够的自由空间来处理数据块 1：CAU 内核忙碌，正在处理数据块或准备密钥
3	OFU	输出 FIFO 满 0：输出 FIFO 未满 1：输出 FIFO 满
2	ONE	输出 FIFO 非空 0：输出 FIFO 为空 1：输出 FIFO 非空
1	INF	输入 FIFO 未满 0：输入 FIFO 满 1：输入 FIFO 未满
0	IEM	输入 FIFO 空 0：输入 FIFO 非空 1：输入 FIFO 空

13.9.3. 数据输入寄存器 (CAU_DI)

偏移地址：0x08
复位值：0x0000 0000

数据输入寄存器用于传输明文或密文数据块到输入FIFO中进行处理。首先写入FIFO的是数据块的MSB，最后才是LSB。当CAUEN位为0，并且输入FIFO非空时，读取该寄存器时返回FIFO中的首个字。当CAUEN位为1时，读取该寄存器返回一个不确定的值。一旦执行了读操作，则必须要刷新FIFO以处理新数据块。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DI[31:16]															

rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DI[15:0]															

rw

位/位域	名称	描述
31:0	DI[31:0]	数据输入 写这些位，数据会写入输入 FIFO。当 CAUEN 位为 0 时，读这些位将返回输入 FIFO 中的值，否则将返回不确定的值。

13.9.4. 数据输出寄存器 (CAU_DO)

偏移地址：0x0C
复位值：0x0000 0000

数据输出寄存器是只读寄存器，用于接收来自输出FIFO的明文或密文处理结果。与CAU_DI类似，读取时首先读取的是数据块的MSB，最后才是LSB。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DO[31:16]															

r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO[15:0]															

r

位/位域	名称	描述
31:0	DO[31:0]	数据输出 这些位为只读，读这些位将返回输出 FIFO 中的值

13.9.5. DMA 使能寄存器 (CAU_DMAEN)

偏移地址：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														DMAOEN	DMAIEN
														rw	rw

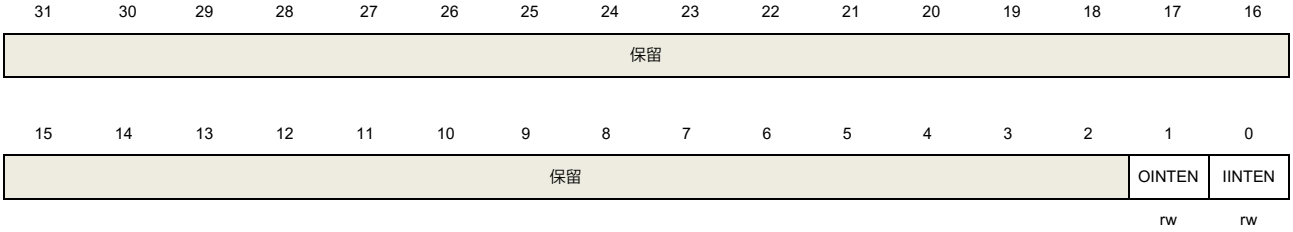
位/位域	名称	描述

31:2	保留	必须保持复位值。
1	DMAOEN	DMA 输出使能 0：禁用用于输出 FIFO 数据传输的 DMA 1：使能用于输出 FIFO 数据传输的 DMA
0	DMAIEN	DMA 输入使能 0：禁用用于输入 FIFO 数据传输的 DMA 1：使能用于输入 FIFO 数据传输的 DMA

13.9.6. 中断使能寄存器 (CAU_INTEN)

偏移地址：0x14
复位值：0x0000 0000

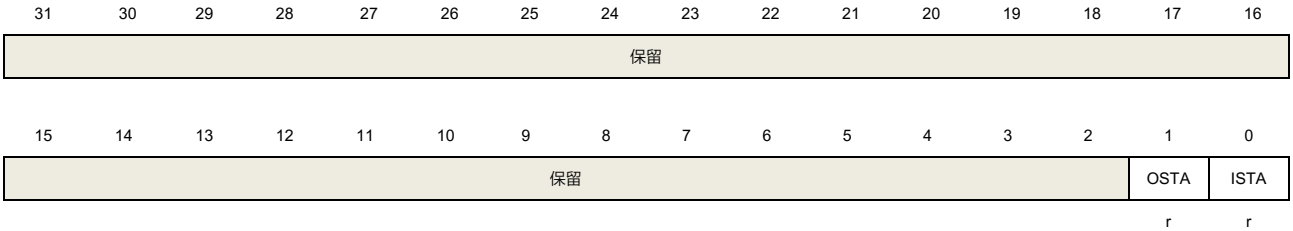
该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	OINTEN	输出 FIFO 中断使能 0：禁用输出 FIFO 中断 1：使能输出 FIFO 中断
0	IINTEN	输入 FIFO 中断使能 0：禁用输入 FIFO 中断 1：使能输入 FIFO 中断

13.9.7. 状态寄存器 1 (CAU_STAT1)

偏移地址：0x18
复位值：0x0000 0001
该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	OSTA	输出 FIFO 状态 0：输出 FIFO 状态未挂起 1：输出 FIFO 状态挂起
0	ISTA	输入 FIFO 状态 0：输入 FIFO 状态未挂起 1：输入 FIFO 状态挂起

13.9.8. 中断标志寄存器 (CAU_INTF)

偏移地址：0x1C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														OINTF	IINTF
														r	r

位/位域	名称	描述
31:2	保留	必须保持复位值。
1	OINTF	输出 FIFO 中断标志 0：输出 FIFO 中断状态未挂起 1：输出 FIFO 中断状态挂起
0	IINTF	输入 FIFO 中断标志 0：输入 FIFO 中断状态未挂起 1：当 CAUEN 位为 1 时输入 FIFO 中断状态挂起

13.9.9. 密钥寄存器 (CAU_KEY0..3(H/L))

偏移地址：0x20~0x3C
复位值：0x0000 0000

该寄存器只能按字(32位)访问，必须在BUSY位为0时写这些寄存器。

在DES模式下，仅使用CAU_KEY1。

在TDES模式下，使用CAU_KEY1，CAU_KEY2和CAU_KEY3。

在AES-128模式下，KEY2H[31:0]和KEY2L[31:0]分别对应于AES_KEY[0:63]的高32位与低32

位，而KEY3H[31:0]和KEY3L[31:0]分别对应于AES_KEY[64:127]的高32位与低32位。

在AES-192模式下，KEY1H[31:0]和KEY1L[31:0]分别对应于AES_KEY[0:63]的高32位与低32位， KEY2H[31:0]和KEY2L[31:0]分别对应于AES_KEY[64:127]的高32位与低32位，KEY3H[31:0]和KEY3L[31:0]分别对应于AES_KEY[128:191]的高32位与低32位。

在AES-256模式下，KEY0H[31:0]和KEY0L[31:0]分别对应于AES_KEY[0:63]的高32位与低32位， KEY1H[31:0]和KEY1L[31:0]分别对应于AES_KEY[64:127]的高32位与低32位，KEY2H[31:0]和KEY2L[31:0]分别对应于AES_KEY[128:191]的高32位与低32位，KEY3H[31:0]和KEY3L[31:0]分别对应于AES_KEY[192:255]的高32位与低32位。

CAU_KEY0H

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY0H[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY0H[15:0]															
w															

CAU_KEY0L

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY0L[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY0L[15:0]															
w															

CAU_KEY1H

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY1H[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY1H[15:0]															
w															

CAU_KEY1L

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY1L[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY1L[15:0]															
w															

CAU_KEY2H

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY2H[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY2H[15:0]															
w															

CAU_KEY2L

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY2L[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY2L[15:0]															
w															

CAU_KEY3H

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY3H[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY3H[15:0]															
w															

CAU_KEY3L

偏移地址：0x3C
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY3L[31:16]															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY3L[15:0]															
w															

位/位域	名称	描述
31:0	KEY0...3(H/L)	用于 DES 或 TDES 或 AES 的密钥

13.9.10. 初始化向量寄存器 (CAU_IV0..1(H/L))

偏移地址：0x40~0x4C
复位值：0x0000 0000

该寄存器只能按字(32位)访问，必须在BUSY位为0时写这些寄存器。

在DES/TDES模式下，IV0H和IV0L分别对应于初始化向量的高32位和低32位。

在AES模式下，IV0H和IV1H分别对应于128位初始化向量的最高32位和最低32位。

CAU_IV0H

偏移地址：0x40
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV0H[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV0H[15:0]															
rw															

CAU_IV0L

偏移地址：0x44
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV0L[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV0L[15:0]															

rw

CAU_IV1H

偏移地址：0x48
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV1H[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV1H[15:0]															
rw															

CAU_IV1L

偏移地址：0x4C
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV1L[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV1L[15:0]															
rw															

位/位域	名称	描述
31:0	IV0...1(H/L)	用于 DES 或 TDES 或 AES 的初始化向量

13.9.11. GCM 或 CCM 模式上下文交换寄存器 x (CAU_GCMCCMCTXSx) (x=0..7)

偏移地址：0x50 to 0x6C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CTXx[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTXx[15:0]															
rw															

位/位域	名称	描述
31:0	CTXx[31:0]	CAU处理器的内部状态信息。当有一个更高优先级的任务需要处理时，读取并保存这些寄存器的数据，恢复的时候将保存的数据写回到这些寄存器从而恢复前面被挂起的任务。

注意：这些寄存器只能在GCM，GMAC，或CCM模式下使用。

13.9.12. GCM 模式上下文交换寄存器 x (CAU_GCMCTXSx) (x=0..7)

偏移地址：0x70 to 0x8C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CTXx[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTXx[15:0]															
rw															

位/位域	名称	描述
31:0	CTXx[31:0]	CAU处理器的内部状态信息。当有一个更高优先级的任务需要处理时，读取并保存这些寄存器的数据，恢复的时候将保存的数据写回到这些寄存器从而恢复前面被挂起的任务。 **注意：**这些寄存器只能在GCM或GMAC模式下使用。

14. 直接存储器访问控制器(DMA)

14.1. 简介

DMA控制器提供了一种硬件的方式在外设和存储器之间或者存储器和存储器之间传输数据，而无需MCU的介入，避免了MCU多次进入中断进行大规模的数据拷贝，最终提高整体的系统性能。

每个DMA控制器包含了两个AHB总线接口和8个4字深度的FIFO，使DMA可以高效的传输数据。DMA控制器(DMA0，DMA1)共有16个通道，每个通道可以被分配给一个或多个特定的外设进行数据传输。两个内置的总线仲裁器用来处理DMA请求的优先级问题。

Cortex®-M33内核与DMA控制器都是通过系统总线来处理数据，引入仲裁机制来处理它们之间的竞争关系。当MCU和DMA指定相同的外设的时候，MCU将会在特定的总线周期挂起。总线矩阵使用了轮询的算法保证MCU至少占用了一半的带宽。

14.2. 主要特征

- 两个 AHB 主机接口传输数据，一个 AHB 从机接口配置 DMA；
- 16 个通道(每个 DMA 控制器有 8 个通道)，每个通道连接 8 个特定的外设请求；
- 存储器和外设支持单一传输，4 拍、8 拍和 16 拍增量突发传输；
- 当外设和存储器传输数据时，支持存储器切换；
- 支持软件优先级(低、中、高、超高)和硬件优先级(通道号越低，优先级越高)；
- 存储器和外设的数据传输宽度可配置：字节，半字，字；
- 存储器和外设的数据传输支持固定寻址和增量式寻址；
- 支持循环传输模式；
- 支持三种传输方式：
  - 存储器到外设；
  - 外设到存储器；
  - 存储器到存储器(仅 DMA1 支持)；
- DMA 和外设均可配置为传输控制器：
  - DMA 作为传输控制器：可配置数据传输长度，最大为 65535；
  - 外设作为传输控制器：数据传输的完成取决于外设的最后一个传输请求；
- 支持单数据传输和多数据传输模式：
  - 多数据传输模式：在存储器数据宽度和外设数据宽度不同的时候，自动打包 / 解包数据；
  - 单数据传输模式：当且仅当 FIFO 空的时候从源地址读取数据，存进 FIFO，然后把 FIFO 的数据写到目标地址；
- 每个通道有 5 种类型的事件标志和独立的中断，支持中断的使能和清除。

14.3. 结构框图

图 14-1. 系统架构

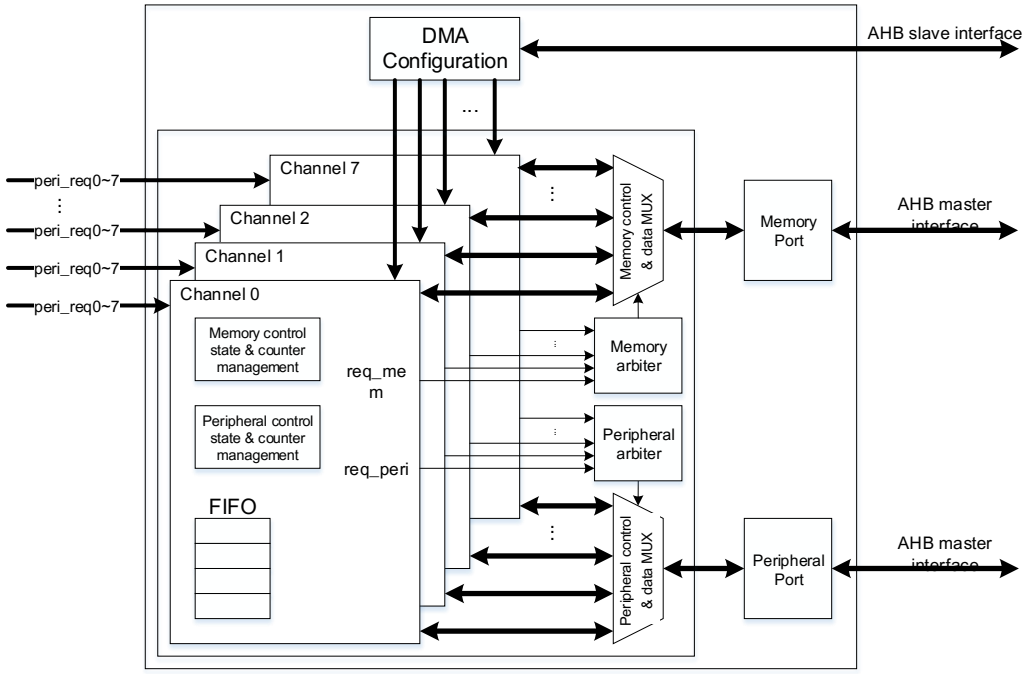


*图 14-1. 系统架构*所示，DMA 控制器由 4 部分组成：

- AHB 从接口配置 DMA；
- 两个 AHB 主接口进行数据传输；
- 两个仲裁器进行 DMA 请求的优先级管理；
- 数据处理和计数。

14.4. 功能描述

DMA控制器在没有MCU参与的情况下从一个地址向另一个地址传输数据，它支持多种数据宽度，突发类型，地址生成算法，优先级和传输模式，可以灵活的配置以满足应用的需求。所有的寄存器都可以通过AHB从机接口进行32位的操作。

寄存器DMA_CHxCTL的TM位域决定了DMA的数据传输模式，如*表14-1. 传输模式*所示。

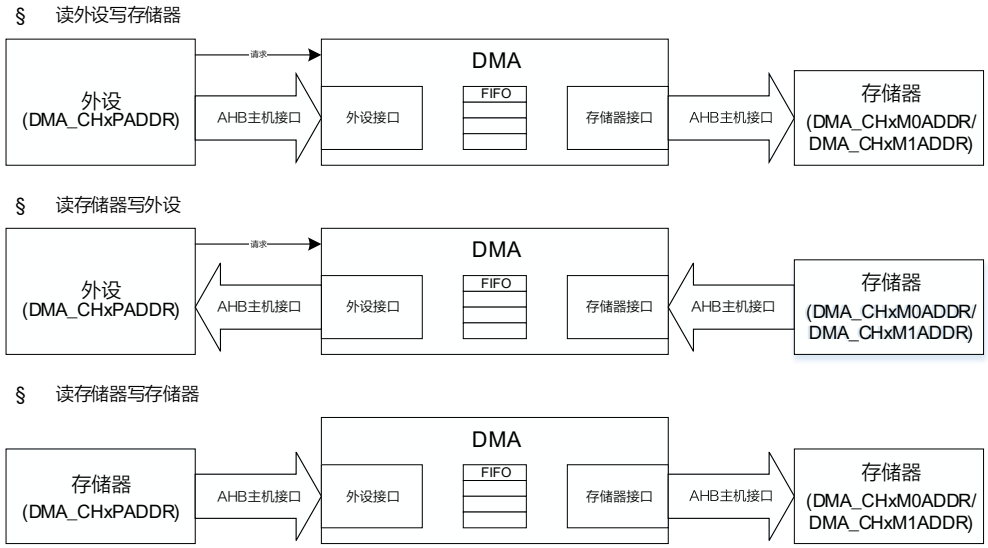
表 14-1. 传输模式

传输模式	TM[1:0]	源地址	目的地址
外设到存储器	00	DMA_CHxPADDR	DMA_CHxM0ADDR / DMA_CHxM1ADDR
存储器到外设	01	DMA_CHxM0ADDR / DMA_CHxM1ADDR	DMA_CHxPADDR
存储器到存储器	10	DMA_CHxPADDR	DMA_CHxM0ADDR / DMA_CHxM1ADDR

注意：1. 寄存器DMA_CHxCTL的MBS位选择DMA_CHxM0ADDR或者DMA_CHxM1ADDR作为存储器地址。详细请参考*存储切换模式*。

2. 寄存器DMA_CHxCTL的TM位域禁止配置成'0b11'，否则通道将会自动关闭。

图 14-2. 三种传输模式的数据流



如*图 14-2. 三种传输模式的数据流*所示，DMA 控制器的两个 AHB 主机接口分别对应存储器和外设的数据访问。

- 外设到存储器：通过 AHB 外设主机接口从外设读取数据，通过 AHB 存储器主机接口向存储器写入数据。
- 存储器到外设：通过 AHB 存储器主机接口从存储器读取数据，通过 AHB 外设主机接口向外设写入数据。
- 存储器到存储器：通过 AHB 外设主机接口从存储器读取数据，通过 AHB 存储器主机接口向存储器写入数据。

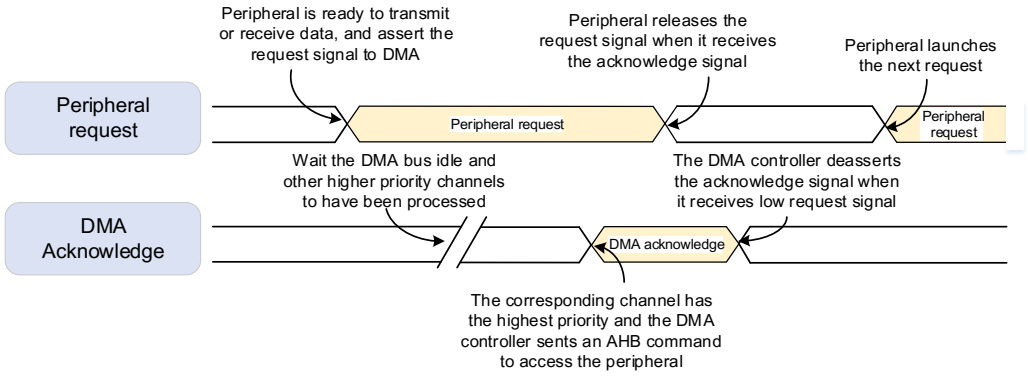
14.4.1. 外设握手

为了保证数据的有效传输，DMA控制器中引入了外设和存储器的握手机制，包括请求信号和应答信号：

- 请求信号：由外设发出，表明外设已经准备好发送或接收数据。
- 应答信号：由 DMA 控制器响应，表明 DMA 控制器已经发送 AHB 命令去访问外设。

*图 14-3. 握手机制*中详细描述了 DMA 控制器与外设之间的握手机制。

图 14-3. 握手机制



每个 DMA 控制器有 8 个通道，每个通道有多个外设请求。寄存器 DMA_CHxCTL 的 PERIEN 位域决定了 DMA 通道选中的外设请求。DMA0 与 DMA1 的外设请求映射分别列于*表 14-2. DMA0 外设请求*与*表 14-3. DMA1 外设请求*。

如*表 14-2. DMA0 外设请求*，*表 14-3. DMA1 外设请求*所示，同一个外设请求可以连接到两个 DMA 通道上，这里禁止两个 DMA 通道选择相同的外设请求。例如，在 DMA0 控制器中，SPI2_RX 外设请求连接到通道 0 和通道 2。当寄存器 DMA_CH0CTL，DMA_CH2CTL 的 PERIEN 位域同时配置为'0b000'时，使能通道 0 和通道 2，当 SPI2 发出 DMA 请求时，会造成通道 0 和通道 2 的响应混乱，及数据传输错误。

表 14-2. DMA0 外设请求

通道		通道 0	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7
PERIEN[2:0]	000	SPI2_RX	I2C3_RX	SPI2_RX	SPI1_RX	SPI1_TX	SPI2_TX	I2C3_TX	SPI2_TX
	001	I2C0_RX	I2C4_RX	TIMER6_UP	I2C4_TX	TIMER6_UP	I2C0_RX	I2C0_TX	I2C0_TX
	010	TIMER3_CH0	●	I2S2_ADD_RX	TIMER3_CH1	I2S1_ADD_TX	I2S2_ADD_TX	TIMER3_UP	TIMER3_CH2
	011	I2S2_ADD_RX	TIMER1_UP TIMER1_CH2	I2C2_RX	I2S1_ADD_RX	I2C2_TX	TIMER1_CH0	TIMER1_CH1 TIMER1_CH3	TIMER1_UP TIMER1_CH3
	100	UART4_RX	USART2_RX	UART3_RX	USART2_TX	UART3_TX	USART1_RX	USART1_TX	UART4_TX
	101	UART7_TX	UART6_TX	TIMER2_CH3 TIMER2_UP	UART6_RX	TIMER2_CH0 TIMER2_TG	TIMER2_CH1	UART7_RX	TIMER2_CH2
	110	TIMER4_CH2 TIMER4_UP	TIMER4_CH3 TIMER4_TG	TIMER4_CH0	TIMER4_CH3 TIMER4_TG	TIMER4_CH1	I2C5_RX	TIMER4_UP	I2C5_TX
	111	●	TIMER5_UP	I2C1_RX	I2C1_RX	USART2_TX	DAC0_OUT0	DAC0_OUT1	I2C1_TX

表 14-3. DMA1 外设请求

通道		通道 0	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7
PERIEN[2:0]	000	ADC0	SAI0_B0	TIMER7_CH0 TIMER7_CH1 TIMER7_CH2	SAI0_B0	ADC0	SAI0_B1	TIMER0_CH0 TIMER0_CH1 TIMER0_CH2	●
	001	●	DCI	ADC1	ADC1	SAI0_B1	SPI5_TX	SPI5_RX	DCI
	010	ADC2	ADC2	●	SPI4_RX	SPI4_TX	CAU_OUT	CAU_IN	HAU_IN
	011	SPI0_RX	●	SPI0_RX	SPI0_TX	●	SPI0_TX	●	●

通道		通道 0	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7
	100	SPI3_RX	SPI3_TX	USART0_RX	SDIO	●	USART0_RX	SDIO	USART0_TX
	101	●	USART5_RX	USART5_RX	SPI3_RX	SPI3_TX	●	USART5_TX	USART5_TX
	110	TIMER0_TG	TIMER0_CH0	TIMER0_CH1	TIMER0_CH0	TIMER0_CH3 TIMER0_TG TIMER0_CMT	TIMER0_UP	TIMER0_CH2	●
	111	●	TIMER7_UP	TIMER7_CH0	TIMER7_CH1	TIMER7_CH2	SPI4_RX	SPI4_TX	TIMER7_CH3 TIMER7_TG TIMER7_CMT

14.4.2. 数据处理

仲裁

每个DMA控制器有两个分别对应于外设和存储器的仲裁器。当DMA控制器在同一时间接收到多个外设请求时，仲裁器将根据外设请求的优先级来决定响应哪一个外设请求。优先级规则如下：

- 软件优先级：分为4级，低，中，高和超高。可以通过寄存器DMA_CHxCTL的PRIO位域来配置；
- 硬件优先级：当通道具有相同的软件优先级时，编号低的通道优先级高。例：通道0和通道2配置为相同的软件优先级时，通道0的优先级高于通道2。

传输宽度，突发传输和计数

传输宽度

寄存器DMA_CHxCTL的PWIDTH和MWIDTH位域决定了外设和存储器的数据传输宽度。DMA控制器支持8位，16位和32位的数据宽度。在多数据传输模式中，如果PWIDTH和MWIDTH不相等，DMA会自动的打包 / 解包数据来进行完整的数据传输。在单数据传输模式中，MWIDTH在通道使能以后，会被硬件强制设置与PWIDTH相等。

突发传输类型

寄存器DMA_CHxCTL的PBURST和MBURST位域决定了外设和存储器的突发传输方式。DMA控制器的外设和存储器接口均支持单一传输，4拍，8拍，16拍的增量突发传输。对于单数据传输模式，当使能通道后，PBURST和MBURST会被强制设为0，仅支持单一传输。

在外设到存储器或者存储器到外设传输模式中，如果PBURST不为0，在每次外设请求之后，DMA控制器会根据PBURST的值进行4拍，8拍，16拍的增量突发传输。如果剩余的数据不够一次突发传输，剩余的数据将会进行单一传输。

AMBA协议指定突发传输不能超过1KB的地址边界，否则会产生传输错误。对于外设和存储器，当突发传输超过1KB的地址边界，硬件会自动的把4拍，8拍，16拍(由PBURST和MBURST决定)的突发传输拆分为单一传输。

传输计数

当DMA作为传输控制器的时候，寄存器DMA_CHxCN的CNT位域决定了需要传输数据的数量，在使能DMA通道之前，数据的传输量必须完成配置。当外设作为传输控制器的时候，在使能通道后，CNT位会被强制设置为'0xFFFF'。在传输过程中，CNT表示剩余需要传输的数据数量。

CNT位的大小与外设的数据传输宽度有关，数据传输总量的字节数等于CNT乘以外设数据传输宽度。举例来说，如果PWIDTH的值设置为'0b10'，则传输的数据总量的字节数等于CNT*4。CNT的值在外设的每次单一传输或者在突发模式中每个节拍传输完成后都会减1。

CNT值的配置需要满足下列要求：

如果关闭循环模式(清除寄存器 DMA_CHxCTL 的 CMEN 位)，CNT 值的配置应该满足*表 14-4. CNT 配置*的要求。传输的数据总量的字节数必须是存储器数据传输宽度的整数倍，以保证完整的存储器传输。

注意：如果PBURST和MBURST都不是'0b00'，传输的数据总量不用是存储器和外设的突发传输数据的整数倍。对于不满足一次突发传输的剩余数据，硬件会自动的拆分成多个单一传输。

表 14-4. CNT 配置

PWIDTH	MWIDTH	CNT
8 位	16 位	2 的倍数
8 位	32 位	4 的倍数
16 位	32 位	2 的倍数
其他情况		任意值

1. 如果开启循环模式(置位寄存器 DMA_CHxCTL 的 CMEN 位)，传输的数据总量必须保证同时是存储器突发传输数据总量和外设突发传输数据总量的整数倍，否则将不能保证数据的正确性：

    a. CNT / PBURST_beats 必须是整数
    b. (CNT×PWIDTH_bytes) / (MURST_beats ×MWIDTH_bytes) 必须是整数

注意：

PWIDTH_bytes是外设的数据传输宽度的字节数。8位是1，16位是2，32位是4。

PBURST_beats是外设突发传输的节拍数，单一传输是1，4拍增量突发传输是4，8拍增量突发传输是8，16拍增量突发传输是16。

MWIDTH_bytes是存储器的数据传输宽度的字节数。8位是1，16位是2，32位是4。

MBURST_beats是存储器突发传输的节拍数，单一传输是1，4拍增量突发传输是4，8拍增量突发传输是8，16拍增量突发传输是16。

举例：

如果PWIDTH是16位，PBURST是4拍增量突发传输，MWIDTH是8位，MBURST是16拍增量突发传输，则CNT / 4与 (CNT * 2) / (1 * 16) 必须是整数，所以CNT必须是8的整数倍。

如果PWIDTH是8位，PBURST是16拍增量突发传输，MWIDTH是16位，MBURST是4拍增量突发传输，则CNT / 16与 (CNT * 1) / (2 * 4)必须是整数，所以CNT必须是16的倍数。

注意：如果使能了存储切换模式(置位寄存器DMA_CHxCTL的SBMEN位)，循环模式会被硬件强制打开，所以也必须满足上述要求。

FIFO

DMA控制器的每个通道都有一个4字深度的FIFO用于缓冲数据，从源地址读取的数据会先暂时保存在FIFO中，再传输到目的地址。根据FIFO的配置，DMA控制器支持两种数据处理模式：单数据传输模式和多数据传输模式。在存储器到存储器模式下，DMA控制器仅支持多数据传输模式。

多数据传输模式

多数据传输模式通过把寄存器DMA_CHxFCTL的MDMEN位置1来实现。

在这个模式中，当FIFO有足够的空间时，DMA控制器响应源端的请求，从源地址读取数据存储进FIFO。如果目的端是外设，当FIFO内的数据量满足外设的一次突发传输时，DMA会响应外设的请求。如果目标端是存储器，寄存器DMA_CHxFCTL的FCCV位设置的FIFO临界值决定DMA控制器何时进行将FIFO中的数据写入存储器，当FIFO计数器达到配置的临界值时，FIFO中的所有数据会被写入目标存储器地址。

为了保证正确的数据传输，FIFO 的临界值必须配置为存储器一次突发传输数据量的整数倍。这样才能保证 FIFO 中有足够的数据可以完成存储器突发传输。FIFO 计数器的临界值的设置与存储器数据传输宽度和存储器突发传输类型有关，具体见*表 14-5. FIFO 计数器临界值配置*。

表 14-5. FIFO 计数器临界值配置

MWIDTH	MBURST	FIFO 计数临界值			
		1-word	2-word	3-word	4-word
8 位	single	4 次单一传输	8 次单一传输	12 次单一传输	16 次单一传输
	INCR4	1 次突发传输	2 次突发传输	3 次突发传输	4 次突发传输
	INCR8	错误	1 次突发传输	错误	2 次突发传输
	INCR16	错误	错误	错误	1 次突发传输
16 位	single	2 次单一传输	4 次单一传输	6 次单一传输	8 次单一传输
	INCR4	错误	1 次突发传输	错误	2 次突发传输
	INCR8	错误	错误	错误	1 次突发传输
	INCR16	错误	错误	错误	错误
32 位	single	1 次单一传输	2 次单一传输	3 次单一传输	4 次单一传输
	INCR4	错误	错误	错误	1 次突发传输
	INCR8	错误	错误	错误	错误
	INCR16	错误	错误	错误	错误

注意：当传输模式是外设到存储器时，如果PBURST_beats*PWIDTH_bytes = 16，FIFO计数器临界值不能设置成'0b10'。如果设置成'0b10'，当接收到外设请求时，DMA控制器从外设中读取数据并填满FIFO，然后DMA会向存储器中写入3个字的数据(这个是由FIFO的临界值决定)，同时剩余一个字的数据。这时当新的外设请求来临时，FIFO中没有足够的空间进行下一次的外设突发传输，同时FIFO中的数据没有达到FIFO临界值也不会进行存储器突发传输，会使通道数据传输冻结。

单数据传输模式

单数据传输模式通过把寄存器DMA_CHxFCTL的MDMEN位清0来实现。

在这个模式中，DMA控制器一次只能传输一个数据，FIFO计数器临界值的配置(寄存器DMA_CHxFCTL的FCCV位域)没有意义。在这个模式中，当且仅当FIFO空的时候，DMA会响应源端的请求，从源地址读取数据进入FIFO。当FIFO非空时，DMA响应目的端的请求，把FIFO中的数据写入目的地址。

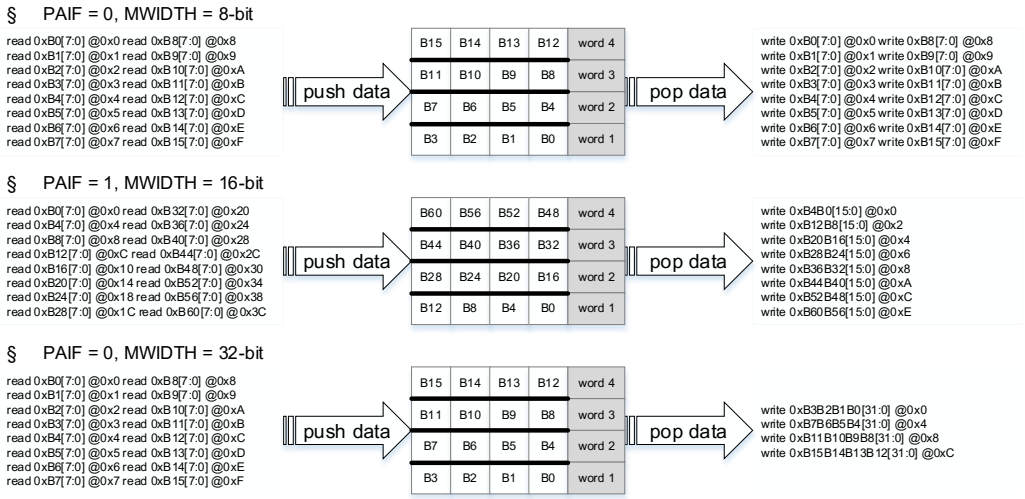
打包 / 解包

在单数据传输模式中，MWIDTH会被硬件强制设置与PWIDTH相等，无需使用数据的打包/解包功能。

在多数据传输模式中，MWIDTH与PWIDTH相互独立，配置更为灵活。当MWIDTH与PWIDTH不相等时，DMA的读写传输宽度不同，DMA会自动的对数据打包/解包操作。在传输过程中，外设和寄存器都只支持小端操作。

当CNT被设置为16，PWIDTH为 '0b00'，PNAGA和MNAGA被置1。对于不同的MWIDTH，DMA的传输操作如*图14-4. PWIDTH为'0b00'时，数据的打包 / 解包*所示。

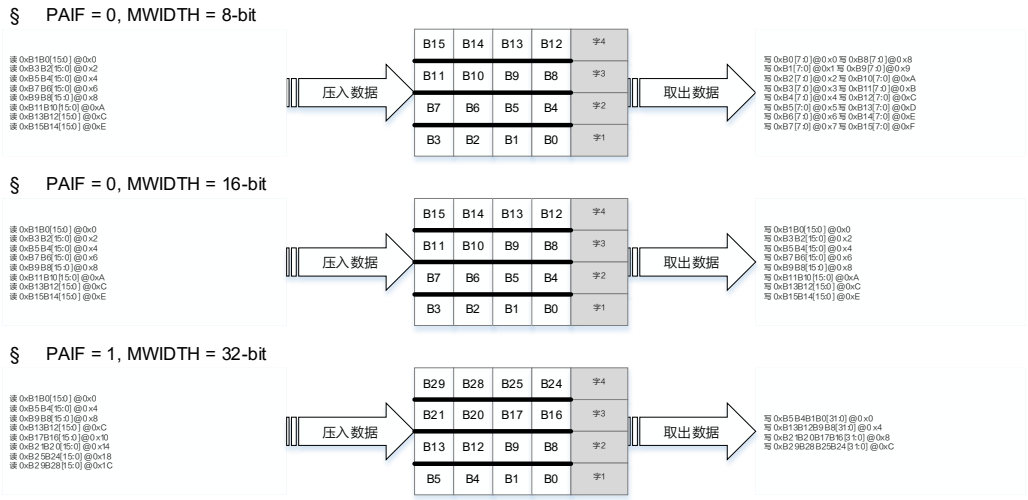
图 14-4. PWIDTH 为'0b00'时，数据的打包 / 解包



当 CNT 被设置为 8，PWIDTH 为'0b01'，PNAGA 和 MNAGA 被置 1。对于不同的 WIDTH，

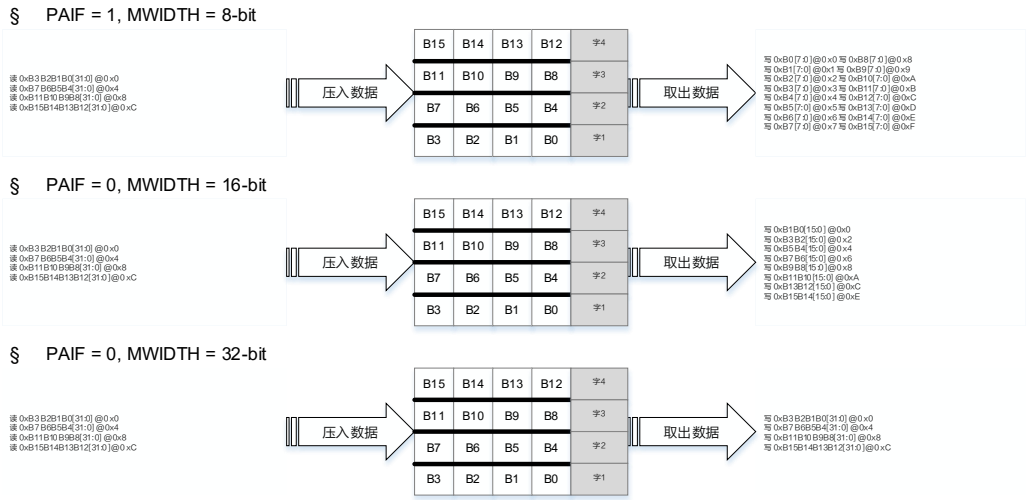
DMA 的传输操作如*图 14-5. PWIDTH 为'0b01'时，数据的打包 / 解包*所示。

图 14-5. PWIDTH 为'0b01'时，数据的打包 / 解包



当CNT被设置为4，PWIDTH为 '0b10'，PNAGA和MNAGA被置1。对于不同的MWIDTH，DMA的传输操作如*图14-6. PWIDTH为'0b10'时，数据的打包 / 解包*所示。

图 14-6. PWIDTH 为'0b10'时，数据的打包 / 解包



14.4.3. 地址生成

存储器和外设都独立的支持两种地址生成算法：固定模式和增量模式。寄存器DMA_CHxCTL的PNAGA和MNAGA位用来设置存储器和外设的地址生成算法。

在固定模式中，地址一直固定为初始化的基地址(DMA_CHxPADDR，DMA_CHxM0ADDR，DMA_CHxM1ADDR)。

在增量模式中，下一次传输数据的地址是当前地址加1(或者2，4)，这个值取决于数据传输宽度。在多数据传输模式中，若寄存器DMA_CHxCTL的PBURST配置为'0b00'，当寄存器

DMA_CHxCTL的PAIF位置1使能时，外设的下一次传输的地址增量被固定为4，与外设的数据传输宽度无关。PAIF与存储器地址生成无关。

注意：若PAIF配置为'1'，外设的基地址(寄存器DMA_CHxPADDR)必须配置为4字节对齐。

14.4.4. 循环模式

循环模式用来处理连续的外设请求。可以通过寄存器DMA_CHxCTL的CMEN位置1使能。循环模式只在DMA作为传输控制器时有效。当寄存器DMA_CHxCTL的TFCS位被置1时，外设作为传输控制器，在通道使能后，循环模式会被自动关闭。

在循环模式中，当每次DMA传输完成后，CNT值会被重新载入，且传输完成标志位会被置1。DMA会一直响应外设的请求，直到出现传输错误或者通道使能位被清0。

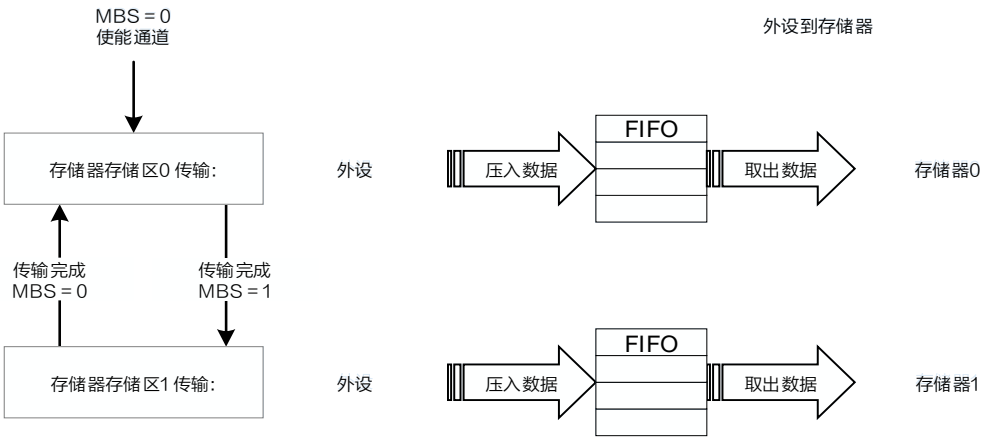
14.4.5. 存储切换模式

与循环模式相同，存储切换模式也是用来处理连续的外设请求。可以通过寄存器DMA_CHxCTL的SBMEN位置1使能。若打开了存储切换模式，在通道使能后，硬件会自动打开循环模式。存储切换模式只能应用于外设与存储器之间的数据传输，在存储器到存储器模式中禁止使用。

存储切换模式支持两个存储器缓冲区，两个存储器基地址可以分别在寄存器DMA_CHxM0ADDR和DMA_CHxM1ADDR中配置。在每次DMA传输完成后，存储器指针指向另一个存储器缓冲区。在DMA传输过程中，没有被DMA占用的缓冲区可以被其他的AHB主机接口操作，且其基地址可以改变。

软件可以通过设定寄存器 DMA_CHxCTL 的 MBS 位来指定第一次数据传输 DMA 使用的缓冲区。DMA 通道使能以后，MBS 可以视为 DMA 存储器缓冲区的标志位，它会在每次传输完成后自动在'0'，'1'之间切换，如*图 14-7. 存储切换模式*所示。

图 14-7. 存储切换模式



14.4.6. 传输控制器

数据传输量的大小由传输控制器决定。寄存器DMA_CHxCTL的TFCS位决定了传输控制器是外设还是DMA。

- DMA 为传输控制器：寄存器 DMA_CHxCNT 的 CNT 位域决定传输数据量的大小，必须在通道使能前配置；
- 外设为传输控制器：在通道使能后寄存器 DMA_CHxCNT 的 CNT 位域为会被硬件强制配置为'0xFFFF'，因此配置 CNT 没有意义。DMA 数据传输完成由外设发送最后一次传输请求决定。

注意：当传输模式是存储器到存储器时，传输控制器只能是DMA。

14.4.7. 传输操作

数据传输支持三种操作方式：外设到存储器，存储器到外设，和存储器到存储器。存储器和外设都可以配置为源端和目的端。

存储器端数据传输

- 外设到存储器：
  - 单数据传输模式，当 FIFO 非空时，DMA 启动存储器数据传输，写数据到相应的存储器地址中；
  - 多数据传输模式，当 FIFO 计数器达到临界值时，DMA 启动单一或突发数据传输，把 FIFO 的数据全部写入存储器中。
- 存储器到外设：
  - 单数据传输模式，当通道使能时 DMA 会立刻进行存储器数据传输，读取数据到 FIFO。数据传输过程中，当且仅当 FIFO 为空时，DMA 控制器就会进行存储器读取操作；
  - 多数据传输模式，当通道使能后，不论是否有外设请求，DMA 都会进行单一或突发数据传输填满 FIFO。在数据传输过程中，当 FIFO 有足够的空间进行一次单一或突发传输时，DMA 控制器就会进行存储器读取操作。

存储器到存储器：只支持多数据传输模式。当 FIFO 计数器到达临界值，DMA 进行单一或突发传输把 FIFO 的数据全部写入存储器中。

外设端数据传输

- 外设到存储器：当 DMA 收到外设请求且 FIFO 有足够的空间进行数据传输，DMA 启动外设数据传输从外设读取数据写入 FIFO；
- 存储器到外设：当 DMA 收到外设请求且 FIFO 有足够的数据进行数据传输，DMA 启动外设数据传输从 FIFO 读取数据写入外设；
- 存储器到存储器：只支持多数据传输模式。当通道使能时，DMA 启动单一或突发传输读取数据写满 FIFO。在数据传输过程中，当 FIFO 有足够的空间进行一次单一或突发传输时，DMA 控制器就会进行存储器读取操作。

14.4.8. 传输完成

DMA传输由硬件自动完成，寄存器DMA_INTF0与DMA_INTF1位FTFIFx在以下情况下会被置1：

- 传输完成；
- 软件清除；
- 传输错误。

传输完成

当DMA使能以后，数据会在外设和存储器之间传输。当寄存器DMA_CHxCNT的CNT中配置的数据量传输完成或处理完最后一次外设请求以后，DMA传输结束，寄存器DMA_CHxCTL的CHEN位自动清零。

- 外设到存储器：如果 DMA 是传输控制器，CNT 减数到 0 且 FIFO 中的数据完全写入到存储器中，传输完成。如果外设是传输控制器，当外设的最后一个请求完成且 FIFO 中的数据完全写入到存储器中，传输完成；
- 存储器到外设：如果 DMA 是传输控制器，当 CNT 减数到 0 时传输完成。如果外设传输流控制器，当外设的最后一个请求完成时，传输完成；
- 存储器到存储器：只支持 DMA 为传输控制器，CNT 减数到 0 且 FIFO 中的数据完全写入到存储器中，传输完成。

软件清除

DMA传输可以通过对寄存器DMA_CHxCTL的CHEN位清0停止。在清0操作之后，若CHEN仍然为1，代表存储器或者外设仍然处在传输状态，或者FIFO中还有剩余的数据没有传输。

- 外设到存储器：软件清 0 操作后，当前的单次或突发传输完成后，DMA 的外设传输将会停止。为了保证从外设读取的数据完全被写入存储器中，存储器在 FIFO 非空的状态下仍然会进行数据传输，直到 FIFO 中的数据完全被写入存储器中。若 FIFO 中剩余的数据量不满足一次存储器突发传输，这些数据将会被拆分成单一传输。如果 FIFO 总剩余的数据量小于存储器传输宽度，这个数据会被高位补 0，写入存储器中。此时读取 CNT 的值可以计算出存储器中的有效数据量。在 FIFO 中的数据传输完毕之后，CHEN 会被硬件自动清 0，寄存器 DMA_INTF0 或 DMA_INTF1 相应通道标志位 FTFIFx 会被置 1；
- 存储器到外设：软件清 0 操作后，当前的存储器和外设传输完成以后，DMA 传输将会停止。CHEN 会自动清 0，寄存器 DMA_INTF0 或 DMA_INTF1 相应通道标志位 FTFIFx 会被置 1；
- 存储器到存储器：与外设到存储器相同，其中源端存储器的传输通过外设端口来实现。

传输错误

三种类型的错误会关闭DMA传输：

- FIFO 错误：当检测到 FIFO 错误配置，通道会立即关闭且不会进行任何传输。这种情况

下，FTFIFx 不会被置 1。更多 FIFO 错误的信息，请参考章节*错误*;

- 总线错误：当存储器或者外设端口试图访问超出范围的地址时，DMA 控制器会检测到总线错误，通道停止传输且 FTFIFx 不会被置 1。如果错误是由外设端口引起，CNT 仍会进行一次减 1 操作。更多总线错误的信息，请参考章节*错误*;
- 寄存器访问错误：在存储切换模式下，当对 DMA 正在访问的存储器的基地址寄存器进行写操作时，DMA 控制器会检测到寄存器访问错误。发生这个错误后，DMA 控制器的操作与软件清 0 时相同。更多寄存器访问错误的信息，请参考章节*错误*。

14.4.9. 通道配置

要启动一次新的DMA数据传输，建议遵循以下步骤进行操作：

1. 读取 CHEN 位，如果为 1(通道已使能)，清 0 或等待 DMA 传输完成。当 CHEN 为 0 时，请按照下列步骤配置 DMA;
2. 清除寄存器 DMA_INTF0 或 DMA_INTF1 相应通道标志位 FTFIFx，否则无法使能 DMA。
3. 配置寄存器 DMA_CHxCTL 的 TM 位选择数据传输方式;
4. 配置寄存器 DMA_CHxCTL 的 PERIEN 位域选择外设。当数据传输方式是存储器到存储器时，PERIEN 没有具体意义，这一步可以跳过;
5. 在寄存器 DMA_CHxCTL 中配置存储器和外设突发类型，目标存储器(memory 0 或 memory1)，存储切换模式，通道优先级，存储器和外设的传输宽度，存储器和外设的地址生成算法，循环模式，传输控制器;
6. 在寄存器 DMA_CHxFCTL 中配置数据处理方式，如果使用多数据传输方式，需要配置 FCCV 位域以设置 FIFO 计数器临界值;
7. 在寄存器 DMA_CHxCTL 中配置传输完成中断，半传输完成中断，传输错误中断，单数据传输方式异常中断的使能位。在寄存器 DMA_CHxFCTL 中配置 FIFO 错误和异常中断的使能位。中断使能位可根据实际需求配置;
8. 在寄存器 DMA_CHxPADDR 中配置外设基地址;
9. 如果使用存储切换模式，在寄存器 DMA_CHxM0ADDR 和 DMA_CHxM1ADDR 中配置两个存储器基地址。如果只使用一个存储器，寄存器 CHxCTL 的 MBS 位决定配置 DMA_CHxM0ADDR 或者 DMA_CHxM1ADDR;
10. 在寄存器 DMA_CHxCNT 中配置数据传输总量;
11. 寄存器 DMA_CHxCTL 的 CHEN 位置 1，使能 DMA 通道。

如果要继续挂起的DMA传输，建议遵循以下步骤进行操作：

1. 读取 CHEN 位，确定 DMA 的挂起操作已经完成。当 CHEN 为 0 时，DMA 处于空闲状态，可以重新配置 DMA 以继续挂起 DMA 传输;
2. 清除寄存器 DMA_INTF0 或 DMA_INTF1 相应通道标志位 FTFIFx，否则 DMA 通道可能无法再使能;
3. 读取寄存器 DMA_CHxCNT 计算出已经发送的数据量与剩余待发的数据量;
4. 在寄存器 DMA_CHxPADDR 中更新外设基地址;
5. 在寄存器 DMA_CHxM0ADDR 或 DMA_CHxM1ADDR 中更新存储器基地址;
6. 在寄存器 DMA_CHxCNT 中配置剩余待发的数据总量;
7. 寄存器 DMA_CHxCTL 的 CHEN 位置 1，重新启动 DMA 通道。

14.5. 中断

每个DMA通道都有专有的中断，包括5个中断事件，传输完成中断，半传输完成中断，传输错误中断，单数据传输模式异常中断，FIFO错误和异常中断。任何一个中断事件都可以引发DMA中断。

寄存器 DMA_INTF0 或 DMA_INTF1 包含每个中断事件的标志位，寄存器 DMA_INTC0 或 DMA_INTC1 包含每个中断事件的标志清除位，寄存器 DMA_CHxCTL 和 DMA_CHxFCTL 包含每个中断事件的使能位，如*表 14-6. DMA 中断事件*所示。

表 14-6. DMA 中断事件

中断事件	标志位	使能位	清除位
	DMA_INTF0 or DMA_INTF1	DMA_CHxCTL or DMA_CHxFCTL	DMA_INTC0 or DMA_INTC1
传输完成	FTFIF	FTFIE	FTFIFC
半传输完成	HTFIF	HTFIE	HTFIFC
传输错误	TAEIF	TAEIE	TAEIFC
单数据模式异常	SDEIF	SDEIE	SDEIFC
FIFO 错误与异常	FEEIF	FEPIE	FEEIFC

这5个事件可以分为3种类型：

- 标志：传输完成和半传输完成；
- 异常：单数据传输模式异常和 FIFO 异常；
- 错误：传输错误和 FIFO 错误。

发生异常事件时，正在进行的DMA传输不会被停止，仍将继续传输。发生错误事件时，正在进行的DMA传输会被停止。这三种类型的事件在下一节进行详细描述。

14.5.1. 标志

两种标志事件，传输完成事件和半传输完成事件。

发生以下情况时，传输完成标志位将会被置1：

- DMA 作为传输控制器时，CNT 计数到 0；
- 外设作为传输控制器时，响应完外设的最后一个数据传输请求后，(如果是读外设写存储器传输方式，还需满足 FIFO 中的数据全部写入存储器中)传输完成；
- 在数据传输完成之前，通过软件清 0 的方式停止数据传输，当前的存储器和外设数据传输完成后，(如果是外设到存储器或存储器到存储器传输模式，还需满足 FIFO 中的数据全部写入存储器中)传输完成；
- 在数据传输完成之前，由于寄存器访问错误导致停止数据传输，当前的存储器和外设数据传输完成后，(如果是外设到存储器或存储器到存储器传输模式，还需满足 FIFO 中的数据全部写入存储器，)传输完成。

当传输完成标志位置1，且传输完成中断使能时，DMA控制器产生传输完成中断。

当DMA作为传输控制器且CNT减数计数达到初始值的一半时，半传输完成标志位会被置1。

当半传输完成标志位置1，且半传输完成中断使能时，DMA控制器产生半传输完成中断。

14.5.2. 异常

两种异常事件，单数据传输模式异常和FIFO异常。异常对于DMA传输无影响。

单数据传输模式异常

这个异常只有在使能单数据传输模式且传输方式为外设到存储器时才会发生。当FIFO非空时，如果外设请求数据传输，DMA在响应外设请求以后，会有多个数据存储在FIFO中，这可能会对存储器后续的数据处理造成影响，此时单数据传输模式异常标志位置1

当单数据传输模式异常标志位置1，且单数据传输模式异常中断使能，DMA控制器产生单数据传输模式异常中断。

FIFO 异常

这个异常只有数据在外设和存储器之间传输才会发生，当FIFO发生上溢或下溢时，FIFO异常标志位置1。

当传输模式为外设到存储器时，如果外设请求有效且得到最高优先级时，FIFO的剩余空间不满足单一或突发外设传输，FIFO发生上溢。直到FIFO有足够空间时，DMA控制器才会响应此次外设请求，该异常不会影响到数据传输的正确性。

当传输模式为存储器到外设时，如果外设请求有效且得到最高优先级时，FIFO中的数据不够完成单次或突发外设传输，FIFO发生下溢。直到FIFO有足够数据时，DMA控制器才会响应此次外设请求，该异常不会影响到数据传输的正确性。

当FIFO异常标志位置1，且FIFO异常中断使能时，DMA控制器产生FIFO异常中断。

14.5.3. 错误

在数据传输过程中，会发生FIFO错误和传输错误(包含寄存器访问错误和总线错误)，此时数据传输会被中止。

FIFO 错误

当使用多数据传输模式时，FIFO计数器临界值设置必须与存储器和外设数据传输宽度匹配，详细见*表14-5. FIFO计数器临界值配置*。错误的配置会引发FIFO错误，此时，通道会立即关闭，并不启动任何传输。

当FIFO错误标志位置1，且FIFO错误中断使能时，DMA控制器产生FIFO错误中断。

寄存器访问错误

只有在存储切换模式下才会发生寄存器访问错误。如果软件对DMA正在使用的存储器的基地址寄存器进行写操作，将会发生寄存器访问错误。举例来说，存储器0是DMA控制器正在使用的源端或者目的端地址，如果软件对DMA_CHxM0ADDR寄存器进行写操作，则会产生寄存器访问错误。寄存器访问错误发生后，当前数据传输完成之后(在读外设写存储器传输模式下，FIFO中的数据需要全部写入到memory中)，DMA会被自动停止。

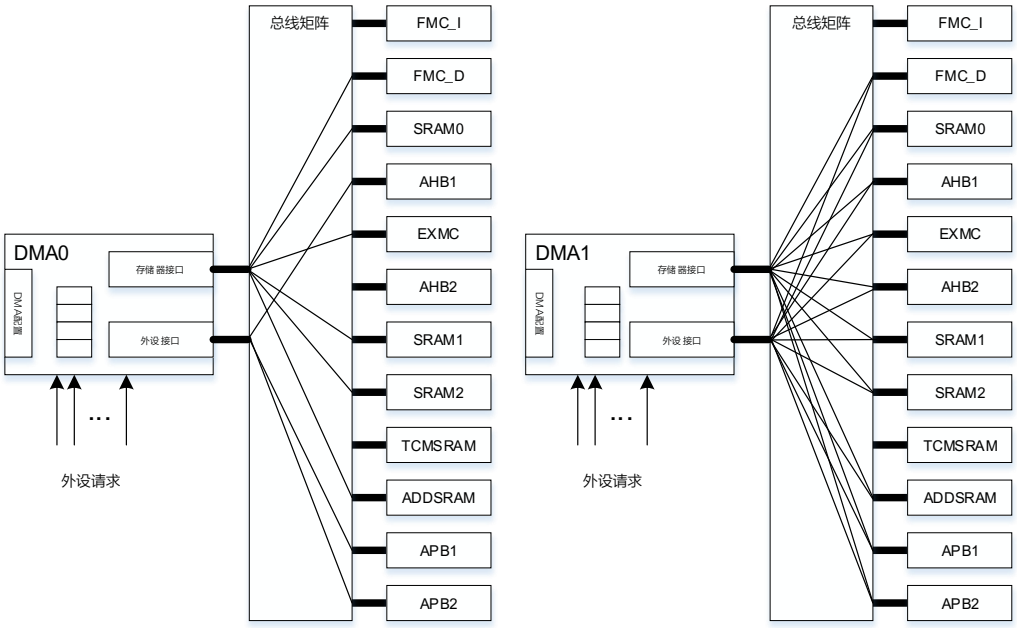
当寄存器访问错误标志位置1，且寄存器访问错误中断使能时，DMA控制器产生寄存器访问错误中断。

总线错误

当 DMA 的存储器端或外设端的主机端口访问的地址超出了允许的范围，会发生总线错误，同时 DMA 通道失能。DMA0 和 DMA1 的存储器和外设端口允许访问的地址空间如*图 14-8. DMA0 与 DMA1 的系统连接*所示。

当总线错误标志位置1，且总线错误中断使能时，DMA控制器产生总线错误中断。

图 14-8. DMA0 与 DMA1 的系统连接



14.6. DMA 寄存器

DMA0 基地址：0x4002 6000

DMA1 基地址：0x4002 6400

14.6.1. 中断标志位寄存器 0(DMA_INTF0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FTFIF3	HTFIF3	TAEIF3	SDEIF3	保留	FEEIF3	FTFIF2	HTFIF2	TAEIF2	SDEIF2	保留	FEEIF2
				r	r	r	r		r	r	r	r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				FTFIF1	HTFIF1	TAEIF1	SDEIF1	保留	FEEIF1	FTFIF0	HTFIF0	TAEIF0	SDEIF0	保留	FEEIF0
				r	r	r	r		r	r	r	r	r		r

位/位域	名称	描述
31:28	保留	必须保持复位值。
27/21/11/5	FTFIFx	通道x的传输完成标志位(x=0…3) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x传输未完成 1：通道x传输完成
26/20/10/4	HTFIFx	通道x的半传输完成标志位(x=0…3) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x半传输未完成 1：通道x半传输完成
25/19/9/3	TAEIFx	通道x的传输错误标志位(x=0…3) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x未发生传输错误 1：通道x发生传输错误
24/18/8/2	SDEIFx	通道x的单数据传输模式异常标志位(x=0…3) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x未发生单数据传输模式异常 1：通道x发生单数据传输模式异常
23/17/7/1	保留	必须保持复位值。
22/16/6/0	FEEIFx	通道x的FIFO错误与FIFO异常标志位(x=0…3) 硬件置位，软件写DMA_INTC0相应位为11清零。 0：通道x未发生FIFO错误或FIFO异常

1：通道x发生FIFO错误或FIFO异常

14.6.2. 中断标志位寄存器 1(DMA_INTF1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FTFIF7	HTFIF7	TAEIF7	SDEIF7	保留	FEEIF7	FTFIF6	HTFIF6	TAEIF6	SDEIF6	保留	FEEIF6
				r	r	r	r		r	r	r	r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				FTFIF5	HTFIF5	TAEIF5	SDEIF5	保留	FEEIF5	FTFIF4	HTFIF4	TAEIF4	SDEIF4	保留	FEEIF4
				r	r	r	r		r	r	r	r	r		r

位/位域	名称	描述
31:28	保留	必须保持复位值。
27/21/11/5	FTFIFx	通道x的传输完成标志位(x=4…7) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x传输未完成 1：通道x传输完成
26/20/10/4	HTFIFx	通道x的半传输完成标志位(x=4…7) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x半传输未完成 1：通道x半传输完成
25/19/9/3	TAEIFx	通道x的传输错误标志位(x=4…7) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x未发生传输错误 1：通道x发生传输错误
24/18/8/2	SDEIFx	通道x的单数据传输模式异常标志位(x=4…7) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x未发生单数据传输模式异常 1：通道x发生单数据传输模式异常
23/17/7/1	保留	必须保持复位值。
22/16/6/0	FEEIFx	通道x的FIFO错误与FIFO异常标志位(x=4…7) 硬件置位，软件写DMA_INTC0相应位为1清零。 0：通道x未发生FIFO错误或FIFO异常 1：通道x发生FIFO错误或FIFO异常

14.6.3. 中断标志位清除寄存器(DMA_INTC0)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FTFIFC3	HTFIFC3	TAEIFC3	SDEIFC3	保留	FEEIFC3	FTFIFC2	HTFIFC2	TAEIFC2	SDEIFC2	保留	FEEIFC2
				w	w	w	w		w	w	w	w	w		w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				FTFIFC1	HTFIFC1	TAEIFC1	SDEIFC1	保留	FEEIFC1	FTFIFC0	HTFIFC0	TAEIFC0	SDEIFC0	保留	FEEIFC0
				w	w	w	w		w	w	w	w	w		w

位/位域	名称	描述
31:28	保留	必须保持复位值。
27/21/11/5	FTFIFCx	通道x的传输完成标志清除位(x=0…3) 0：无影响 1：清除传输完成标志位
26/20/10/4	HTFIFCx	通道x的半传输完成标志清除位(x=0…3) 0：无影响 1：清除半传输完成标志位
25/19/9/3	TAEIFCx	通道x的传输错误标志清除位(x=0…3) 0：无影响 1：清除传输错误标志位
24/18/8/2	SDEIFCx	通道x的单数据传输模式异常标志清除位(x=0…3) 0：无影响 1：清除单数据传输模式异常标志位
23/17/7/1	保留	必须保持复位值。
22/16/6/0	FEEIFCx	通道x的FIFO错误与FIFO异常标志清除位(x=0…3) 0：无影响 1：清除FIFO错误与FIFO异常标志位

14.6.4. 中断标志位清除寄存器 1(DMA_INTC1)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FTFIFC7	HTFIFC7	TAEIFC7	SDEIFC7	保留	FEEIFC7	FTFIFC6	HTFIFC6	TAEIFC6	SDEIFC6	保留	FEEIFC6
				w	w	w	w		w	w	w	w	w		w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				FTFIFC5	HTFIFC5	TAEIFC5	SDEIFC5	保留	FEEIFC5	FTFIFC4	HTFIFC4	TAEIFC4	SDEIFC4	保留	FEEIFC4
				w	w	w	w		w	w	w	w	w		w

位/位域	名称	描述
31:28	保留	必须保持复位值。
27/21/11/5	FTFIFCx	通道x的传输完成标志清除位(x=4…7) 0：无影响 1：清除传输完成标志位
26/20/10/4	HTFIFCx	通道x的半传输完成标志清除位(x=4…7) 0：无影响 1：清除半传输完成标志位
25/19/9/3	TAEIFCx	通道x的传输错误标志清除位(x=4…7) 0：无影响 1：清除传输错误标志位
24/18/8/2	SDEIFCx	通道x的单数据传输模式异常标志清除位(x=4…7) 0：无影响 1：清除单数据传输模式异常标志位
23/17/7/1	保留	必须保持复位值。
22/16/6/0	FEEIFCx	通道x的FIFO错误与FIFO异常标志清除位(x=4…7) 0：无影响 1：清除FIFO错误与FIFO异常标志位

14.6.5. 通道 x 控制寄存器(DMA_CHxCTL)

x = 0..7,x为通道编号
地址偏移：0x10 + 0x18*x
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				PERIEN[2:0]			MBURST[1:0]		PBURST[1:0]		保留	MBS	SBMEN	PRIO[1:0]	
				rw			rw		rw			rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAIF	MWIDTH[1:0]		PWIDTH[1:0]		MNAGA	PNAGA	CMEN	TM[1:0]		TFCS	FTFIE	HTFIE	TAEIE	SDEIE	CHEN
rw	rw		rw		rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:25	PERIEN[2:0]	外设使能

		软件置1与清0 000：使能外设0 001：使能外设1 010：使能外设2 011：使能外设3 100：使能外设4 101：使能外设5 110：使能外设6 111：使能外设7 CHEN为1时不可写入
24:23	MBURST[1:0]	存储器突发类型 软件置1与清0 00：单一传输 01：INCR4 (4拍增量突发传输) 10：INCR8 (8拍增量突发传输) 11：INCR16 (16拍增量突发传输) CHEN为1时不可写入 如果寄存器DMA_CHxFCTL的MDMEN位为0，在使能通道后(CHEN置1)，该位域会被硬件强制清零
22:21	PBURST[1:0]	外设突发类型 软件置1与清0 00：单一传输 01：INCR4 (4拍增量突发传输) 10：INCR8 (8拍增量突发传输) 11：INCR16 (16拍增量突发传输) CHEN为1时不可写入 如果寄存器DMA_CHxFCTL的MDMEN位为0，在使能通道后(CHEN置1)，该位域会被硬件强制清零
20	保留	必须保持复位值。
19	MBS	存储器缓冲选择 硬件置1清0，软件置1清0 0：存储器0作为存储器传输区域 1：存储器1作为存储器传输区域 CHEN为1时不可写入 在每次传输完成时，硬件会自动更新该位，以此来表明DMA正在使用哪个存储区
18	SBMEN	存储切换模式使能 软件置1与清0 0：关闭存储切换模式 1：打开存储切换模式 CHEN为1时不可写入
17:16	PRIO[1:0]	软件优先级

		软件置1与清0 00：低 01：中 10：高 11：超高 CHEN为1时不可写入
15	PAIF	外设地址增量固定 软件置1与清0 0：外设地址增量由PWIDTH决定 1：外设地址增量固定为4 CHEN为1时不可写入 如果PNAGA设置为0，该位无影响 如果寄存器DMA_CHxFCTL的MDMEN位为'0'或者PBURST不为'00'，在使能通道后(CHEN置1)，该位域会被硬件强制清零
14:13	MWIDTH[1:0]	存储器传输宽度 软件置1与清0 00：8位 01：16位 10：32位 11：保留 CHEN为1时不可写入 如果寄存器DMA_CHxFCTL的MDMEN位为'0'， 在使能通道后(CHEN置1)，该位域会被硬件强制与PWIDTH相等。
12:11	PWIDTH[1:0]	外设传输宽度 软件置1与清0 00：8位 01：16位 10：32位 11：保留 CHEN为1时不可写入
10	MNAGA	存储器地址生成算法 软件置1与清0 0：固定地址模式 1：增量地址模式 CHEN为1时不可写入
9	PNAGA	外设地址生成算法 软件置1与清0 0：固定地址模式 1：增量地址模式 CHEN为1时不可写入
8	CMEN	循环模式

		软件置1与清0 0：关闭循环模式 1：打开循环模式 CHEN为1时不可写入 如果TFCS为'1'， 在使能通道后(CHEN置1)，该位被自动清0 如果SBMEN为'1'， 在使能通道后(CHEN置1)，该位被自动置1
7:6	TM[1:0]	传输方式 软件置1与清0 00：读外设写存储器 01：读存储器写外设 10：读存储器写存储器 11：保留 CHEN为1时不可写入
5	TFCS	传输控制器选择 软件置1与清0 0：DMA作为传输控制器 1：外设作为传输控制器 CHEN为1时不可写入
4	FTFIE	传输完成中断使能位 软件置1与清0 0：传输完成中断禁止 1：传输完成中断使能
3	HTFIE	半传输完成中断使能位 软件置1与清0 0：半传输完成中断禁止 1：半传输完成中断使能
2	TAEIE	传输错误中断使能位 软件置1与清0 0：传输错误中断禁止 1：传输错误中断使能
1	SDEIE	单数据传输模式异常中断使能位 软件置1与清0 0：单数据传输模式异常中断禁止 1：单数据传输模式异常中断使能
0	CHEN	通道使能 软件置1，硬件清0 0：通道禁止 1：通道使能 该位置1，DMA传输开始。发生以下情况该位会被自动清0： ■ 数据传输完成 – 发生FIFO配置错误或者传输错误

软件清0操作后，读该位仍为1代表还有正在进行的数据传输，软件查询该位可以确定DMA通道是否空闲，可以进行新的数据传输。

14.6.6. 通道 x 计数寄存器(DMA_CHxCNT)

x = 0...7,x为通道编号
地址偏移：0x14 + 0x18*x
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	传输计数 在使能通道后(CHEN置1)，该位域不可写。 传输过程中，CNT代表剩余未发的数据量。外设每传输一次数据，CNT减1。如果寄存器DMA_CHxCTL的CMEN位或SBMEN位置1，在每次传输完成时，CNT会由硬件自动重新装载。

14.6.7. 通道 x 外设基地址寄存器(DMA_CHxPADDR)

x = 0...7,x为通道编号
地址偏移：0x18 + 0x18*x
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PADDR[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PADDR[15:0]															
rw															

位/位域	名称	描述
31:0	PADDR[31:0]	外设基地址 在使能通道后(CHEN置1)，该位域不可写。 当PWIDTH位'01'，最低位被忽略，自动半字对齐

当PWIDTH位'10'，最低位两位被忽略，自动字对齐

注意：若寄存器DMA_CHxCTL的PAIF位置1，该位域必须配置为4字节对齐。

14.6.8. 通道 x 存储器 0 基地址寄存器(DMA_CHxM0ADDR)

x = 0...7,x为通道编号

地址偏移：0x1C + 0x18*x

复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M0ADDR[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M0ADDR[15:0]															
rw															

位/位域	名称	描述
31:0	M0ADDR[31:0]	存储器0基地址 若寄存器DMA_CHxCTL位MBS为0，该位域定义DMA传输过程中存储器的基地址 如果寄存器DMA_CHxCTL的CHEN位置1且MBS位为0时，该位域不可写 当MWIDTH位'01'，最低位被忽略，自动半字对齐 当MWIDTH位'10'，最低位两位被忽略，自动字对齐

14.6.9. 通道 x 存储器 1 基地址寄存器(DMA_CHxM1ADDR)

x = 0...7,x为通道编号

地址偏移：0x20 + 0x18*x

复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M1ADDR[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M1ADDR[15:0]															
rw															

位/位域	名称	描述
31:0	M1ADDR[31:0]	存储器1基地址 若寄存器DMA_CHxCTL位MBS为1，该位域定义DMA传输过程中存储器的基地址 如果寄存器DMA_CHxCTL的CHEN位置1且MBS为1时，该位域不可写 当MWIDTH位'01'，最低位被忽略，自动半字对齐

当MWIDTH位'10'，最低位两位被忽略，自动字对齐

14.6.10. 通道 xFIFO 控制寄存器(DMA_CHxFCTL)

x = 0...7,x为通道编号

地址偏移：0x24 + 0x18*x

复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								FEEIE	保留	FCNT[2:0]			MDMEN	FCCV[1:0]	
								rw		r			rw	rw	

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	FEEIE	FIFO错误和异常中断使能位 软件置1与清0 0：FIFO错误和异常中断禁止 1：FIFO错误和异常中断使能
6	保留	必须保持复位值。
5:3	FCNT[2:0]	FIFO计数器 硬件置位和清零 000：FIFO非空并且数据少于1个字 001：FIFO数据多于1个字少于2个字 010：FIFO数据多于2个字少于3个字 011：FIFO数据多于3个字少于4个字 100：FIFO空 101：FIFO满 110~111：保留 该位域表明在数据传输过程FIFO中的数据量。若MDMEN为0，则该位域无意义。
2	MDMEN	多数据传输模式使能 软件置位与清除 0：关闭多数据传输模式 1：打开多数据传输模式 CHEN为1时不可写入 如果寄存器DMA_CHxCTL的TM位域为'10'，在通道使能后，该位由硬件强制置1.
1:0	FCCV[1:0]	FIFO计数器临界值 软件置位与清除 00：1个字

01：2个字

10：3个字

11：4个字

在通道使能后，该位域不可写。若MDMEN为'0'，该位域无实际意义。

15. 图像处理加速器(IPA)

15.1. 简介

IPA 提供从某一个或两个源图像到目标图像的可配置的，灵活的图像处理功能。它支持以下四种转换模式：

- 复制某一源图像到目标图像中；
- 复制某一源图像到目标图像中并同时进行特定的格式转换；
- 将两个不同的源图像进行混合，并将得到的结果进行特定的颜色格式转换；
- 用特定的颜色填充目标图像区域。

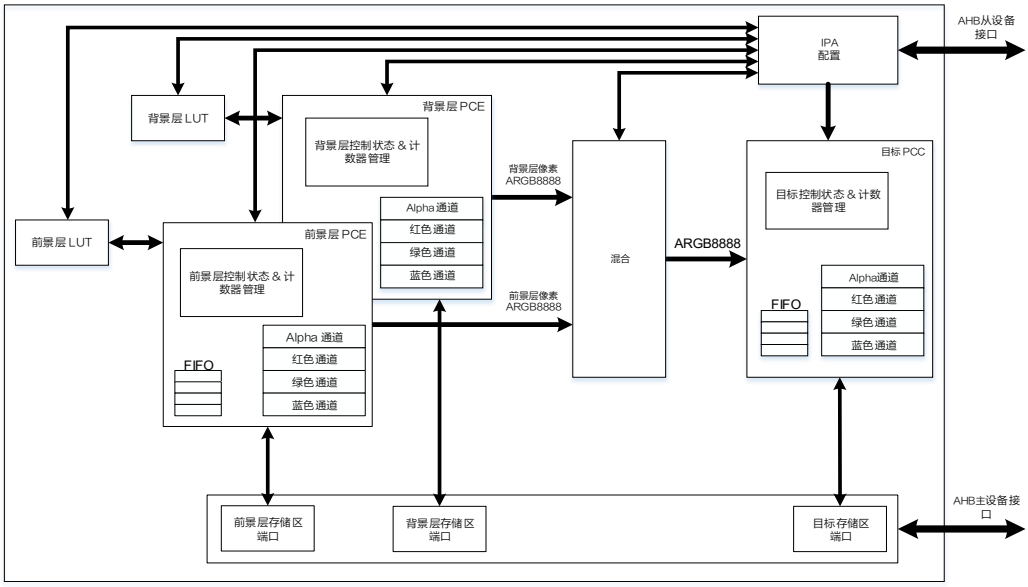
两个源图像支持 11 种像素格式，每像素从 4 位到最高 32 位，对于目标图像支持 5 种像素格式，每像素从 16 位到最高 32 位。采用间接像素模式时，IPA 为两个源图像分别提供了 256*32 的颜色查找表。

15.2. 主要特性

- 一个访问存储器的 AHB 主设备接口和一个支持 8 位，16 位，32 位的 IPA 配置的 AHB 从设备接口；
- 3 个 4 个字深度的 32 位 FIFO：两个源图像 FIFO，一个目标图像 FIFO；
- 支持四种像素格式转换模式：
  - 复制某一源图像到目标图像中；
  - 复制某一源图像到目标图像中并同时进行特定的颜色格式转换；
  - 将两个不同的源图像进行混合，并将得到的结果进行特定的颜色格式转换；
  - 用特定的颜色填充目标图像区域。
- 可配置 LUT 的大小；
- 支持两种 LUT 像素格式；
- 支持 LUT 自动加载；
- 支持传输挂起或停止；
- 对于源图像和目标图像，支持独立配置行偏移量；
- 支持预定义像素值；
- 支持 3 种 alpha 通道值计算算法；
- 对于两个源图像，支持 11 种像素格式；
- 对于目标图像，支持 5 种像素格式；
- 支持配置图像大小；
- 支持 AHB 总线带宽自动调节；
- 支持一个带有六种事件标志位的中断：
  - 支持中断使能和清除。

15.3. 结构框图

图 15-1. IPA 模块框图



如*图 15-1. IPA 模块框图*所示，IPA 包含 6 个主要部分：

- 通过 AHB 从设备接口配置 IPA；
- 通过 AHB 主设备接口访问图像数据；
- 前景层和背景层 LUT；
- 前景层和背景层像素通道扩展(PCE)；
- 前景层和背景层像素混合；
- 目标像素通道压缩(PCC)。

15.4. 功能概述

IPA 是一个像素格式转换器，它支持多种转换模式，允许用户通过配置 IPA 对应寄存器的相应位灵活的配置转换模式，前景层，背景层，目标像素格式及其行偏移。除了 LUT 仅支持 32 位访问外，其他所有 IPA 寄存器都可以通过 AHB 从设备接口进行 8 位，16 位或 32 位访问。

IPA 支持 4 种转换模式，它可以通过 IPA_CTL 寄存器的 PFCM 位配置，如*表 15-1. IPA 转换模式*所示：

- 复制前景层图像到目标图像中
  在这种模式中，前景层存储区的像素数据复制到目标存储区而不进行像素转换，所以前景层和目标图像的像素格式没有意义。前景层的像素格式仅定义了每像素的位数。
- 转换前景层图像到目标图像
  在这种模式中，前景层的像素数据从前景层的像素格式转换成目标像素格式，然后写入目标存储区中。如果前景层的像素格式是非直接的(L8, AL44, AL88, L4)，读取前景层存储区域中的数据作为索引从前景层 LUT 获取像素数据。
- 转换和混合前景层和背景层图像到目标图像

在这种模式中，前景层和背景层的像素数据首先由其原来的格式转换为'ARGB8888'，然后前景层和背景层像素数据成对的混合并从'ARGB8888'转换为目标像素格式，写入目标存储区中。

如果前景层的像素格式是非直接的，读取前景层存储区域中的数据作为索引从前景层 LUT 获取像素数据。

如果背景层的像素格式是非直接的，读取背景层存储区域中的数据作为索引从背景层 LUT 获取像素数据。

- 用特定颜色填充到目标图像中

  在这种模式中，目标图像被特定的像素填充，该像素的值被预先定义在对应的目标寄存器中。

表 15-1. IPA 转换模式

PFCM[1:0]	转换模式		像素转换	混合
	源	目的		
00	前景层图像	目标图像	否	否
01	前景层图像	目标图像	是	否
10	前景层图像和背景层图像	目标图像	是	是
11	在寄存器中预定义的像素值	目标图像	否	否

15.4.1. 传输操作

一次 IPA 操作包含以下 7 个步骤：

1) 从前景层存储区(基地址配置在 IPA_FMADDR 寄存器中)读取数据，如果前景层像素格式是非直接的，则从前景层 LUT 获取像素数据。
2) 扩展前景层像素数据到一个 32 位的值，并根据 IPA_FPCTL 寄存器的 FAVCA 位计算 alpha 通道的值。
3) 从背景层存储区(基地址配置在 IPA_BMADDR 寄存器中)读取数据，如果背景层像素格式是非直接的，则从背景层 LUT 获取像素数据。
4) 扩展背景层像素数据到一个 32 位的值，并根据 IPA_BPCTL 寄存器的 BAVCA 位计算 alpha 通道的值。
5) 混合扩展后的前景层和背景层像素数据。
6) 压缩像素数据为 IPA_DPCTL 寄存器 DPF 位指定的目标区像素格式。
7) 将转换后的像素数据写到目标存储区(基地址配置在 IPA_DMADDR 寄存器中)。

针对前景层，背景层和目标层像素数据处理，IPA 中提供了 3 个 4 个字深度的 32 位 FIFO。前景层和背景层 FIFO 存储从相对应的源存储区读得的数据，而目标 FIFO 存储处理过的像素数据，当 AHB 总线空闲的时候，这些数据将会被写入目标存储器。

如果 IPA_CTL 寄存器的 PFCM 位域被配置成 '00' 或 '01'，只有前景层 FIFO 和目标层 FIFO 被激活。如果 IPA 的操作为用特定的颜色填充目标图像，则不需要任何一个 FIFO。

15.4.2. 前景层和背景层 LUT

IPA 提供了两个 LUT 来存储像素值，以便非直接像素格式使用。如果像素格式是非直接的，使能 IPA 传输之前，像素数据必须已经被写入 LUT 中。LUT 中的像素数据可以通过以下两种方

法更新：

- 自动加载：
  使能 IPA_FPCTL/IPA_BPCTL 寄存器的 FLLEN/BLLEN 位。IPA_FPCTL 或 IPA_BPCTL 寄存器的 FCNP 或 BCNP 位定义了要自动加载的像素的数目，它等于 FCNP+1 或 BCNP+1。
- 软件编程：
  像素数据可直接通过 IPA 从设备接口写入相应的 LUT 存储器地址。前景层 LUT 的基地址偏移是 0x0400，背景层 LUT 的基地址偏移是 0x0800。

LUT 支持两种像素格式，分别为'ARGB8888'和'RGB888'，由 IPA_FPCTL 或 IPA_BPCTL 寄存器的 FLPF 或 BLPF 位决定，如*表 15-2. 前景层和背景层 CLUT 像素格式*所示。

表 15-2. 前景层和背景层 CLUT 像素格式

BLPF/FLPF	LUT 像素格式	存储地址			
		基地址+0x3	基地址+0x2	基地址+0x1	基地址+0x0
0	ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
1	RGB888	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]
		G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
		B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]

注意：如果 LUT 的像素格式是'RGB888'，当自动加载 LUT 的像素数据时，alpha 值为固定的 0xFF。

15.4.3. 前景层和背景层像素通道扩展(PCE)

若 IPA 传输模式需要进行像素格式转换，前景层或背景层像素数据需要由原来的格式扩展为'ARGB8888'格式。

IPA_FPCTL 和 IPA_BPCTL 寄存器的 FPF 和 BPF 位定义了前景层和背景层的像素格式。如*表 15-3. 前景层和背景层像素格式*所示。

一个像素包含以下 5 个通道：

- Alpha 通道 A：透明度，0x00：透明的；0xFF：不透明的。
- 红色通道 R：红色值，0x00：没有红色；0xFF：全红色。
- 绿色通道 G：绿色值，0x00：无绿色；0xFF：全绿色。
- 蓝色通道 B：蓝色值，0x00：无蓝色；0xFF：全蓝色。
- 亮度通道：在 IPA 中，亮度通道的值是索引值，从背景层或前景层的 LUT 中获得像素数据。

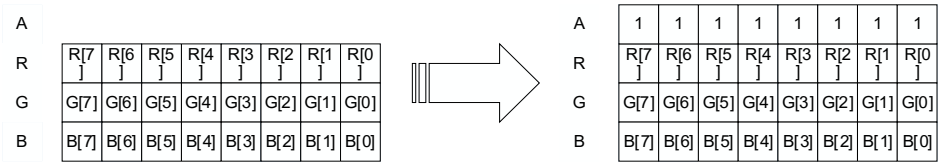
表 15-3. 前景层和背景层像素格式

BPF[2:0]/FPF[2:0]	像素格式	存储地址			
		基地址+0x3	基地址+0x2	基地址+0x1	基地址+0x0
0000	ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
0001	RGB888	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]
		G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
		B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
0010	RGB565	R_1[4:0]G_1[5:3]	G_1[2:0]B_1[4:0]	R_0[4:0]G_0[5:3]	G_0[2:0]B_0[4:0]
0011	ARGB1555	A_1[0]R_1[4:0]G_1[4:3]	G_1[2:0]B_1[4:0]	A_0[0]R_0[4:0]G_0[4:3]	G_0[2:0]B_0[4:0]
0100	ARGB4444	A_1[3:0]R_1[3:0]	G_1[3:0]B_1[3:0]	A_0[3:0]R_0[3:0]	G_0[3:0]B_0[3:0]
0101	L8	L_3[7:0]	L_2[7:0]	L_1[7:0]	L_0[7:0]
0110	AL44	A_3[3:0]L_3[3:0]	A_2[3:0]L_2[3:0]	A_1[3:0]L_1[3:0]	A_0[3:0]L_0[3:0]
0111	AL88	A_1[7:0]	L_1[7:0]	A_0[7:0]	L_0[7:0]
1000	L4	L_7[3:0]L_6[3:0]	L_5[3:0]L_4[3:0]	L_3[3:0]L_2[3:0]	L_1[3:0]L_0[3:0]
1001	A8	A_3[7:0]	A_2[7:0]	A_1[7:0]	A_0[7:0]
1010	A4	A_7[3:0]A_6[3:0]	A_5[3:0]A_4[3:0]	A_3[3:0]A_2[3:0]	A_1[3:0]A_0[3:0]

如果像素格式是'RGB888'，当扩展像素数据时，alpha 通道值被设置为 0xFF，如*图 15-2. 从'RGB888'到'ARGB8888'像素格式扩展*所示。

图 15-2. 从'RGB888'到'ARGB8888'像素格式扩展

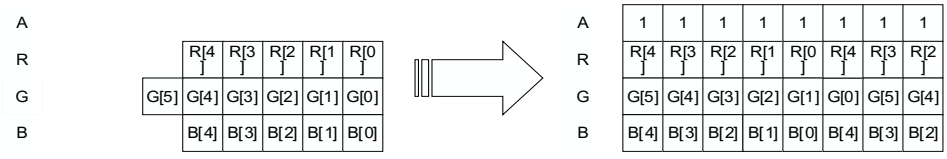
§ RGB888 à ARGB8888



如果像素格式是'RGB565'，当扩展像素数据时，alpha 通道值等于 0xFF。红绿蓝通道值扩展到 8 位，扩展后高位为通道值，通道值的高位值填充到低位。如*图 15-3. 从'RGB565'到'ARGB8888'像素格式扩展*所示。

图 15-3. 从'RGB565'到'ARGB8888'像素格式扩展

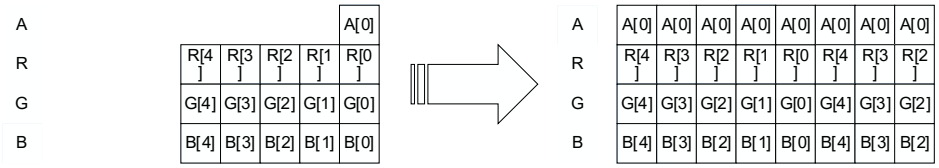
§ RGB565 à ARGB8888



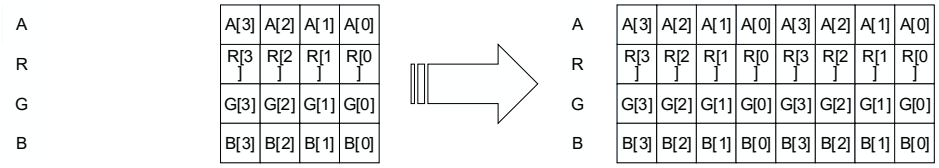
如果像素格式是'ARGB1555'或'ARGB4444'，每通道值将扩展到 8 位，扩展后高位为通道值，通道值的高位值填充到低位。如*图 15-4. 从'ARGB1555'或'ARGB4444'到'ARGB8888'像素格式扩展*所示。

图 15-4. 从'ARGB1555'或'ARGB4444'到'ARGB8888'像素格式扩展

§ ARGB1555 à ARGB8888



§ ARGB4444 à ARGB8888



如果像素格式是'L8'或'L4',8 位亮度通道值(当像素格式为'L4'，高位补 0)作为索引值从 LUT 获得像素数据。

如果像素格式是'AL44',8 位亮度通道值(高位补 0)作为索引值从 LUT 获得红、绿、蓝通道值。Alpha 通道值将扩展到 8 位，扩展后高位为通道值，填充通道值的高位值到低位。

如果像素格式是'AL88'，只有红，绿，蓝通道值通过 8 位亮度通道从 LUT 获得。

如果像素格式是'A8'，红，绿，蓝通道值分别等于 IPA_FPV 寄存器的 FPDRV，FPDGV 位以及 FPDBV 位(或 IPA_BPV 寄存器的 BPDRV 位，BPDGV 位以及 BPDBV 位)。

如果像素格式是'A4'，Alpha 通道值将扩展到 8 位，扩展后高位为通道值，填充通道的高位值到低位。红，绿，蓝通道值分别等于 IPA_FPV 寄存器的 FPDRV，FPDGV 位以及 FPDBV 位(或 IPA_BPV 寄存器的 BPDRV 位，BPDGV 位以及 BPDBV 位)。

IPA 支持通过 3 种算法调制 alpha 通道值，由 IPA_FPCTL 或 IPA_BPCTL 寄存器的 FAVCA 或 BAVCA 位决定。如*表 15-4. Alpha 通道值调制*所述。

表 15-4. Alpha 通道值调制

FAVCA/BAVCA[1:0]	alpha 计算算法
00/11	无影响，等于原来的值
01	等于 IPA_FPCTL 或 IPA_BPCTL 寄存器 FPDAV 或 BPDAV 位的值
10	等于 FPDAV 或 BPDAV 位的值乘以原来 alpha 的值再除以 255

15.4.4. 混合

若 IPA 的传输模式需要进行像素混合时，扩展之后的前景层和背景层像素数据需要成对的混合并获得一个 32 位像素值。

Alpha 通道值的混合基于下面的公式(A_F是前景层 alpha 值，A_B是背景层 alpha 值):

$$A_{mix} = \frac{A_F \times A_B}{255}$$

$$A_{blend} = A_F + A_B - A_{mix}$$

红，绿，蓝通道值的混合基于下面的公式(R_F, G_F, B_F 是前景层的红，绿，蓝值; R_B, G_B, B_B 是背景层的红，绿，蓝值):

$$R_{blend} = \frac{R_F \times A_F + R_B \times A_B - R_B \times A_{mix}}{A_{blend}}$$

$$G_{blend} = \frac{G_F \times A_F + G_B \times A_B - G_B \times A_{mix}}{A_{blend}}$$

$$B_{blend} = \frac{B_F \times A_F + B_B \times A_B - B_B \times A_{mix}}{A_{blend}}$$

注意： 1)上述公式中的除法结果是向下取整。2)如果 A_{blend} 等于 0，R_{blend}，G_{blend}和 B_{blend}等于'0xFF'。

15.4.5. 目标像素通道压缩(PCC)

如果在 IPA 传输模式需要进行像素转换，在像素数据写入目标存储区之前，需要由'ARGB8888'压缩为目标像素格式。

IPA_DPCTL 寄存器的 DPF 位定义了目标图像的像素格式。如*表 15-5. 目标像素格式*所示。

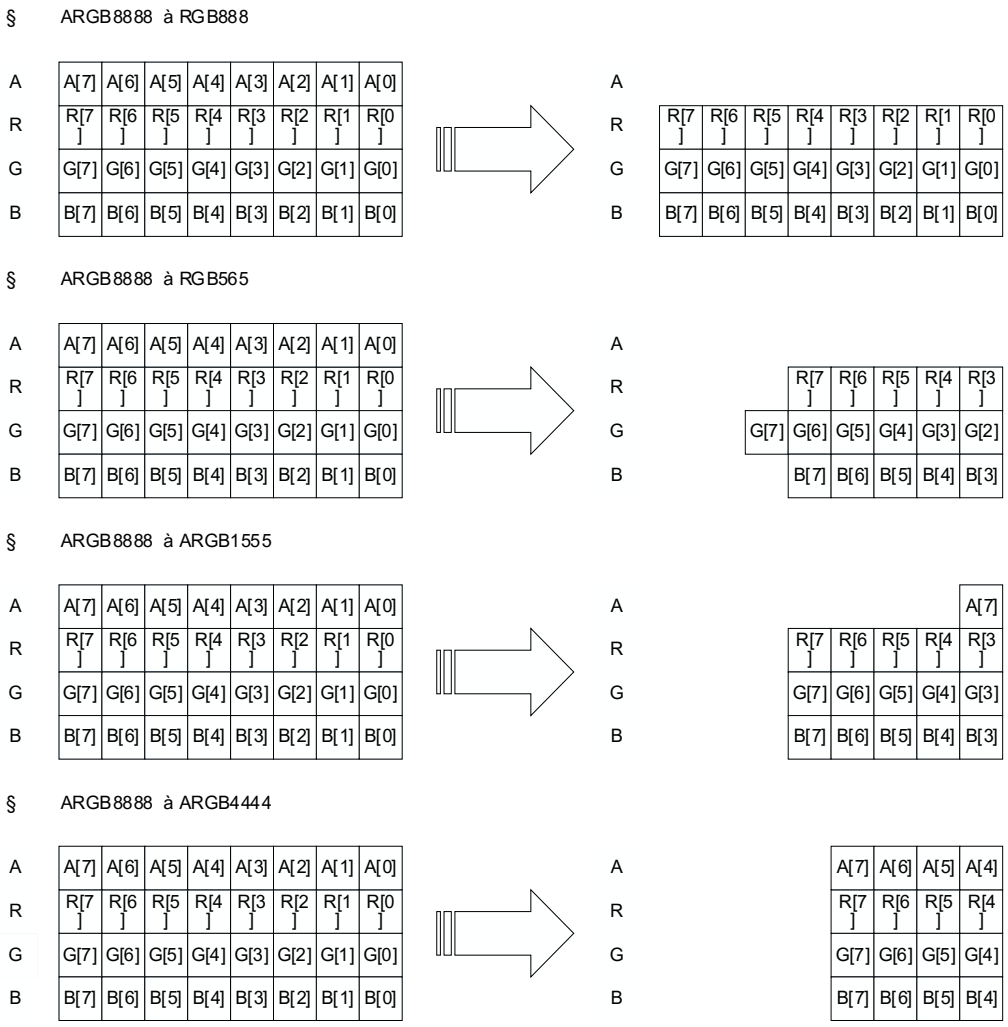
表 15-5. 目标像素格式

DPF[2:0]	像素格式	存储地址			
		基地址+0x3	基地址+0x2	基地址+0x1	基地址+0x0
000	ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
001	RGB888	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]
		G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
		B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
010	RGB565	R_1[4:0]G_1[5:3]	G_1[2:0]B_1[4:0]	R_0[4:0]G_0[5:3]	G_0[2:0]B_0[4:0]
011	ARGB1555	A_1[0]R_1[4:0]G_1[4:3]	G_1[2:0]B_1[4:0]	A_0[0]R_0[4:0]G_0[4:3]	G_0[2:0]B_0[4:0]
100	ARGB4444	A_1[3:0]R_1[3:0]	G_1[3:0]B_1[3:0]	A_0[3:0]R_0[3:0]	G_0[3:0]B_0[3:0]

注意： 如果 IPA_CTL 寄存器的 PFCM 位等于'00'(拷贝前景层图像到目标图像)，DPF 位无意义，IPA_FPCTL 寄存器的 FPF 位决定了源图像和目标图像每像素的位数。

如*图 15-5. 像素压缩*所示，目标像素通道压缩通过丢弃低位实现。

图 15-5. 像素压缩



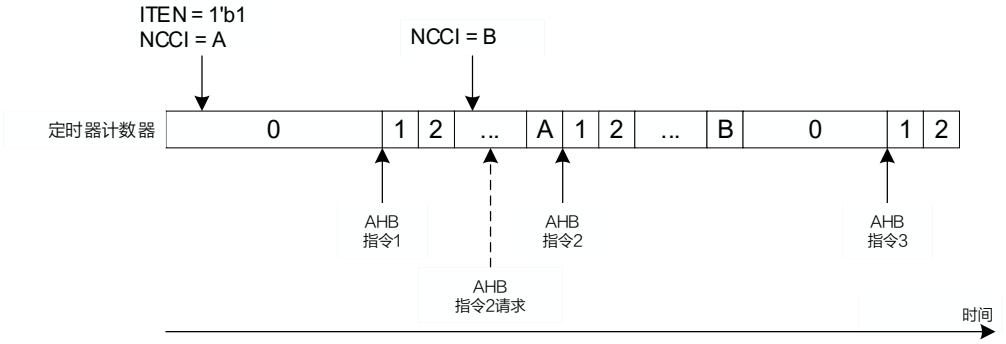
15.4.6. 内部定时器

为了减少 IPA 使用的 AHB 总线的带宽，在 IPA 传输与 LUT 自动加载时，IPA 会自动在两个连续的 AHB 请求之间插入若干时钟周期，这个功能通过一个内部定时器实现。

置位 IPA_ITCTL 寄存器的 ITEN 位，内部寄存器使能；IPA_ITCTL 寄存器的 NCCI 位决定了插入的时钟周期数的最小值。若内部定时器没有使能，NCCI 没有意义。

当 IPA 传输或 LUT 自动加载正在进行时，若改变 NCCI 的值，对内部计数器的当前计数没有影响，从下次计数有作用；如*图 15-6. 内部定时器操作*所示。

图 15-6. 内部定时器操作



15.4.7. 行标记

软件可通过标记行号来了解当前 IPA 传输的进度，被标记的行号可以通过 IPA_LM 寄存器的 LM 位配置。当且仅当标记行的最后一个像素数据被写入目标存储区时，IPA_INTF 寄存器中的 TLMIF 位会被置起。

注意：如果 LM 位等于 0，无标志位置位.

15.4.8. 传输流

软件置位 IPA_FPCTL/IPA_BPCTL 寄存器的 FLLEN/BLLEN 位，前景层或背景层 LUT 开始自动加载。一旦 LUT 自动加载开始，FLLEN/BLLEN 位变为传输标志位，用于指示 LUT 自动加载是否完成，且软件向其写 0 没有意义；当加载完成时，FLLEN/BLLEN 位会被自动清 0。

软件置位 IPA_CTL 寄存器的 TEN 位，IPA 开始传输。一旦传输开始，TEN 位变为传输标志位，用于指示 IPA 传输是否完成，且软件向其写 0 没有意义；当传输完成时，TEN 位会被自动清 0。

在 IPA 传输或 LUT 自动加载正在工作时，软件可通过置位 IPA_CTL 寄存器的 THU 位挂起当前传输；当软件清除 THU 位后，传输继续。若无前景层/背景层 LUT 自动加载和 IPA 传输使能时，设置 THU 位无影响，读该位的值为 0。

通过置位 IPA_CTL 寄存器的 TST 位可以停止前景层/背景层 LUT 自动加载和 IPA 传输。复位 IPA_FPCTL/IPA_BPCTL 寄存器的 FLLEN/BLLEN 位或 IPA_CTL 寄存器的 TEN 位可以让 LUT 加载或 IPA 传输立即停止，即使 IPA 传输或 LUT 自动加载正在工作或挂起。当当前的传输停止的后，TST 位自动复位。若无前景层/背景层 LUT 自动加载和 IPA 传输使能时，设置 TST 位无影响，读该位的值为 0。

前景层 LUT 自动加载，背景层 LUT 自动加载和 IPA 传输同一时间只能有一个在工作。例如，当 IPA 传输正在进行的时候，若软件置位 FLLEN 或 BLLEN 位，前景层或背景层 LUT 自动加载不会启动，且 FLLEN 或 BLLEN 位自动复位。

15.4.9. 配置

开始任何传输之前，软件需要读 TEN，FLLEN 和 BLLEN 位检查是否有 IPA 传输或 LUT 加载正在工作。如果有任何一个正在进行，可以设置 TST 位使其停止或等待其完成。当读取 TEN，FLLEN 和 BLLEN 的值都为 0 时，可以开始一个新的传输。

前景层 LUT 加载

当开始一个新的前景层 LUT 加载的时候，建议按如下步骤进行：

1. 配置 IPA_FLMADDR 寄存器设置前景层 LUT 存储区基地址；
2. 配置 IPA_FPCTL 寄存器的 FLPF 位设置前景层 LUT 像素格式；
3. 配置 IPA_FPCTL 寄存器的 FCNP 位设置前景层 LUT 要加载的像素数目；
4. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
5. 配置 IPA_FPCTL 寄存器的 FLLEN 位为'1'以使能前景层 LUT 的自动加载。

背景层 LUT 加载

当开始一个新的背景层 LUT 加载的时候，建议按如下步骤进行：

1. 配置 IPA_BLMADDR 寄存器设置背景层 LUT 存储区基地址；
2. 配置 IPA_BPCTL 寄存器的 BLPF 位设置背景层 LUT 像素格式；
3. 配置 IPA_BPCTL 寄存器的 BCNP 位设置背景层 LUT 要加载的像素数目；
4. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
5. 配置 IPA_FPCTL 寄存器的 FLLEN 位为'1'以使能背景层 LUT 的自动加载。

IPA 传输

当开始一个新的 IPA 传输的时候，对应不同像素转换模式的配置步骤如下所示：

复制前景层图像到目标图像

1. 配置 IPA_FMADDR 和 IPA_DMADDR 寄存器设置前景层和目标层存储区基地址；
2. 配置 IPA_FPCTL 寄存器的 FPF 位设置前景层像素格式；
3. 配置 IPA_FLOFF 和 IPA_DLOFF 寄存器的 FLOFF 和 DLOFF 位设置前景层和目标层行偏移；
4. 配置 IPA_LM 寄存器的 LM 位设置行标记；
5. 配置 IPA_IMS 寄存器的 WIDTH 和 HEIGHT 位设置图像大小；
6. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
7. 配置 IPA_CTL 寄存器的 TEN 位为'1'以使能 IPA 传输。

转换前景层图像到目标图像

如果前景层像素格式是非直接的，像素数据应在开始 IPA 传输之前加载到前景层 LUT。LUT 的自动加载过程可参考*前景层 LUT 加载*。

1. 配置 IPA_FMADDR 和 IPA_DMADDR 寄存器设置前景层和目标存储区基地址；
2. 配置 IPA_FPCTL 寄存器的 FAVCA 和 FPF 位设置前景层 alpha 值的计算方法和前景层像素格式；
3. 配置 IPA_FPCTL 和 IPA_FPV 寄存器设置预定义像素值，包括 alpha，红，绿，蓝颜色值；
4. 配置 IPA_DPCTL 寄存器的 DPF 位设置目标像素格式；
5. 配置 IPA_FLOFF 和 IPA_DLOFF 寄存器的 FLOFF 和 DLOFF 位设置前景层和目标层行偏移；
6. 配置 IPA_LM 寄存器的 LM 位设置行标记；
7. 配置 IPA_IMS 寄存器的 WIDTH 和 HEIGHT 位设置图像大小；
8. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
9. 配置 IPA_CTL 寄存器的 TEN 位为'1'以使能 IPA 传输。

转换并混合前景层和背景层图像到目标图像

如果前景层和背景层像素格式是非直接的，开始 IPA 传输之前，像素数据必须被加载到对应的 LUT。前景层和背景层 LUT 的自动加载过程可参考*前景层 LUT 加载和背景层 LUT 加载*。

1. 配置 IPA_FMADDR, IPA_BMADDR 和 IPA_DMADDR 寄存器设置前景层，背景层和目标存储区基地址；
2. 配置 IPA_FPCTL 寄存器的 FAVCA 和 FPF 位设置前景层 alpha 值的计算方法和前景层像素格式；
3. 配置 IPA_FPCTL 和 IPA_FPV 寄存器设置预定义像素值，包括 alpha，红，绿，蓝颜色值；
4. 配置 IPA_BPCTL 寄存器的 BAVCA 和 BPF 位设置背景层 alpha 值的计算方法和背景层像素格式；
5. 配置 IPA_BPCTL 和 IPA_BPV 寄存器设置预定义像素值，包括 alpha，红，绿，蓝颜色值；
6. 配置 IPA_DPCTL 寄存器的 DPF 位设置目标像素格式；
7. 配置 IPA_FLOFF, IPA_BLOFF 和 IPA_DLOFF 寄存器的 FLOFF、BLOFF 和 DLOFF，设置背景层，前景层和目标的行偏移；
8. 配置 IPA_LM 寄存器的 LM 位设置行标记；
9. 配置 IPA_IMS 寄存器的 WIDTH 和 HEIGHT 位设置图像大小；
10. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
11. 配置 IPA_CTL 寄存器的 TEN 位为'1'以使能 IPA 传输。

用特定的颜色填充目标图像

1. 配置 IPA_DMADDR 寄存器设置目标存储区的基地址；
2. 配置 IPA_DPCTL 寄存器的 DPF 设置目标像素格式；
3. 配置 IPA_DPV 寄存器设置目标区预定义像素值，包括 alpha，红，绿，蓝颜色值；

4. 配置 IPA_DLOFF 寄存器的 DLOFF 设置目标的行偏移；
5. 配置 IPA_LM 寄存器的 LM 位设置行标记；
6. 配置 IPA_IMS 寄存器的 WIDTH 和 HEIGHT 位设置图像大小；
7. 配置 IPA_CTL 寄存器的错误配置中断，LUT 加载完成中断，LUT 访问冲突中断和传输访问错误中断使能位；
8. 配置 IPA_CTL 寄存器的 TEN 位为'1'以使能 IPA 传输。

配置规则

IPA 配置必须遵守一些规则，否则在它使能之后，传输或加载将会自动复位，IPA_INTF 寄存器的 WCFIF 位将会立即置位。规则描述如下：

当前景层 LUT 自动加载使能：

- 当 IPA_FPCTL 寄存器的 FLPF 位等于 0 时，寄存器 IPA_FLMADDR 的 FLMADDR 位必须是 32 位对齐的。

当背景层 LUT 自动加载使能：

- 当 IPA_BPCTL 寄存器的 BLPF 位等于 0 时，寄存器 IPA_BLMADDR 的 BLMADDR 位必须是 32 位对齐的。

当 IPA 传输使能：

1) 当 IPA_FPCTL 寄存器的 FPF 位是'ARGB8888'时，IPA_FMADDR 寄存器的 FMADDR 位必须是 32 位对齐。当 FPF 是 'RGB565', 'ARGB1555', 'ARGB4444' 或 'AL88'，必须是 16 位对齐。
2) 当 IPA_FPCTL 寄存器的 FPF 位是 A4 或 L4 时，IPA_FLOFF 寄存器的 FLOFF 位必须是偶数。
3) 当 IPA_BPCTL 寄存器的 BPF 是 'ARGB8888'时，IPA_BMADDR 寄存器的 BMADDR 位必须是 32 位对齐。当 BPF 是 'RGB565', 'ARGB1555', 'ARGB4444' 或 'AL88'，必须是 16 位对齐。
4) 当 IPA_BPCTL 寄存器的 BPF 位是 A4 或 L4 时，IPA_BLOFF 寄存器的 BLOFF 位必须是偶数。
5) IPA_FPCTL 寄存器的 FPF 位必须小于或等于'0b1010'。
6) IPA_BPCTL 寄存器的 BPF 位必须小于或等于'0b1010'。
7) IPA_DPCTL 寄存器的 DPF 位必须小于或等于'0b100'。
8) 当 IPA_DPCTL 寄存器的 DPF 是 'ARGB8888'时，IPA_ DMADDR 寄存器的 DMADDR 位必须是 32 位对齐。当 DPF 是'RGB565', 'ARGB1555', 'ARGB4444' 或 'AL88'，必须是 16 位对齐。
9) 当 IPA_FPCTL 寄存器的 FPF 位是 A4 或 L4 时，IPA_DLOFF 寄存器的 DLOFF 位必须是偶数。
10) 当 IPA_FPCTL 寄存器的 FPF 位是 A4 或 L4 时，IPA_IMS 寄存器的 WIDTH 位必须是偶数。
11) 当 IPA_BPCTL 寄存器的 BPF 位是 A4 或 L4 时，IPA_IMS 寄存器的 WIDTH 位必须是偶数。
12) IPA_IMS 寄存器的 WIDTH 位必须大于 0。
13) IPA_IMS 寄存器的 HEIGHT 位必须大于 0。

当 PFCM 位等于'00'，仅考虑 1)、2)、5)、9)、10)、12)、13)。
当 PFCM 位等于'01'，仅考虑 1)、2)、5)、7)、8)、10)、12)、13)。
当 PFCM 位等于'10'，除了 10) 所有的规则都考虑。
当 PFCM 位等于'11'，仅考虑 12)、13)。

15.5. 中断

有 6 个中断事件连接到 IPA 中断，包括错误配置中断，LUT 加载完成中断，LUT 访问冲突中断，传输行标记中断，传输完成中断和传输访问错误中断。任何一个中断事件发生都将产生一个 IPA 中断。

每一个中断事件在 IPA_INTF 寄存器有一个专用的状态位，在 IPA_INTC 寄存器有一个专门的清除位，在 IPA_CTL 寄存器有一个专用的使能位。相应位之间的关系如*表 15-6. IPA 中断事件*所述。

表 15-6. IPA 中断事件

中断事件	状态位	使能位	清除位
	IPA_INTF	IPA_CTL	IPA_INTC
配置错误中断	WCFIF	WCFIE	WCFIFC
LUT加载完成中断	LLFIF	LLFIE	LLFIFC
LUT访问冲突中断	LACIF	LACIE	LACIFC
传输行标记中断	TLMIF	TLMIE	TLMIFC
全传输完成中断	FTFIF	FTFIE	FTFIFC
传输访问错误中断	TAEIF	TAEIE	TAEIFC

配置错误中断

当 LUT 加载或 IPA 传输被使能之后，若*配置规则*小节列出的任何一个配置规则被破坏，配置错误中断状态位将立即置位。LUT 加载或 IPA 传输将自动停止且不产生任何访问操作。

当配置错误中断状态位被置位并且相应使能位使能时，将产生一个 IPA 中断。

LUT 加载完成中断

当最后一个像素数据被写入到前景层或背景层 LUT 后，LUT 加载完成中断状态状态位将立即置位，在加载期间的停止操作不能置位 LUT 加载完成中断状态位。

当 LUT 加载完成中断状态位被置位并且相应使能位使能，将产生一个 IPA 中断。

LUT 访问冲突中断

当通过软件访问前景层和背景层 LUT 时，必须遵守以下规则：

- 当前景层 LUT 自动加载时，禁止软件访问前景层 LUT；
- 当背景层 LUT 自动加载时，禁止软件访问背景层 LUT；
- 当配置 IPA 传输模式 PFCM 位等于 '01' 或 '10'时，如果前景层像素格式是非直接的，在

IPA 传输正在进行时，禁止软件访问前景层 LUT；

- 当配置 IPA 传输模式 PFCM 位等于'10'时，如果背景层像素格式是非直接的，在 IPA 传输正在进行时，禁止软件访问背景层 LUT。

当违背上述规则之一时，LUT 访问冲突中断状态位置位，且软件访问无作用(写访问不被执行，读访问返回一个无效值)。

当 LUT 访问冲突中断状态位寄存器被置位并且相应使能位使能时，将产生一个 IPA 中断。

传输行标记中断

当标记行的最后一个像素数据被写入目标存储区后，传输行标记中断状态位立即置位。如果 IPA_LM 的 LM 位等于 0，在 IPA 传输期间，传输行标记中断状态位不置位。

当传输行标记中断状态位被置位并且相应使能位使能时，将产生一个 IPA 中断。

传输完成中断

当最后一个像素数据被写入目标存储区后，传输完成中断状态位立即置位。在 IPA 传输期间的停止操作不置位传输完成中断状态位。

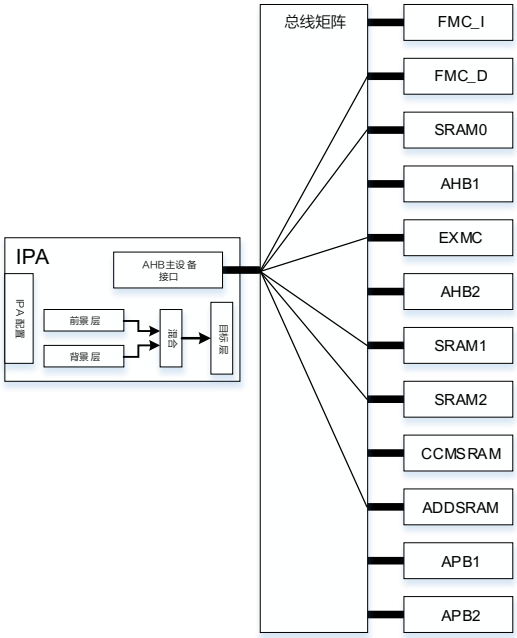
当传输完成中断状态位被置位并且相应使能位使能时，将产生一个 IPA 中断。

传输访问错误中断

当 IPA 访问的地址超出允许的地址，IPA 将收到一个错误反馈；传输(LUT 加载或 IPA 传输)将被立即禁止并且没有 LUT 加载完成中断状态位或传输完成中断状态位置位。IPA 允许和禁止的访问区域在*图 15-7. IPA 的系统连接*中列出。

当传输访问错误中断状态位被置位并且相应使能位使能时，将产生一个 IPA 中断。

图 15-7. IPA 的系统连接



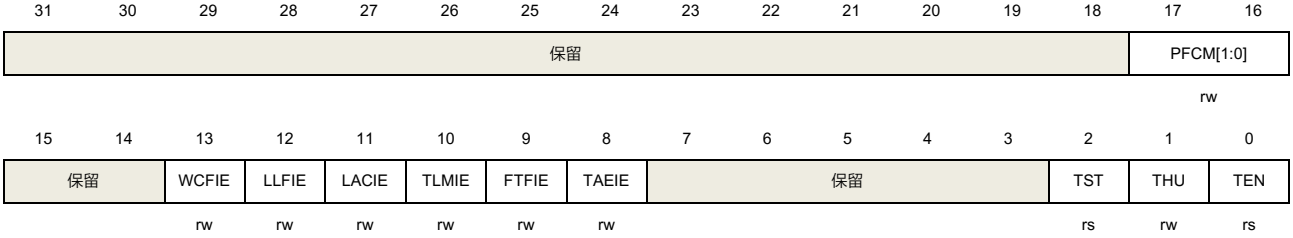
15.6. IPA 寄存器

IPA基地址：0x4002 B000

15.6.1. 控制寄存器(IPA_CTL)

偏移地址：0x00
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:18	保留	必须保持复位值
17:16	PFCM[1:0]	像素格式转换模式 软件置位和清除. 00：前景层存储区到目标存储区无像素格式转换 01：前景层存储区到目标存储区有像素格式转换 10：混合前景层和背景层存储区到目标存储区 11：用特定的颜色填充目标存储区 当TEN为'1'时，该位不可写。
15:14	保留	必须保持复位值
13	WCFIE	配置错误中断使能位 软件置位和清除 0：配置错误中断禁止 1：配置错误中断使能
12	LLFIE	LUT加载完成中断使能位 软件置位和清除 0：LUT加载完成中断禁止 1：LUT加载完成中断使能
11	LACIE	LUT访问冲突中断使能位 软件置位和清除 0：LUT访问冲突中断禁止 1：LUT访问冲突中断使能
10	TLMIE	传输行标记中断使能位 软件置位和清除

		0：传输行标记中断禁止 1：传输行标记中断使能
9	FTFIE	传输完成中断使能位 软件置位和清除 0：传输完成中断禁止 1：传输完成中断使能
8	TAEIE	传输访问错误中断使能位 软件置位和清除 0：传输访问错误中断禁止 1：传输访问错误中断使能
7:3	保留	必须保持复位值
2	TST	传输停止 软件置位，软件和硬件清除 0：无影响 1：停止当前的传输 当该位使能后，当前传输停止。当当前传输停止后，该位立即被硬件自动清0。
1	THU	传输挂起 软件置位，软件和硬件清除. 0：无影响 1：挂起当前传输 当该位使能后，当前传输暂停。当该位清0后，当前传输继续。当当前传输被停止时，该位立即被硬件自动清0。
0	TEN	传输使能 软件置位，硬件清除 0：传输禁止 1：传输使能 当该位使能后，IPA传输开始。当下述情况之一发生时，该位自动清0。 – 使能TST位停止当前传输 – 传输完全完成 – 检测到配置错误或传输访问错误 – 前景层LUT或背景层LUT正在自动加载(IPA_FPCTL寄存器的FLLEN或IPA_BPCTL寄存器的BLLEN位为'1')

15.6.2. 中断状态寄存器(IPA_INTF)

偏移地址：0x04
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										WCFIF	LLFIF	LACIF	TLMIF	FTFIF	TAEIF
										r	r	r	r	r	r

位/位域	名称	描述
31:6	保留	必须保持复位值
5	WCFIF	配置错误中断标志 硬件置位，软件置位IPA_INTC 寄存器的'WCFIFC'位清除该位。 0：当IPA传输完成或LUT加载使能时，没检测到配置错误 1：当IPA传输完成或LUT加载使能时，检测到配置错误
4	LLFIF	LUT加载完成中断标志LUT 硬件置位，软件置位IPA_INTC 寄存器的'LLFIFC'位清除该位。 0：没检测到LUT加载完成 1：检测到一个LUT加载完成
3	LACIF	LUT访问冲突中断标志位 硬件置位，软件置位IPA_INTC 寄存器的'LACIFC'位清除该位。 0：没检测到LUT访问冲突 1：检测到一个LUT访问冲突
2	TLMIF	传输行标记中断标志 硬件置位，软件置位IPA_INTC 寄存器的'CTCLIF'位清除该位。 0：传输的像素数目，没有准确的达到标记行 1：传输的像素数目，准确的达到标记行
1	FTFIF	传输完成中断标志 硬件置位，软件置位IPA_INTC 寄存器的'CTFIF'位清除该位。 0：没检测到传输完成 1：检测到传输完成
0	TAEIF	传输访问错误中断标志 硬件置位，软件置位IPA_INTC 寄存器的'CTEIF'位清除该位。 0：没检测到传输访问错误 1：检测到传输访问错误

15.6.3. 中断标志清除寄存器(IPA_INTC)

偏移地址：0x08
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										WCFIFC	LLFIFC	LACIFC	TLMIFC	FTFIFC	TAEIFC
										rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31:6	保留	必须保持复位值
5	WCFIFC	配置错误中断标志清除位 软件置位，硬件清除 0：无影响 1：清除配置错误中断标志
4	LLFIFC	LUT加载完成中断标志清除位 软件置位，硬件清除 0：无影响 1：清除LUT加载完成中断标志
3	LACIFC	LUT访问冲突中断标志清除位 软件置位，硬件清除 0：无影响 1：清除LUT访问冲突中断标志
2	TLMIFC	传输行标记中断标志清除位 软件置位，硬件清除 0：无影响 1：清除传输行标记中断标志
1	FTFIFC	传输完成中断标志清除位 软件置位，硬件清除 0：无影响 1：清除传输完成中断标志
0	TAEIFC	传输访问错误中断标志清除位 软件置位，硬件清除 0：无影响 1：清除传输访问错误中断标志

15.6.4. 前景层存储区基地址寄存器(IPA_FMADDR)

偏移地址：0x0C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FMADDR[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

FMADDR[15:0]

rw

位/位域	名称	描述
31:0	FMADDR[31:0]	前景层存储区基地址 这些位必须是8位，16位，32位对齐，具体对齐方式与前景层像素格式相对应。如果前景层像素格式是ARGB8888，这些位必须是32位对齐，如果前景层像素格式是RGB565, ARGB1555, ARGB4444或AL88,这些位必须是16位对齐，如果违背以上对齐规则，当传输使能时，将产生配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.5. 前景层行偏移寄存器(IPA_FLOFF)

偏移地址：0x10
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		FLOFF[13:0]													

rw

位/位域	名称	描述
31:14	保留	必须保持复位值
13:0	FLOFF[13:0]	前景层行偏移 该位表明当前行最后一个像素和下一行第一个像素之间的像素数目。如果前景层像素格式是A4或L4，FLOFF 必须被配置成一个偶数，否则当传输使能的时候将检测到一个配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.6. 背景层存储区基地址寄存器(IPA_BMADDR)

偏移地址：0x14
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BMADDR[31:16]															

rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BMADDR[15:0]															

rw

位/位域	名称	描述
31:0	BMADDR[31:0]	背景层存储区基地址 这些位必须是8位，16位，32位对齐，具体对齐方式与背景层像素格式相对应。如果背景层像素格式是ARGB8888，这些位必须是32位对齐，如果背景层像素格式是RGB565, ARGB1555, ARGB4444或AL88,这些位必须是16位对齐，如果违背以上对齐规则，当传输使能时，将产生配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.7. 背景层行偏移寄存器(IPA_BLOFF)

偏移地址：0x18
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		BLOFF[13:0]													
		rw													

位/位域	名称	描述
31:14	保留	必须保持复位值
13:0	BLOFF[13:0]	背景层行偏移 该位表明当前行最后一个像素和下一行第一个像素之间的像素数目。如果背景层像素格式是A4或L4，BLOFF 必须被配置成一个偶数，否则当传输使能的时候将检测到一个配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.8. 前景层像素控制寄存器(IPA_FPCTL)

偏移地址：0x1C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FPDAV[7:0]								保留						FAVCA[1:0]	
rw														rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCNP[7:0]								保留		FLLEN	FLPF	FPF[3:0]			
rw										rc_w1	rw	rw			

位/位域	名称	描述
31:24	FPDAV[7:0]	前景层预定义alpha通道值 软件置位和清除 该位域预定义前景层的alpha通道值。该位域结合从前景层存储区或前景层LUT读取的alpha数据根据前景层alpha计算算法计算前景层的alpha通道值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
23:18	保留	必须保持复位值
17:16	FAVCA[1:0]	前景层alpha值计算算法 软件置位和清除 00：无影响 01：FPDAV[7:0] 被选作前景层alpha通道值 10：FPDAV[7:0] 乘以从前景层存储区或前景层LUT读取的alpha数据除以255作为前景层alpha通道值。 11：保留 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
15:8	FCNP[7:0]	前景层 LUT 像素数目 软件置位和清除 前景层LUT的像素数目等于FCNP + 1. 当FLLEN为'1'时，该位不可写。
7:6	保留	必须保持复位值
5	FLLEN	前景层 LUT加载使能 软件置位，硬件清除 0：禁止前景层 LUT 加载 1：使能前景层 LUT 加载 当该位使能，前景层LUT自动加载开始，当下述情况之一发生时，该位自动清0 – 使能TST位停止当前传输 – 前景层LUT自动加载完成 – 检测到配置错误或传输错误 – IPA传输或背景层LUT自动加载正在进行
4	FLPF	前景层LUT像素格式 软件置位和清除 0：ARGB8888 1：RGB888 当FLLEN为'1'时，该位不可写。
3:0	FPF[3:0]	前景层像素格式 软件置位和清除 0000：ARGB8888 0001：RGB888 0010：RGB565 0011：ARGB1555

0100：ARGB4444
0101：L8
0110：AL44
0111：AL88
1000：L4
1001：A8
1010：A4
1011 ~ 1111：保留
当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.9. 前景层像素值寄存器(IPA_FPV)

偏移地址：0x20
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								FPDRV[7:0]							
								rw							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FPDGV[7:0]								FPDBV[7:0]							
rw								rw							

位/位域	名称	描述
31:24	保留	必须保持复位值
23:16	FPDRV[7:0]	前景层预定义红色值 当前景层像素格式是A4或A8时，该位域被用作前景层红色值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
15:8	FPDGV[7:0]	前景层预定义绿色值 当前景层像素格式是A4或A8时，该位域被用作前景层绿色值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
7:0	FPDBV[7:0]	前景层预定义蓝色值 当前景层像素格式是A4或A8时，该位域被用作前景层蓝色值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.10. 背景层像素控制寄存器(IPA_BPCTL)

偏移地址：0x24
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

BPDAV[7:0]	保留	BAVCA[1:0]
rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCNP[7:0]								保留		BLLEN	BLPF	BPF[3:0]			
rw										rc_w1	rw	rw			

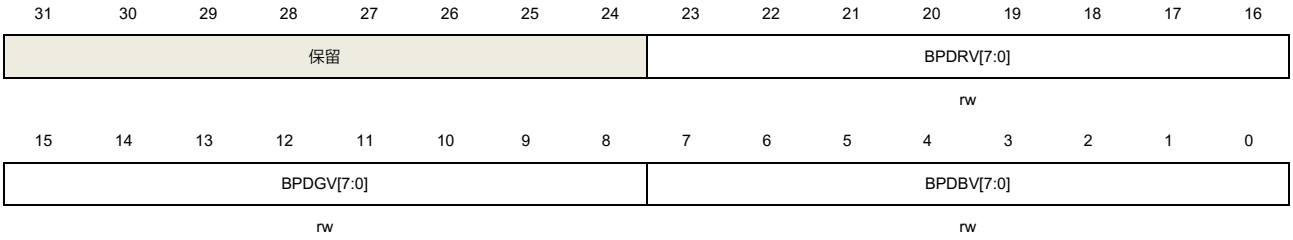
位/位域	名称	描述
31:24	BPDAV[7:0]	背景层预定义alpha通道值 软件置位和清除 该位域预定义背景层的alpha通道值。该位域结合从背景层存储区和背景层LUT读取的alpha数据根据背景层alpha计算算法计算背景层alpha通道值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
23:18	保留	必须保持复位值
17:16	BAVCA[1:0]	背景层alpha值计算算法 软件置位和清除 00：无影响 01：BPDAV [7:0] 被选作背景层alpha值 10：BPDAV [7:0] 乘以从背景层存储区或背景层LUT读取的alpha数据除以255作为背景层alpha值。 11：保留 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
15:8	BCNP[7:0]	背景层LUT像素数目 软件置位和清除 背景层LUT的像素数目等于BCNP + 1. 当BLLEN为'1'时，该位不可写。
7:6	保留	必须保持复位值
5	BLLEN	背景层LUT加载使能 软件置位，硬件清除. 0：禁止背景层LUT加载 1：使能背景层LUT加载 当该位使能，背景层LUT加载开始，当下述情况之一发生时，该位自动清0。 – 使能TST停止当前传输 – 背景层 LUT加载完成 – 检测到配置错误或传输错误 IPA传输或背景层LUT自动加载正在进行
4	BLPF	背景层LUT像素格式 软件置位和清除 0：ARGB8888 1：RGB888 当BLLEN为'1'时，该位不可写。

3:0	BPF[3:0]	背景层像素格式 软件置位和清除 0000：ARGB8888 0001：RGB888 0010：RGB565 0011：ARGB1555 0100：ARGB4444 0101：L8 0110：AL44 0111：AL88 1000：L4 1001：A8 1010：A4 1011 ~ 1111：保留 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.11. 背景层像素值寄存器(IPA_BPV)

偏移地址：0x28
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:24	保留	必须保持复位值
23:16	BPDRV[7:0]	背景层预定义红色值 当背景层像素格式是A4或A8时，该位域被用作背景层红色值。 当IPA_CTL寄存器的TEN为'1'时，该位不可写。
15:8	BPDGV[7:0]	背景层预定义绿色值 当背景层像素格式是A4或A8时，该位域被用作背景层绿色值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
7:0	BPDBV[7:0]	背景层预定义蓝色值 当背景层像素格式是A4或A8时，该位域被用作背景层蓝色值。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.12. 前景层 LUT 存储区基地址寄存器(IPA_FLMADDR)

偏移地址：0x2C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLMADDR[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLMADDR[15:0]															
rw															

位/位域	名称	描述
31:0	FLMADDR[31:0]	前景层 LUT 存储区基地址 软件置位和清除 这些位必须是8位，16位，32位对齐，具体对齐方式与前景层LUT像素格式相对应。如果前景层LUT像素格式是ARGB8888，这些位必须是32位对齐。如果违背以上对齐规则，当前景层LUT加载使能时，将产生配置错误。 当IPA_FPCTL 寄存器的FLLEN 位为'1'的时候，该位域不可写。

15.6.13. 背景层 LUT 存储区基地址寄存器(IPA_BLMADDR)

偏移地址：0x30
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLMADDR[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLMADDR[15:0]															
rw															

位/位域	名称	描述
31:0	BLMADDR[31:0]	背景层 LUT 存储区基地址 软件置位和清除 这些位必须是8位，16位，32位对齐，具体对齐方式与背景层LUT像素格式相对应。如果背景层LUT像素格式是ARGB8888，这些位必须是32位对齐。如果违背以上对齐规则，当背景层LUT加载使能时，将产生配置错误。 当IPA_BPCTL寄存器的BLLEN 位为'1'的时候，该位域不可写。

15.6.14. 目标像素控制寄存器(IPA_DPCTL)

偏移地址：0x34
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													DPF[2:0]		
													rw		

位/位域	名称	描述
31:3	保留	必须保持复位值
2:0	DPF[2:0]	目标像素格式 软件置位和清除 000：ARGB8888 001：RGB888 010：RGB565 011：ARGB1555 100：ARGB4444 101~111：保留 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.15. 目标像素值寄存器(IPA_DPV)

偏移地址：0x38
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DPDAV[7:0]								DPDRV[7:0]							
MEANINGLESS								DPDRV[7:0]							
MEANINGLESS															
MEANINGLESS															
MEANINGLESS															
								rw							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPDGV[7:0]								DPDBV[7:0]							
DPDGV[7:0]								DPDBV[7:0]							
DPDRV[4:0]					DPDGV[5:0]						DPDBV[4:0]				
DPDAV	DPDRV[4:0]					DPDGV[4:0]					DPDBV[4:0]				

DPDAV[3:0]	DPDRV[3:0]	DPDGV[3:0]	DPDBV[3:0]
rw	rw	rw	rw

当目标像素格式是 ARGB8888 时，第一行有效。

位/位域	名称	描述
31:24	DPDAV[7:0]	目标层预定义alpha值 软件置位和清除 当IPA配置为用特定的颜色填充目标存储区的时候，这些位用作目标层alpha值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
23:16	DPDRV[7:0]	目标层预定义红色值 软件置位和清除 当IPA配置为用特定的颜色填充目标存储区的时候，这些位用作目标层红色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
15:8	DPDGV[7:0]	目标层预定义绿色值 软件置位和清除 当IPA配置为用特定的颜色填充目标存储区的时候，这些位用作目标层绿色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
7:0	DPDBV[7:0]	目标层预定义蓝色值 软件置位和清除 当IPA配置为用特定的颜色填充目标存储区的时候，这些位用作目标层蓝色值。 当IPA_CTL寄存器的TEN 的值为'1'时，该位不可写。

当目标像素格式是 RGB888 时，第 2 行有效。

位/位域	名称	描述
31:24	Meaningless	该位域可以软件置位和清除，但当目标像素格式是RGB888时，这些位没有意义。
23:16	DPDRV[7:0]	目标层预定义红色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层红色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
15:8	DPDGV[7:0]	目标层预定义绿色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层绿色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
7:0	DPDBV[7:0]	目标层预定义蓝色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层蓝色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。

当目标像素格式是 RGB565 时，第 3 行有效。

位/位域	名称	描述

31:16	Meaningless	该位域可以软件置位和清除，但当目标像素格式是RGB565时，这些位没有意义。
15:11	DPDRV[4:0]	目标层预定义红色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层红色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
10:5	DPDGV[5:0]	目标层预定义绿色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层绿色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
4:0	DPDBV[4:0]	目标层预定义蓝色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层蓝色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。

当目标像素格式是 ARGB1555 时，第 4 行有效。

位/位域	名称	描述
31:16	Meaningless	该位域可以软件置位和清除，但当目标像素格式是ARGB1555时，这些位没有意义。
15	DPDAV	目标层预定义alpha值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层alpha值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
14:10	DPDRV[4:0]	目标层预定义红色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层红色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
9:5	DPDGV[4:0]	目标层预定义绿色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层绿色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
4:0	DPDBV[4:0]	目标层预定义蓝色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层蓝色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。

当目标像素格式是 ARGB4444 时，第 5 行有效。

位/位域	名称	描述
31:16	Meaningless	该位域可以软件置位和清除，但当目标像素格式是ARGB4444时，这些位没有意义。
15:12	DPDAV[3:0]	目标层预定义alpha值 软件置位和清除

		当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层alpha值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
11:8	DPDRV[3:0]	目标层预定义红色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层红色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
7:4	DPDGV[3:0]	目标层预定义绿色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层绿色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。
3:0	DPDBV[3:0]	目标层预定义蓝色值 软件置位和清除 当 IPA 配置为用特定的颜色填充目标存储区的时候，这些位用作目标层蓝色值。 当IPA_CTL寄存器的TEN位的值为'1'时，该位不可写。

15.6.16. 目标存储区基地址寄存器(IPA_DMADDR)

偏移地址：0x3C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADDR[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADDR[15:0]															
rw															

位/位域	名称	描述
31:0	DMADDR[31:0]	目标存储区基地址 软件置位和清除 如果目标层像素格式是ARGB8888，这些位必须是32位对齐，如果目标层像素格式是RGB565，ARGB1555或ARGB4444,这些位必须是16位对齐，如果违背以上对齐规则，当传输使能的时候，将检测到一个配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.17. 目标行偏移寄存器(IPA_DLOFF)

偏移地址：0x40
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		DLOFF[13:0]													
		rw													

位/位域	名称	描述
31:14	保留	必须保持复位值
13:0	DLOFF[13:0]	目标行偏移 该位表明当前行最后一个像素和下一行第一个像素之间的像素数目。当IPA_CTL寄存器的PFCM配置为"00"时，如果前景层像素格式是A4或L4，DLOFF 必须被配置成一个偶数，否则当传输使能的时候将检测到一个配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.18. 图像大小寄存器(IPA_IMS)

偏移地址：0x44
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		WIDTH[13:0]													
		rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HEIGHT[15:0]															
rw															

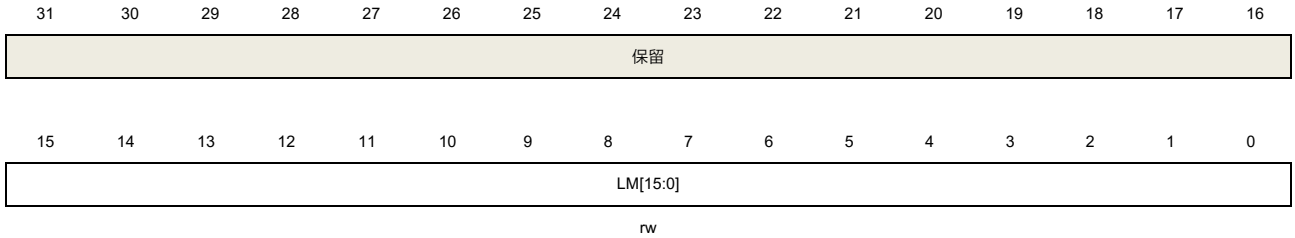
位/位域	名称	描述
31:30	保留	必须保持复位值
29:16	WIDTH[13:0]	待处理的图像的宽度 软件置位和清除 该位域表示待处理的图像每行像素的数目。如果背景层或前景层像素格式是A4或L4，这些位必须配置成偶数，否则当传输使能的时候将检测到一个配置错误。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。
15:0	HEIGHT[15:0]	待处理图像的高度 软件置位和清除 该位域表明待处理图像的行数。 当IPA_CTL寄存器的TEN为'1'时，该位不可写。

15.6.19. 行标记寄存器(IPA_LM)

偏移地址：0x48

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



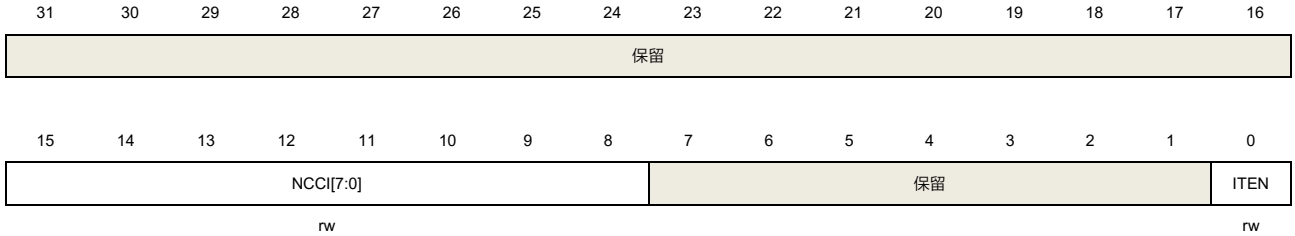
位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	LM[15:0]	行标记 软件置位和清除 该位域定义了一个行号以表明传输的进度，当且仅当标记行的最后一个像素已经写入了目标存储区，传输行标记中断标志位将置位。 当IPA_CTL寄存器的TEN位为'1'时，该位不可写。

15.6.20. 内部定时器控制寄存器(IPA_ITCTL)

偏移地址：0x4C

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值
15:8	NCCI[7:0]	间隔时钟周期数 软件置位和清除 如果ITEN等于'0'，该位域没有意义。如果ITEN 等于'1'，该位域表示两个连续的AHB请求之间插入的时钟周期数的最小值。
7:1	保留	必须保持复位值
0	ITEN	内部定时器使能 IPA使用一个内部定时器用来减少AHB总线使用带宽。 0：禁止内部定时器

1：使能内部定时器

16. 调试(DBG)

16.1. 简介

GD32F527xx 系列产品提供了各种各样的调试，跟踪和测试功能。这些功能通过 ARM® CoreSight™组件的标准配置和链状连接的 TAP 控制器来实现的。调试和跟踪功能集成在 ARM® Cortex®-M33 内核中。调试系统支持串行(SW)调试和跟踪功能，也支持 JTAG 调试。调试和跟踪功能请参考下列文档：

- Cortex®-M33技术参考手册；
- ARM®调试接口v5结构规范。

调试系统帮助调试者在低功耗模式下调试。当相应的位被置 1，调试系统会在低功耗模式下提供时钟，或者为一些外设保持当前状态，这些外设包括：TIMER、WWDGT、FWDGT、RTC、I2C 和 CAN。

16.2. JTAG/SW 功能说明

调试工具可以通过串行(SW)调试接口或者 JTAG 调试接口来访问调试功能。

16.2.1. 切换 JTAG/ SW 接口

默认使用 JTAG 调试接口，可以通过下列软件序列从 JTAG 调试切换到 SW 调试：

- 发送50个以上TCK周期的TMS=1信号；
- 发送16位TMS = 1110011110011110(0xE79E LSB)信号；
- 发送50个以上TCK周期的TMS=1信号。

切换 SW 调试到 JTAG 调试的软件序列：

- 发送50个以上TCK周期的TMS=1信号；
- 发送16位TMS = 1110011100111100 (0xE73C LSB)信号；
- 发送50个以上TCK周期的TMS=1信号。

16.2.2. 引脚分配

JTAG 调试提供五个引脚的接口：JTAG 时钟引脚(JTCK)，JTAG 模式选择引脚(JTMS)，JTAG 数据输入引脚(JTDI)，JTAG 数据输出引脚(JTDO)，JTAG 复位引脚(NJTRST，低电平有效)。串行调试(SWD)提供两个引脚的接口：数据输入输出引脚(SWDIO)和时钟引脚(SWCLK)。SW 调试接口的两个引脚与 JTAG 调试接口的两个引脚复用，SWDIO 和 JTMS 复用，SWCLK 和 JTCK 复用。

当异步跟踪功能开启时，JTDO 引脚也用作异步跟踪数据输出(TRACESWO)。

表 16-1. 调试引脚分配

引脚	调试接口
PA15	JTDI
PA14	JTCK/SWCLK
PA13	JTMS/SWDIO
PB4	NJTRST
PB3	JTDO

默认复位后使用五个引脚的 JTAG 调试，用户可以在不使用 NJTRST 引脚情况下正常使用 JTAG 功能，此时 PB4 可以用作普通 GPIO 功能(NJTRST 硬件拉高)。如果切换到 SW 调试模式，PA15/PB4/PB3 释放作为普通 GPIO 功能。如果 JTAG 和 SW 调试功能都没有使用，这五个引脚都释放作为普通 GPIO 功能。五个引脚具体配置请参考*通用和备用输入/输出接口(GPIO 和 AFIO)*。

16.2.3. JTAG 链状结构

Cortex®-M33 内核的 JTAG TAP 和 MCU TAP 串行连接。MCU JTAG 的 IR(指令寄存器)是 5 位，而 Cortex®-M33 内核的 JTAG 的 IR(指令寄存器)是 4 位。所以当 JTAG 进行 IR 移位输入时，首先移位 5 位 BYPASS 指令给 MCU JTAG，然后移位 4 位标准指令给 Cortex®-M33 JTAG。当进行数据移位时，数据链只需要额外添加一位，因为 MCU JTAG 已处在 BYPASS 模式。

MCU JTAG ID 代码是 0x790007A3。

16.2.4. 调试复位

JTAG-DP 和 SW-DP 寄存器位于上电复位域。系统复位初始化了 Cortex®-M33 的绝大部分组件，除了 NVIC，调试逻辑(FPB，DWT，ITM)。NJTRST 能复位 JTAG TAP 控制器。所以，可以在系统复位下实现调试功能。例如：复位后停止，用户在系统复位后配置相应停止位，系统复位释放后处理器会立即停止。

16.2.5. JEDEC-106 ID code

Cortex®-M33 集成了 JEDEC-106 ID 代码。位于 ROM 表中，映射地址为 0xE00FF000_0xE00FFFFF。

16.3. 调试保持功能说明

16.3.1. 低功耗模式调试支持

当 DBG 控制寄存器 0(DBG_CTL0)的 STB_HOLD 位置 1 并且进入待机模式，AHB 总线时钟和系统时钟由 CK_IRC16M 提供，可以在待机模式下调试。当退出待机模式后，产生系统复位。

当 DBG 控制寄存器 0(DBG_CTL0)的 DSLP_HOLD 位置 1 并且进入深度睡眠模式，AHB 总线时钟和系统时钟由 CK_IRC16M 提供，可以在深度睡眠模式下调试。

当 DBG 控制寄存器 0(DBG_CTL0)的 SLP_HOLD 位置 1 并且进入睡眠模式，AHB 总线时钟没有关闭，可以在睡眠模式下调试。

16.3.2. TIMER, I2C, RTC, WWDGT, FWDGT 和 CAN 外设调试支持

当内核停止，并且 DBG 控制寄存器 1(DBG_CTL1)或 DBG 控制寄存器 2(DBG_CTL2)中的相应位置 1。对于不同外设，有不同动作：

对于 TIMER 外设，TIMER 计数器停止并进行调试；

对于 I2C 外设，SMBUS 保持状态并进行调试；

对于 WWDGT 或者 FWDGT 外设，计数器时钟停止并进行调试；

对于 RTC 外设，计数器停止并进行调试；

对于 CAN 外设，接收寄存器停止计数并进行调试。

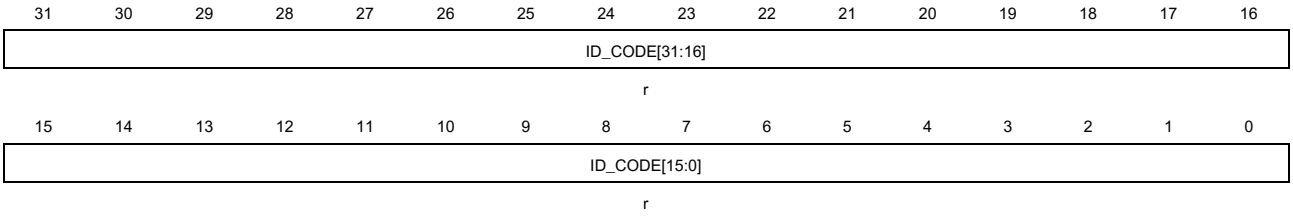
16.4. DBG 寄存器

DBG 基地址：0xE004 4000U

16.4.1. ID 寄存器(DBG_ID)

地址偏移：0x00
只读寄存器

该寄存器只能按字(32 位)访问

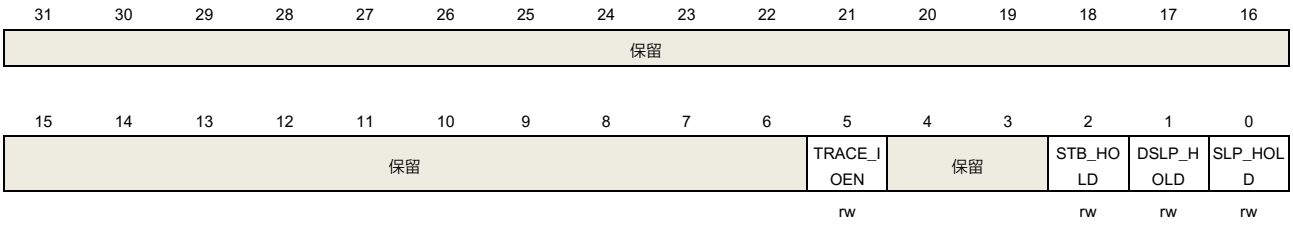


位/位域	名称	描述
31:0	ID_CODE[31:0]	DBG ID 寄存器 这些位由软件读取，这些位是不变的常数

16.4.2. 控制寄存器 0(DBG_CTL0)

地址偏移：0x04
复位值：0x0000 0000，仅上电复位

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:6	保留	必须保持复位值。
5	TRACE_IOEN	跟踪引脚分配使能 该位由软件置位和复位 0：跟踪引脚分配禁用 1：跟踪引脚分配使能。
4:3	保留	必须保持复位值。
2	STB_HOLD	待机模式保持位 该位由软件置位和复位

0：无影响
1：在待机模式下，系统时钟和 AHB 时钟由 CK_IRC16M 提供，当退出待机模式时，产生系统复位。

1 DSLP_HOLD 深度睡眠模式保持位
该位由软件置位和复位
0：无影响
1：在深度睡眠模式下，系统时钟和 AHB 时钟由 CK_IRC16M 提供。

0 SLP_HOLD 睡眠模式保持位
该位由软件置位和复位
0：无影响
1：在睡眠模式下，AHB 时钟继续运行。

16.4.3. 控制寄存器 1(DBG_CTL1)

地址偏移：0x08
复位值： 0x0000 0000，仅上电复位

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					CAN1_HOLD	CAN0_HOLD	保留.	I2C2_HOLD	I2C1_HOLD	I2C0_HOLD	I2C5_HOLD	I2C4_HOLD	I2C3_HOLD	保留	
					rw	rw		rw	rw	rw	rw	rw	rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			FWDGT_HOLD	WWDGT_HOLD	RTC_HOLD	保留.	TIMER13_HOLD	TIMER12_HOLD	TIMER11_HOLD	TIMER6_HOLD	TIMER5_HOLD	TIMER4_HOLD	TIMER3_HOLD	TIMER2_HOLD	TIMER1_HOLD
			rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	CAN1_HOLD	CAN1 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时 CAN1 接收寄存器停止接收数据。
25	CAN0_HOLD	CAN0 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时 CAN0 接收寄存器停止接收数据。
24	保留	必须保持复位值。
23	I2C2_HOLD	I2C2 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C2 的 SMBUS 状态不变，用于调试。
22	I2C1_HOLD	I2C1 保持位

		该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C1 的 SMBUS 状态不变，用于调试。
21	I2C0_HOLD	I2C0 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C0 的 SMBUS 状态不变，用于调试。
23	I2C5_HOLD	I2C5 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C5 的 SMBUS 状态不变，用于调试。
22	I2C4_HOLD	I2C4 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C4 的 SMBUS 状态不变，用于调试。
21	I2C3_HOLD	I2C3 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 I2C3 的 SMBUS 状态不变，用于调试。
17:13	保留	必须保持复位值。
12	FWDGT_HOLD	FWDGT 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 FWDGT 计数器时钟，用于调试。
11	WWDGT_HOLD	WWDG 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 WWDGT 计数器时钟，用于调试。
10	RTC_HOLD	RTC 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持 RTC 计数器不变，用于调试
9	保留	必须保持复位值。
8	TIMER13_HOLD	TIMER13 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 13 计数器不变，用于调试。
7	TIMER12_HOLD	TIMER 12 保持位 该位由软件置位和复位

0：无影响
1：当内核停止时保持定时器 12 计数器不变，用于调试。

6	TIMER11_HOLD	TIMER 11 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 11 计数器不变，用于调试。
5	TIMER6_HOLD	TIMER 6 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 6 计数器不变，用于调试。
4	TIMER5_HOLD	TIMER 5 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 5 计数器不变，用于调试。
3	TIMER4_HOLD	TIMER 4 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 4 计数器不变，用于调试。
2	TIMER3_HOLD	TIMER 3 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 3 计数器不变，用于调试。
1	TIMER2_HOLD	TIMER 2 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 2 计数器不变，用于调试。
0	TIMER1_HOLD	TIMER 1 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 1 计数器不变，用于调试。

16.4.4. 控制寄存器 2(DBG_CTL2)

地址偏移：0x0C
复位值： 0x0000 0000，仅上电复位

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留													TIMER10_HOLD	TIMER9_HOLD	TIMER8_HOLD
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

保留	TIMER7_HOLD	TIMER0_HOLD
	rw	rw

位/位域	名称	描述
31:19	保留	必须保持复位值。
18	TIMER10_HOLD	TIMER10 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 10 计数器不变，用于调试。
17	TIMER9_HOLD	TIMER9 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 9 计数器不变，用于调试。
16	TIMER8_HOLD	TIMER8 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 8 计数器不变，用于调试。
15:2	保留	必须保持复位值。
1	TIMER7_HOLD	TIMER7 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 7 计数器不变，用于调试。
0	TIMER0_HOLD	TIMER0 保持位 该位由软件置位和复位 0：无影响 1：当内核停止时保持定时器 0 计数器不变，用于调试。

16.4.5. 控制寄存器 3(DBG_CTL3)

地址偏移：0x10

复位值： 0x0000 0000，仅上电复位

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												DEVICEID[3：0]			
												rw			

位/位域	名称	描述

31:4	保留	必须保持复位值。
3:0	DEVICEID[3:0]	DEVICEID 连接 MCU 实例 ID 这些位由软件读取和写入。

17. 可编程参考电流(IREF)

17.1. 简介

MCU 包含可编程参考电流模块。

在使用参考电流时，有两种不同的运行模式：低功耗模式和大电流模式。

两种模式的区别在于电流步长和最大电流不同。

在低功耗模式下，电流步长为 1uA，最大电流 63uA。

在大电流模式下，电流步长为 8uA，最大电流为 504uA。

17.2. 主要特性

参考电流特征：

- 可编程电流；
- 可编程源电流或灌电流；
- 低功耗模式和大电流模式。

17.3. 功能描述

17.3.1. 信号描述

在使用 IREF 时，相关引脚应该被配置为模拟输入模式。

17.3.2. 用户校验

用户可以通过编程 IREF_CTL 寄存器的 CPT 位来校准输出电流。

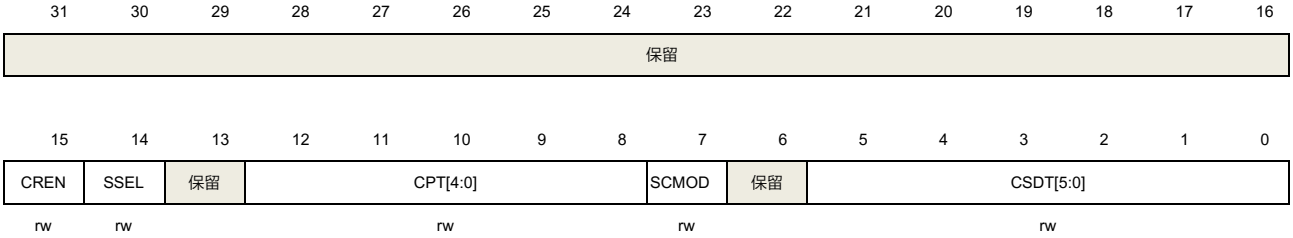
17.4. IREF 寄存器

IREF 基地址：0x4000 C400

控制寄存器 (IREF_CTL)

偏移地址：0x300
复位值：0x0000 0F00

该寄存器可以按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15	CREN	参考电流使能 0：禁用参考电流 1：使能参考电流
14	SSEL	步长选择 0：低功耗，步长 1uA 1：大电流，步长 8uA
13	保留	必须保持复位值。
12:8	CPT[4:0]	电流精度校准 0x00：-30% …. 0x1F：+32%
7	SCMOD	灌电流模式 0：源电流模式 1：灌电流模式
6	保留	必须保持复位值
5:0	CSDT[5:0]	电流步长设置 0x00：默认值 0x01：Step * 1 …. 0x3F：Step * 63

18. 模数转换器(ADC)

18.1. 简介

MCU 片上集成了 12 位逐次逼近式模数转换器模块(ADC)，可以采样来自于 16 个外部通道和 2 个内部通道和一个电池电压(V_{BAT})通道的模拟信号。这 19 个 ADC 采样通道都支持多种运行模式，采样转换后，转换结果可以按照最低有效位对齐或最高有效位对齐的方式保存在相应的数据寄存器中。片上的硬件过采样机制可以通过减少来自 MCU 的相关计算负担来提高性能。对于电机、电源等对 ADC 有更高需求的应用，可以联系我们的销售，获取更多的 ADC 详细资料。

18.2. 主要特征

- 高性能：
  - ADC采样分辨率：12位、10位、8位、或者6位分辨率；
  - ADC采样率：12位分辨率为2.6 MSPs，10位分辨率为3.0 MSPs。分辨率越低，转换越快；
  - 自校准时间：131个ADC时钟周期；
  - 可编程采样时间；
  - 数据存储模式：最高有效位对齐和最低有效位对齐；
  - DMA请求。
- 模拟输入通道：
  - 16个外部模拟输入通道；
  - 1个内部温度传感通道(V_{SENSE})；
  - 1个内部参考电压输入通道(V_{REFINT})；
  - 1个外部监测电池V_{BAT}供电引脚输入通道。
- 转换开始的发起：
  - 软件触发；
  - 硬件触发。
- 运行模式：
  - 转换单个通道，或者扫描一序列的通道；
  - 单次运行模式，每次触发转换一次选择的输入通道；
  - 连续运行模式，连续转换所选择的输入通道；
  - 间断运行模式；
  - 同步模式(适用于具有两个或多个ADC的设备)。
- 转换结果阈值监测器功能：模拟看门狗。
- 中断产生：
  - 常规转换结束；
  - 模拟看门狗事件；
  - 溢出事件。
- 过采样：
  - 16位的数据寄存器；

  - 可调整的过采样率，从2x到256x；
  - 高达8位的可编程数据移位。
- 模块供电要求：1.8V到3.6V，一般电源电压为3.3V。
- 通道输入范围：V_{REFN} <=V_{IN} <=V_{REFP}。

18.3. 引脚和内部信号

*图 18-1. ADC 模块框图*给出了 ADC 框图。*表 18-1. ADC 内部输入信号*给出了 ADC 内部信号。*表 18-2. ADC 输入引脚定义*给出了 ADC 引脚说明。

表 18-1. ADC 内部输入信号

内部信号名称	说明
V_{SENSE}	内部温度传感器输出电压
V_{REFINT}	内部参考输出电压

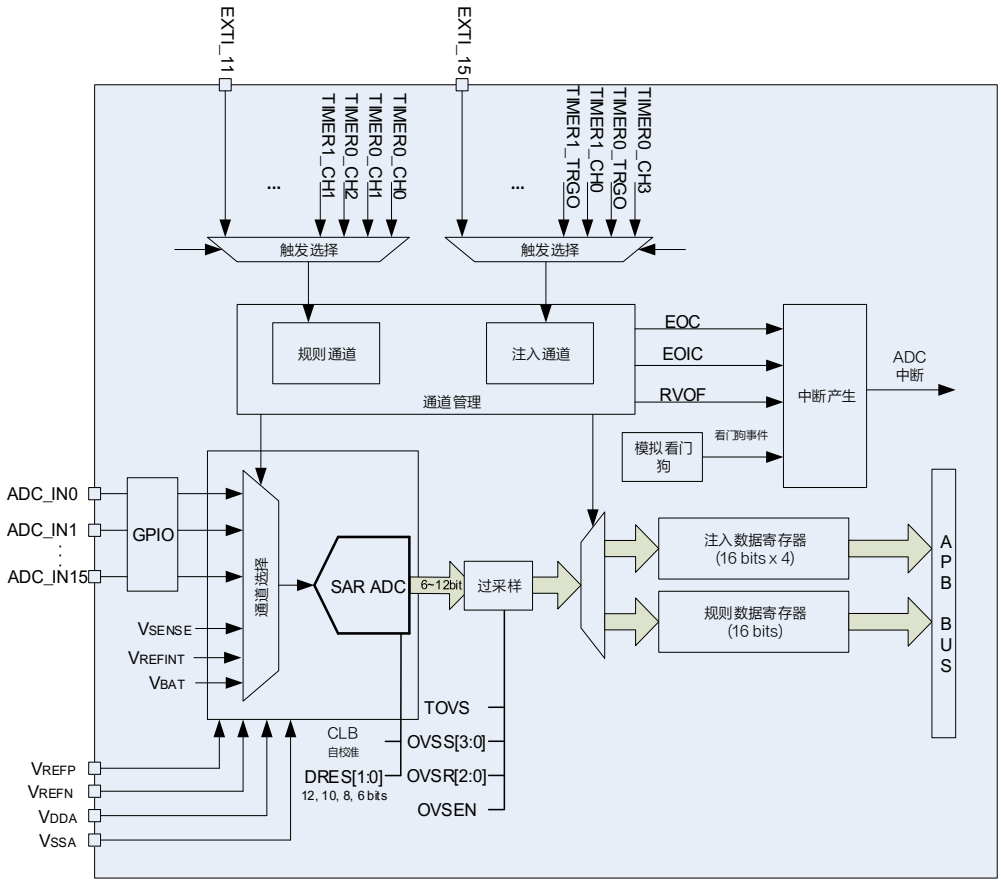
表 18-2. ADC 输入引脚定义

名称	说明
V_{DDA}	模拟电源输入等于V_{DD}，1.8V<=V_{DDA}<=3.6V
V_{SSA}	模拟地，等于V_{SS}
V_{REFP}	ADC正参考电压，1.8 V <= V_{REFP} <= V_{DDA}
V_{REFN}	ADC负参考电压，V_{REFN} = V_{SSA}
ADCx_IN[15:0]	多达16路外部通道
V_{BAT}	外部电池电压

注意：V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。

18.4. 功能说明

图 18-1. ADC 模块框图



18.4.1. 前置校准功能

在前置校准期间，ADC 计算一个校准系数，这个系数是应用于 ADC 内部的，它直到 ADC 下次掉电才无效。在校准期间，应用不能使用 ADC，它必须等到校准完成。在 A/D 转换前应执行校准操作。通过软件设置 CLB=1 来对校准进行初始化，在校准期间 CLB 位会一直保持 1，直到校准完成，该位由硬件清 0。

当 ADC 运行条件改变(例如，V_{DDA}、V_{REFP} 以及温度等)，建议重新执行一次校准操作。

内部的模拟校准通过设置 ADC_CTL1 寄存器的 RSTCLB 位来重置。

软件校准过程：

1. 确保ADCON=1；
2. 延迟14个CK_ADC以等待ADC稳定；
3. 设置RSTCLB (可选的)；
4. 设置CLB=1；
5. 等待直到CLB=0。

18.4.2. ADC 时钟

CK_ADC 时钟是由时钟控制器提供的，它和 AHB、APB2 时钟保持同步。ADC 时钟可以在 ADC_SYNCCTL 寄存器中的 ADCCK[2:0]位中进行分配和配置，ADC_SYNCCTL 寄存器只对 ADC0 有效，因此，如需配置 ADC1 和 ADC2 的时钟分频需打开 ADC0 的时钟。

18.4.3. ADCON 使能

ADC_CTL1 寄存器中的 ADCON 位是 ADC 模块的使能开关。如果该位为 0，则 ADC 模块保持复位状态。为了省电，当 ADCON 位为 0 时，ADC 模拟子模块将会进入掉电模式。ADC 使能后需等待 t_{SU} 时间后才能采样，t_{SU} 数值详见芯片数据手册。

18.4.4. 常规序列

通道管理电路可以将采样通道组织成一个序列：常规序列。常规序列支持最多 16 个通道，每个通道称为常规通道。

ADC_RSQ0 寄存器的 RL[3:0]位规定了整个常规序列的长度。ADC_RSQ0~ADC_RSQ2 寄存器规定了常规序列的通道选择。

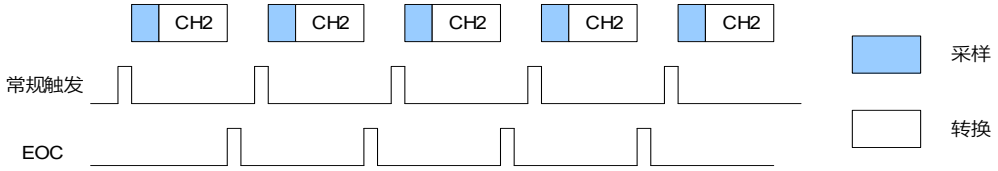
注意：尽管 ADC 支持 19 个通道，但常规序列一次最多转换 16 个通道。

18.4.5. 运行模式

单次运行模式

单次运行模式下，ADC_RSQ2 寄存器的 RSQ0[4:0]位规定了 ADC 的转换通道。当 ADCON 位被置 1，一旦相应软件触发或者外部触发发生，ADC 就会采样和转换一个通道。

图 18-2. 单次运行模式



常规通道单次转换结束后，转换数据将被存放于 ADC_RDATA 寄存器中，EOC 将会置 1。如果 EOCIE 位被置 1，将产生一个中断。

常规序列单次运行模式的软件流程：

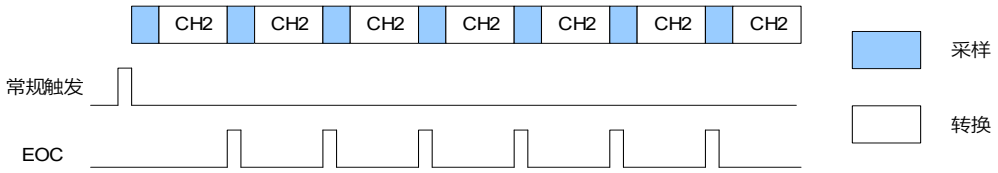
1. 确保ADC_CTL0寄存器的DISRC和SM位以及ADC_CTL1寄存器的CTN位为0；
2. 用模拟通道编号来配置RSQ0；
3. 配置ADC_SAMPTx寄存器；
4. 如果有需要，可以配置ADC_CTL1寄存器的ETMRC和ETSRC位；
5. 设置SWRCST位，或者为常规序列产生一个外部触发信号；

6. 等到EOC置1；
7. 从ADC_RDATA寄存器中读ADC转换结果；
8. 写0清除EOC标志位。

连续运行模式

对 ADC_CTL1 寄存器的 CTN 位置 1 可以使能连续运行模式。在此模式下，ADC 执行由 RSQ0[4:0]规定的转换通道。当 ADCON 位被置 1，一旦相应软件触发或者外部触发产生，ADC 就会采样和转换规定的通道。转换数据保存在 ADC_RDATA 寄存器中。

图 18-3. 连续运行模式



常规序列连续运行模式的软件流程：

1. 设置ADC_CTL1寄存器的CTN位为1；
2. 根据模拟通道编号配置RSQ0；
3. 配置ADC_SAMPTx寄存器；
4. 如果有需要，配置ADC_CTL1寄存器的ETMRC和ETSRC位；
5. 设置SWRCST位，或者给常规序列产生一个外部触发信号；
6. 等待EOC标志位置1；
7. 从ADC_RDATA寄存器中读ADC转换结果；
8. 写0清除EOC标志位；
9. 只要还需要进行连续转换，重复步骤6~8。

由于要循环查询 EOC 标志位，DMA 可以被用来传输转换数据，软件流程如下：

1. 设置ADC_CTL1寄存器的CTN位为1；
2. 根据模拟通道编号配置RSQ0；
3. 配置ADC_SAMPTx寄存器；
4. 如果有需要，配置ADC_CTL1寄存器的ETMRC和ETSRC位；
5. 准备*直接存储器访问控制器(DMA)*模块，用于传输来自ADC_RDATA的数据；
6. 设置SWRCST位，或者给常规序列产生一个外部触发。

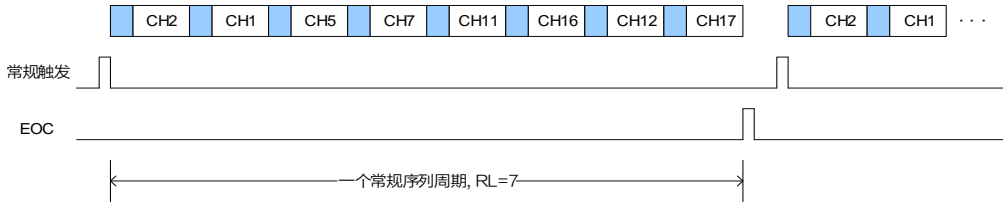
扫描运行模式

扫描运行模式可以通过将 ADC_CTL0 寄存器的 SM 位置 1 来使能。在此模式下，ADC 扫描转换所有被 ADC_RSQ0~ADC_RSQ2 寄存器选中的所有通道。一旦 ADCON 位被置 1，当相应软件触发或者外部触发产生，ADC 就会一个接一个的采样和转换常规序列通道。转换数据存储在 ADC_RDATA 寄存器中。常规序列转换结束后，EOC 位将被置 1。如果 EOCIE 位被置 1，将产生中断。当常规序列工作在扫描模式下时，ADC_CTL1 寄存器的 DMA 位必须设置为 1。

如果 ADC_CTL1 寄存器的 CTN 位也被置 1，则在常规序列转换完之后，这个转换自动重新开

始。

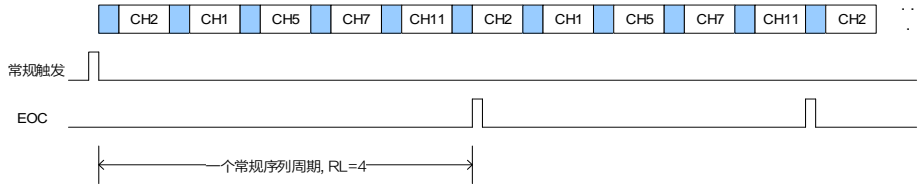
图 18-4. 扫描运行模式，且连续转换模式失能



常规序列扫描运行模式的软件流程：

1. 设置 ADC_CTL0 寄存器的 SM 位和 ADC_CTL1 寄存器的 DMA 位为 1；
2. 配置 ADC_RSQx 和 ADC_SAMPTx 寄存器；
3. 如果有需要，配置 ADC_CTL1 寄存器中的 ETMRC 和 ETSRC 位；
4. 准备*直接存储器访问控制器(DMA)*模块，用于传输来自 ADC_RDATA 的数据；
5. 设置 SWRCST 位，或者给常规序列产生一个外部触发。

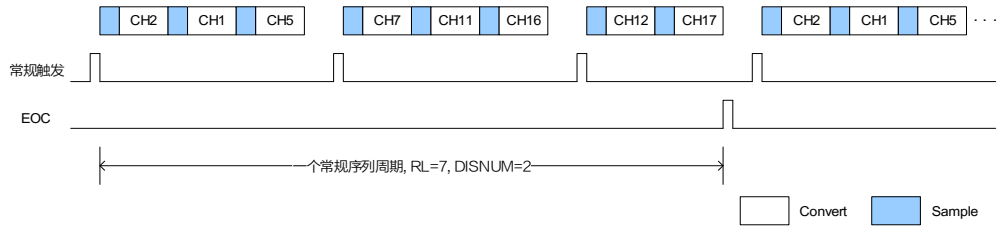
图 18-5. 扫描运行模式，连续运行模式使能



间断运行模式

当 ADC_CTL0 寄存器的 DISRC 位置 1 时，常规序列使能间断运行模式。该模式下可以执行一次 n 个通道的短序列转换(n 不超过 8)，该序列是 ADC_RSQ0~RSQ2 寄存器所选择的序列的一部分。数值 n 由 ADC_CTL0 寄存器的 DISCNUM[2:0]位配置。当相应的软件触发或外部触发发生，ADC 就会采样和转换在 ADC_RSQ0~RSQ2 寄存器所配置通道中接下来的 n 个通道，直到常规序列中所有的通道转换完成。每个常规序列转换周期结束后，EOC 位将被置 1。如果 EOCIE 位被置 1 将产生一个中断。

图 18-6. 间断转换模式



常规序列间断运行模式的软件流程：

1. 设置 ADC_CTL0 寄存器的 DISRC 位和 ADC_CTL1 寄存器的 DMA 位为 1；
2. 配置 ADC_CTL0 寄存器的 DISNUM[2:0]位；
3. 配置 ADC_RSQx 和 ADC_SAMPTx 寄存器；
4. 如果有需要，配置 ADC_CTL1 寄存器中的 ETMRC 和 ETSRC 位；
5. 准备*直接存储器访问控制器(DMA)*模块，用于传输来自 ADC_RDATA 的数据；

6. 设置 SWRCST 位，或者给常规序列产生一个外部触发；
7. 如果需要，重复步骤 6；
8. 等待 EOC 标志位置 1；
9. 写 0 清除 EOC 标志位。

18.4.6. 转换结果阈值监测功能

ADC_CTL0 寄存器的 RWDEN 位置 1 将使能常规序列模拟看门狗功能。该功能用于监测转换结果是否超过设定的阈值。如果 ADC 的模拟转换电压低于低阈值或高于高阈值时，ADC_STAT 状态寄存器的 WDE 位将被置 1。如果 WDEIE 位被置 1，将产生中断。ADC_WDHT 和 ADC_WDLT 寄存器用来设定高低阈值。内部数据的比较在对齐之前完成，因此阀值与 ADC_CTL1 寄存器的 DAL 位确定的对齐方式无关。ADC_CTL0 寄存器的 RWDEN，WDSC 和 WDCHSEL[4:0]位可以用来选择模拟看门狗监控单一通道或者多通道。

18.4.7. 数据存储模式

ADC_CTL1 寄存器的 DAL 位确定转换后数据存储的对齐方式。

图 18-7. 12 位数据存储模式

常规通道数据

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

DAL=0

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

DAL=1

图 18-8. 10 位数据存储模式

常规通道数据

0	0	0	0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0

DAL=0

D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0	0	0

DAL=1

图 18-9. 8 位数据存储模式

常规通道数据

0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

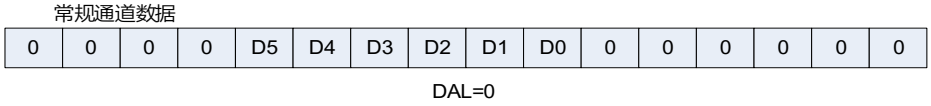
DAL=0

D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0	0	0	0	0

DAL=1

6 位分辨率的数据存储模式不同于 12 位/10 位/8 位分辨率数据存储模式，如*图 18-10. 6 位数据存储模式*。

图 18-10. 6 位数据存储模式



18.4.8. 采样时间配置

ADC 使用多个 CK_ADC 周期对输入电压采样，采样周期数目可以通过 ADC_SAMPT0 和 ADC_SAMPT1 寄存器的 SPTn[2:0]位配置。每个通道可以用不同的采样时间。在 12 位分辨率的情况下，总转换时间=采样时间+12 个 CK_ADC 周期。

例如：

CK_ADC = 40MHz ，采样时间为 3 个周期，那么总的转换时间为："3+12"个 CK_ADC 周期，即 0.375us。

18.4.9. 外部触发

外部触发输入的上升沿、下降沿可以触发常规序列的转换。ADC_CTL1 寄存器的 ETMRC[1:0]位控制常规序列的触发模式。常规序列的外部触发源由 ADC_CTL1 寄存器的 ETSRC[3:0]位控制。

表 18-3. 外部触发模式

ETMRC[1:0]	触发模式
00	外部触发失能
01	外部触发信号上升沿触发使能
10	外部触发信号下降沿触发使能
11	外部触发信号双边沿触发使能

表 18-4. ADC 的外部触发源

ETSRC[3:0]	触发源	触发类型
0000	TIMER0_CH0	硬件触发
0001	TIMER0_CH1	
0010	TIMER0_CH2	
0011	TIMER1_CH1	
0100	TIMER1_CH2	
0101	TIMER1_CH3	
0110	TIMER1_TRGO	
0111	TIMER2_CH0	
1000	TIMER2_TRGO	
1001	TIMER3_CH3	
1010	TIMER4_CH0	
1011	TIMER4_CH1	
1100	TIMER4_CH2	
1101	TIMER7_CH0	

ETSRC[3:0]	触发源	触发类型
1110	TIMER7_TRGO	
1111	EXTI_11	

可以实时修改外部触发选择，在修改期间不会出现触发事件。

18.4.10. DMA 请求

DMA 请求，可以通过设置 ADC_CTL1 寄存器的 DMA 位来使能，它用于常规序列多个通道的转换结果。ADC 在常规序列一个通道转换结束后产生一个 DMA 请求，DMA 接受到请求后可以将转换的数据从 ADC_RDATA 寄存器传输到用户指定的目的地址。

18.4.11. 溢出检测

当 DMA 使能的时候或者将 ADC_CTL1 寄存器的 EOCM 位置 1，可以使能溢出检测。如果一个常规转换在上一个常规转换数据读出之前已经完成，则会产生一个溢出事件，相应的 ADC_STAT 状态寄存器的 ROVF 标志位会置位。如果 ADC_CTL0 寄存器的 ROVFIE 置位，溢出中断产生。

为了使得 ADC 从 ROVF 溢出状态中恢复过来，建议对 DMA 模块重新进行初始化。内部状态机复位，以保证常规转换数据正确的传输。ADC 转换将会停止，直到 ROVF 位被清零。

ADC 从 ROVF 状态恢复的软件流程如下：

1. 将 ADC_CTL1 寄存器的 DMA 位清 0；
2. 将 ADC_CTL1 寄存器的 ADON 位清 0；
3. 将 DMA_CHxCTL 寄存器的 CHEN 位清 0，用于重新初始化 DMA 模块；
4. 将 ADC_STAT 寄存器的 ROVF 位清 0；
5. 将 DMA_CHxCTL 寄存器的 CHEN 位置 1；
6. 将 ADC_CTL1 寄存器的 DMA 位置 1；
7. 将 ADC_CTL1 的 ADON 位置 1；
8. 等待 T(setup)；
9. 通过软件或触发开始 ADC 转换。

18.4.12. ADC 内部通道

将 ADC_SYNCCTL 寄存器的 TSVREN 位置 1 可以使能温度传感器通道(ADC0_IN16)和 V_{REFINT} 通道(ADC0_IN17)。温度传感器可以用来测量器件周围的温度。传感器输出电压能被 ADC 转换成数字量。建议温度传感器的采样时间至少设置为 t_{s_temp} μs。温度传感器不用时，复位 TSVREN 位可以将其置于掉电模式。

温度传感器的输出电压随温度会发生线性变化，由于芯片生产过程的多样化，温度变化曲线的偏移在不同的芯片上会有不同(最多相差 45°C)。内部温度传感器更适合于检测温度的变化，而不是测量绝对温度。如果需要测量精确的温度，应该使用一个外置的温度传感器来校准这个偏移错误。

内部电压参考(V_{REFINT})提供了一个稳定的(带隙基准)电压输出给 ADC 和比较器。V_{REFINT} 内部连

接到 ADC0_IN17 输入通道。

使用温度传感器：

1. 配置温度传感器通道(ADC0_IN16)的转换序列和采样时间为t_{s_temp} us。
2. 置位ADC_CTL1寄存器的TSVREN位，使能温度传感器。
3. 置位ADC_CTL1寄存器的ADCON位，或者由外部触发ADC转换。
4. 读取内部温度传感器输出电压$V_{temperature}$，并由下面公式计算出实际温度：

$$温度\ (°C) = \{(V_{25} - V_{temperature}) / Avg_Slope\} + 25$$

V_{25}：内部温度传感器在 25°C 下的电压，典型值请参考相关型号 datasheet。

Avg_Slope：温度与内部温度传感器输出电压曲线的均值斜率，典型值请参考相关型号 datasheet。

18.4.13. 电池电压监测

V_{BAT}通道由于监测从V_{BAT}引脚过来的备份电池电压。当ADC_SYNCCTL寄存器中的VBATEN位置1时，使能V_{BAT}通道(ADC_IN18)，同时一个集成在V_{BAT}引脚上的4分压桥也随之自动被使能。由于V_{BAT}可能比V_{DDA}高，所以使用这个4分压桥用来确保ADC正确操作。它将ADC_IN18输入通道连接到V_{BAT}/4，所以，ADC_IN18输入通道转换的值是V_{BAT}/4。为了防止不必要的电池能量消耗，推荐仅在需要时才使能4分压桥。

18.4.14. 可编程分辨率(DRES)

ADC 分辨率可以通过寄存器 ADC_CTL0 中的 DRES[1:0]位进行配置。对于那些不需要高精度数据的应用，可以使用较低的分辨率来实现更快速地转换。只有在 ADCON 比特为 0 时，才能修改 DRES[1:0]的值。ADC 转换的结果只有 12 位，其余没有被用到的低位读出来都是为 0。

较低的分辨率能够减少转换时间。如图*表 18-5. 不同分辨率对应的 tCONV 时间*所示，较低的分辨率能够减少逐次逼近步骤所需的转换时间 t_{ADC}。

表 18-5. 不同分辨率对应的 t_{CONV} 时间

DRES[1:0] bits	t_{CONV} (ADC clock cycles)	t_{CONV}(ns) at f_{ADC}=40MHz	t_{SMPL}(min) (ADC clock cycles)	t_{ADC} (ADC clock cycles)	t_{ADC}(us) at f_{ADC}=40MHz
12	12	300 ns	3	15	375 ns
10	10	250 ns	3	13	325 ns
8	8	200 ns	3	11	275 ns
6	6	150 ns	3	9	225 ns

18.4.15. 片上硬件过采样

片上硬件过采样单元执行数据预处理以减轻 CPU 负担。它能够处理多个转换，并将多个转换的结果取平均，得出一个 16 位宽的数据。其结果值根据如下公式计算得出，其中 N 和 M 的值可以被调整，过采样单元可以通过设置 ADC_OVSAMPCTL 寄存器的 OVSEN 位来使能，它是

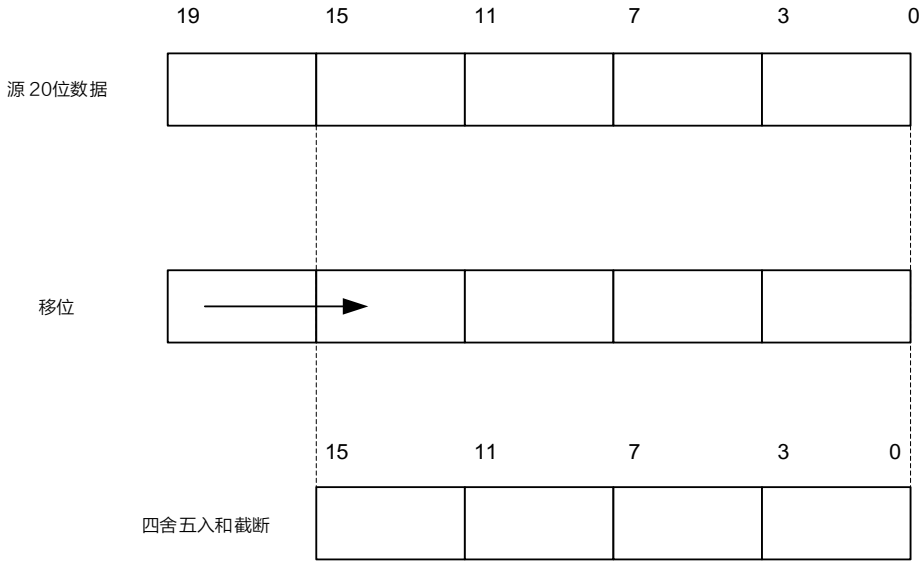
以降低数据输出率为代价，换取较高的数据分辨率。$D_{out}(n)$是指 ADC 输出的第 n 个数字信号：

$$Result=\frac{1}{M}*\sum_{n=0}^{N-1}D_{out}(n) \quad (18\text{-}1)$$

片上硬件过采样单元执行两个功能：求和和位右移。过采样率 N 是在 ADC_OVSAMPCTL 寄存器的 OVSR[2:0]位定义，它的取值范围为 2x 到 256x。除法系数 M 定义一个多达 8 位的右移，它通过 ADC_OVSAMPCTL 寄存器 OVSS[3:0]位进行配置。

求和单元能够生成一个多达 20 位(256*12 位)的值。首先，将这个值要进行右移，将移位后剩余的部分再通过取整转化一个近似值，最后将高位会被截断，仅保留最低 16 位有效位作为最终值传入对应的数据寄存器中。

图 18-11. 20 位到 16 位的结果截断



注意：如果移位后的中间结果还是超过 16 位，那么该结果的高位就会被直接截掉。

*图 18-11. 20 位到 16 位的结果截断*描述一个从原始 20 位的累积数值处理成 16 位结果值的例子。

图 18-12. 右移 5 位和取整的数例

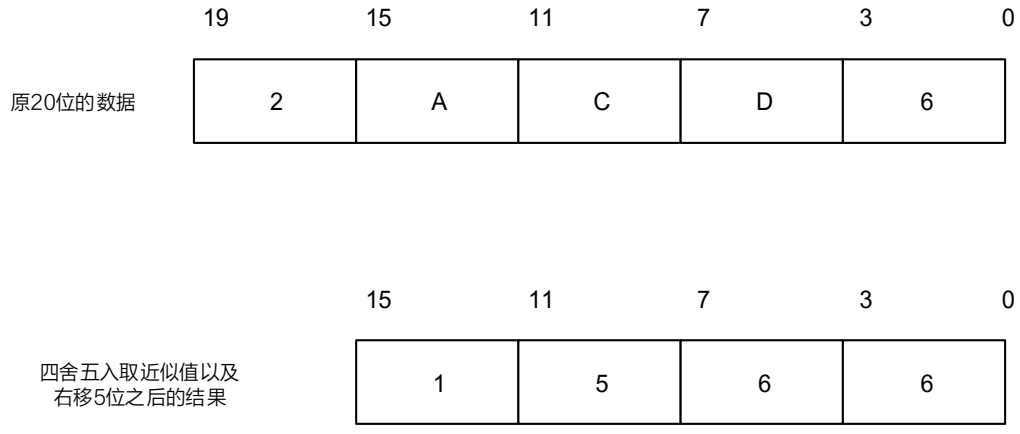


*表 18-6. N 和 M 的最大输出值(灰色部分表示截断)*给出了 N 和 M 各种组合的数据格式，初始转换值为 0xFFF。

表 18-6. N 和 M 的最大输出值(灰色部分表示截断)

Oversampling ratio	Max Raw data	No-shift OVSS=0000	1-bit shift OVSS=0001	2-bit shift OVSS=0010	3-bit shift OVSS=0011	4-bit shift OVSS=0100	5-bit shift OVSS=0101	6-bit shift OVSS=0110	7-bit shift OVSS=0111	8-bit shift OVSS=1000
2x	0x1FFE	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F	0x003F	0x001F
4x	0x3FFC	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F	0x003F
8x	0x7FF8	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F
16x	0xFFF0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF
32x	0x1FFE0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF
64x	0x3FFC0	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF
128x	0x7FF80	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF
256x	0xFFF00	0xFF00	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF

和标准的转换模式相比，过采样模式的转换时间不会改变：在整个过采样序列的过程中采样时间仍然保持相等。每 N 个转换就会产生一个新的数据，一个等价的延迟为：

$$N \times t_{ADC} = N \times (t_{SMPL} + t_{CONV}) \quad (18\text{-}2)$$

18.5. ADC 同步模式

在有多个 ADC 模块的产品中，可以使用 ADC 同步模式。在 ADC 同步模式下，根据 ADC_SYNCCTL 寄存器中 SYNCM[4:0]位所选的模式，转换的启动可以是 ADC0/ADC1/ADC2 的交替触发或同步触发。

在 ADC 同步模式中，当转换配置成外部事件触发时，ADC1 和 ADC2 的外部触发必须失能。常规通道的转换结果存储在 ADC 同步常规数据寄存器(ADC_SYNCDATA)中。

ADC 同步模式如*表 18-7. ADC 同步模式表*所示。

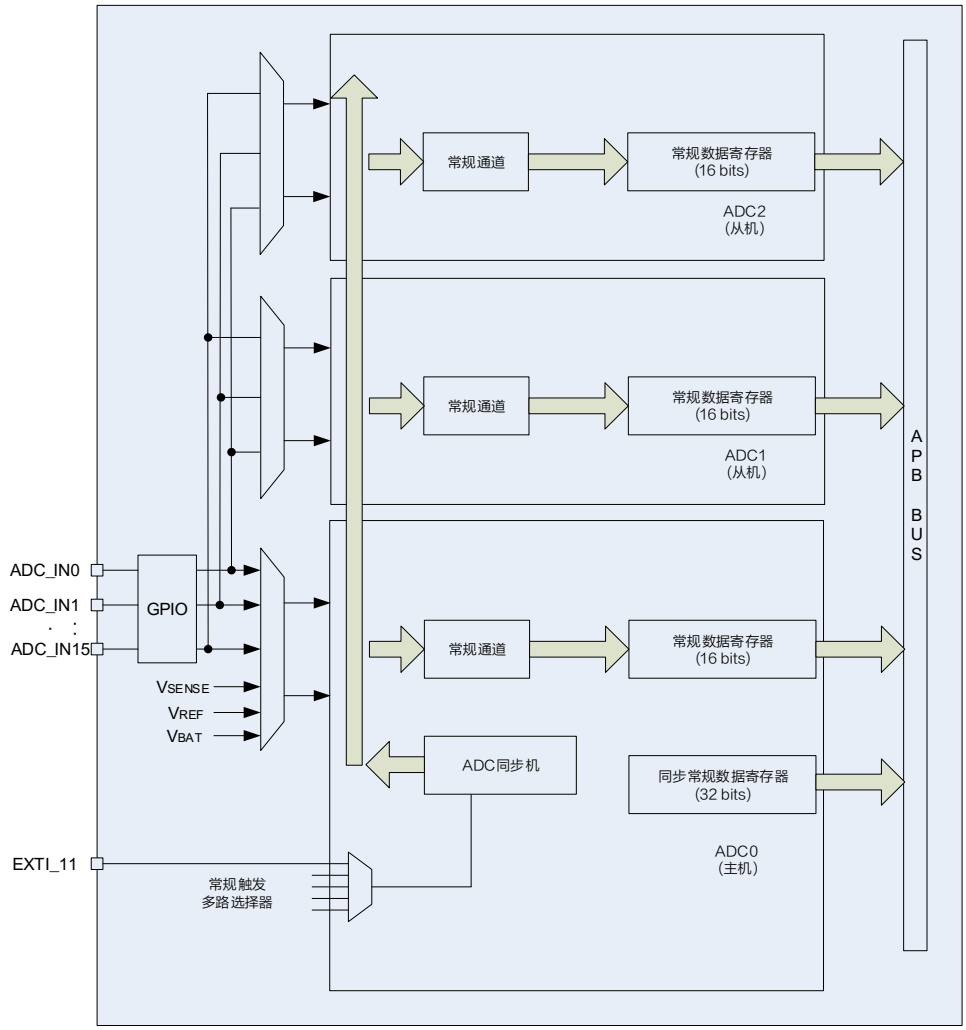
表 18-7. ADC 同步模式表

SYNCM[4: 0]	mode
00000	独立模式
00110	ADC0和ADC1工作在常规并行模式
00111	ADC0和ADC1工作在常规跟随模式
10110	所有ADC工作在常规并行模式
10111	所有ADC工作在常规跟随模式

当 ADC 工作在同步模式，而非独立模式时，如果需要再将 ADC 配置成其他同步模式，则需要在配置成其他同步模式前，首先将 ADC 配置成独立模式。

ADC 同步框图如*图 18-13. ADC 同步框图*所示。

图 18-13. ADC 同步框图



18.5.1. 独立模式

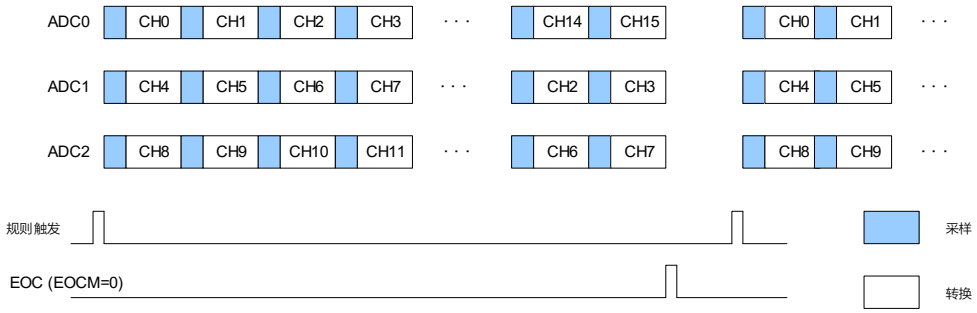
在这种模式下，ADC 同步是忽略的，每个 ADC 都独立工作。

18.5.2. 常规并行模式

设置 ADC_SYNCCTL 寄存器的 SYNCM[4:0]位为 5'b00110 或 5'b 10110，使能常规并行模式。在常规并行模式中，根据 ADC0 中选择的外部触发，所有的 ADC 并行的转换常规序列通道。触发选择由 ADC0 的 ADC_CTL1 寄存器 ETSRC[3:0]位进行配置。

根据 ADC_CTL1 寄存器中的 EOCM 位的设置，在转换结束时产生 EOC 中断(如果 ADC 接口使能了该中断)。常规并模式的行为如*图 18-14. 基于 16 个通道的常规并行模式*所示。

图 18-14. 基于 16 个通道的常规并行模式



注意:

1. 在一个给定的时间，两个ADC不能同时转换同一个通道。(当转换同一通道时，不能覆盖采样时间)
2. 确保在没有任何一个ADC在进行转换的时候才触发ADC。
3. 如果SYNCM=5'b00110，ADC2工作在独立模式。

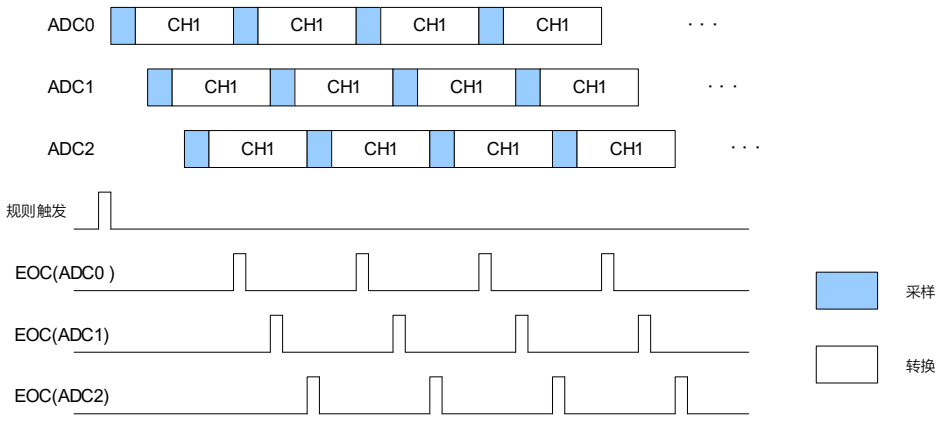
18.5.3. 常规跟随模式

设置 ADC_SYNCCTL 寄存器的 SYNCM[4:0]位为 5'b00111 或 5'b10111，使能常规跟随模式。在常规跟随模式中，根据选择的外部触发，ADC0 开始转换常规序列。外部触发选择由 ADC0 的 ADC_CTL1 寄存器 ETSRC[3:0]位进行配置。经过一定的延迟之后，ADC1 开始转换常规序列，再经过另一个延迟之后，ADC2 开始转换常规序列。以上描述中提到的常规序列只能包含一个常规通道。

在两个连续采样阶段之间的延迟时间，由 ADC_SYNCCTL 寄存器的 SYNCDLY[3:0]位进行配置。如果 SYNCDLY[3:0]位配置的延迟时间比采样时间还短，为了避免在一个给定时间，多个 ADC 对同一个通道进行采样，会将(采样时间 + 2)CK_ADC 周期作为实际的延迟时间。

如果 ADC_CTL1 寄存器的 CNT 位置 1，选择的常规序列会被连续的转换。根据 ADC_CTL1 寄存器的 EOCM 的配置，在转换事件结束时产生 EOC 中断(如果 ADC 使能了该中断)。跟随模式的行为如*图 18-15. 一个采用连续运行模式通道上的跟随模式*所示。

图 18-15. 一个采用连续运行模式通道上的跟随模式



注意:

1. 确保在没有任何一个 ADC 在进行转换的时候才触发 ADC(当有某些转换还没完成时，不触发 ADC0)；
2. 如果 SYNCM=5'b 00111，ADC2 工作在独立模式。

18.5.4. 在 ADC 同步模式中使用 DMA

在 ADC 同步模式中，常规序列通道转换的数据存储在 ADC 同步常规数据寄存器(ADC_SYNCDATA)中，DMA 可以用来传输 ADC_SYNCDATA 寄存器的数据。有以下两种 DMA 工作模式，可以和各种 ADC 同步模式很好地配合使用。

ADC 同步 DMA 模式 0

在 ADC 同步 DMA 模式 0 中，DMA 传输的位宽为 16。一次 DMA 请求传输一个数据，这个数据轮流的从各 ADC 的常规转换结果中取出。对于每次 DMA 请求，DMA 通道的源地址固定为 ADC_SYNCDATA 寄存器，而这个寄存器的内容会变成 DMA 要被传输的数值。当 ADC0 和 ADC1 工作在同步模式时，DMA 的传输序列为：ADC0_RDATA[15:0] -> ADC1_RDATA[15:0] -> ADC0_RDATA[15:0] -> ADC1_RDATA[15:0]。当所有的 ADC 都工作在同步模式时，DMA 的传输序列为：ADC0_RDATA[15:0] -> ADC1_RDATA[15:0] -> ADC2_RDATA[15:0] -> ADC0_RDATA[15:0] -> ADC1_RDATA[15:0] -> ADC2_RDATA[15:0]。

ADC 同步 DMA 模式 0 适用于：

- ADC0 和 ADC1 工作在常规并行模式(SYNCM=5'b00110)；
- 所有的 ADC 工作在常规并行模式(SYNCM=5'b10110)。

ADC 同步 DMA 模式 1

在 ADC 同步 DMA 模式 1 中，DMA 传输的位宽为 32。一次 DMA 请求传输两个数据，这些数据轮流的从各 ADC 的常规转换结果中取出。对于每次 DMA 请求，DMA 通道的源地址固定为 ADC_SYNCDATA 寄存器，而这个寄存器的内容会变成 DMA 要被传输的数值。当 ADC0 和 ADC1 工作在同步模式时，DMA 的数据每次都为：{ADC1_RDATA[15:0], ADC0_RDATA[15:0]}。当所有的 ADC 都工作在同步模式时，DMA 的传输序列为：{ADC1_RDATA[15:0],ADC0_RDATA[15:0]} -> {ADC0_RDATA[15:0],ADC2_RDATA[15:0]} -> {ADC2_RDATA[15:0],ADC1_RDATA[15:0]} -> {ADC1_RDATA[15:0],ADC0_RDATA[15:0]}。

ADC 同步 DMA 模式 1 适用于：

- ADC0 和 ADC1 工作在常规并行模式(SYNCM=5'b 00110)；
- ADC0 和 ADC1 工作在常规跟随模式(SYNCM=5'b 00111)；
- 所有的 ADC 工作在常规跟随模式(SYNCM=5'b 10111)。

18.6. 中断

以下任一个事件发生都可以产生中断：

- 常规通道或序列转换结束；
- 模拟看门狗事件；

- 溢出事件。

ADC0、ADC1和ADC2都被映射到同一个中断向量ISR[18]。

18.7. ADC 寄存器

ADC0 基地址： 0x4001 2000

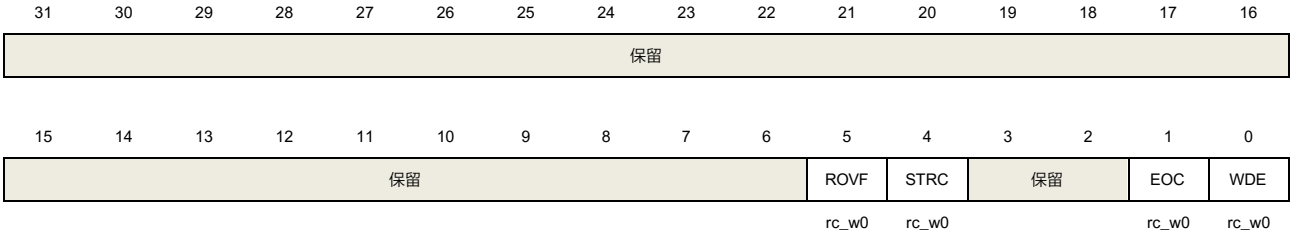
ADC1 基地址:: 0x4001 2100

ADC2 基地址:: 0x4001 2200

18.7.1. 状态寄存器 (ADC_STAT)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	说明
31:6	保留	必须保持复位值。
5	ROVF	常规数据寄存器溢出 0：常规数据寄存器没有溢出 1：常规数据寄存器溢出 在单次或多次模式中，当常规数据寄存器溢出时，该位由硬件置位。只有在 DMA 使能或者转换结束模式被置 1(EOCM=1)时，这个标志位才会置位。如果出现 ROVF 置位，则最后的常规数据会被丢失。 软件写'0"清除。
4	STRC	常规序列转换开始标志 0：转换没有开始 1：转换开始 常规序列转换开始时硬件置位，软件写0清除。
3:2	保留	必须保持复位值。
1	EOC	常规序列转换结束标志 0：常规序列转换没有结束 1：常规序列转换结束 常规序列转换结束时硬件置位，软件写 0 或读 ADC_RDATA 寄存器清除。
0	WDE	模拟看门狗事件标志 0：没有模拟看门狗事件 1：产生模拟看门狗事件

转换电压超过 ADC_WDLT 和 ADC_WDHT 寄存器设定的阈值时由硬件置 1，软件写 0 清除。

18.7.2. 控制寄存器 0 (ADC_CTL0)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					ROVFIE	DRES[1:0]		RWDEN	保留						
					rw	rw		rw							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISNUM[2:0]			保留	DISRC	保留	WDSC	SM	保留	WDEIE	EOCIE	WDCHSEL[4:0]				
rw				rw		rw	rw		rw	rw	rw				

位/位域	名称	说明
31:27	保留	必须保持复位值。
26	ROVFIE	ROVF 中断使能 0: ROVF 中断失能 1: ROVF 中断使能
25:24	DRES[1:0]	ADC 数据分辨率 00: 12 位 01: 10 位 10: 8 位 11: 6 位
23	RWDEN	常规序列看门狗使能 0：常规序列看门狗禁止 1：常规序列看门狗使能
22:16	保留	必须保持复位值。
15:13	DISNUM[2:0]	间断模式下的转换数目 触发后即将被转换的通道数目将变成 DISNUM[2:0]+1
12	保留	必须保持复位值。
11	DISRC	常规序列间断模式 0：间断运行模式禁止 1：间断运行模式使能
10	保留	必须保持复位值。
9	WDSC	扫描模式下，模拟看门狗在单通道有效 0：模拟看门狗在所有通道有效

		1：模拟看门狗在单通道有效
8	SM	扫描模式 0：扫描运行模式禁止 1：扫描运行模式使能
7	保留	必须保持复位值。
6	WDEIE	WDE 中断使能 0：中断禁止 1：中断使能
5	EOCIE	EOC 中断使能 0：中断禁止 1：中断使能
4:0	WDCHSEL[4:0]	模拟看门狗通道选择 00000: ADC 通道 0 00001: ADC 通道 1 00010: ADC 通道 2 00011: ADC 通道 3 00100: ADC 通道 4 00101: ADC 通道 5 00110: ADC 通道 6 00111: ADC 通道 7 01000: ADC 通道 8 01001: ADC 通道 9 01010: ADC 通道 10 01011: ADC 通道 11 01100: ADC 通道 12 01101: ADC 通道 13 01110: ADC 通道 14 01111: ADC 通道 15 10000: ADC 通道 16 10001: ADC 通道 17 10010: ADC 通道 18 其他值保留。 **注意：** ADC0 的模拟输入通道 16，通道 17 和通道 18 分别连接到温度传感器，V_{REFINT} 和 V_{BAT} 模拟输入。 ADC1 的模拟输入通道 16，通道 17 和通道 18 内部都连接到 V_{SSA}。 ADC2 的模拟输入通道 16，通道 17 和通道 18 内部都连接到 V_{SSA}。

18.7.3. 控制寄存器 1 (ADC_CTL1)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	SWRCST	ETMRC[1:0]		ETSRC[3:0]				保留							
	rw	rw		rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				DAL	EOCM	DDM	DMA	保留				RSTCLB	CLB	CTN	ADCON
				rw	rw	rw	rw					rw	rw	rw	rw

位/位域	名称	说明
31	保留	必须保持复位值。
30	SWRCST	常规序列软件启动转换 该位置 1 开启常规序列转换。软件置位，软件清零，或转换开始后，立刻由硬件清零。
29:28	ETMRC[1:0]	常规序列外部触发模式 00：常规序列外部触发失能 01：常规序列外部触发上升沿使能 01：常规序列外部触发下降沿使能 11：常规序列外部触发双边沿使能
27:24	ETSRC[3:0]	常规序列的外部触发选择 0000： 定时器 0 通道 0 0001： 定时器 0 通道 1 0010： 定时器 0 通道 2 0011： 定时器 1 通道 1 0100： 定时器 1 通道 2 0101： 定时器 1 通道 3 0110： 定时器 1TRGO 0111： 定时器 2 通道 0 1000： 定时器 2 TRGO 1001： 定时器 3 通道 3 1010： 定时器 4 通道 0 1011： 定时器 4 通道 1 1100： 定时器 4 通道 2 1101： 定时器 7 通道 0 1110： 定时器 7 TRGO 1111： EXTI 外部中断线 11
23:12	保留	必须保持复位值。
11	DAL	数据对齐 0：最低有效位对齐 1：最高有效位对齐
10	EOCM	转换结束模式 0：只有在常规转换序列转换结束时，才将 EOC 置 1。如果不设置 DMA=1，则溢出检测失能。

		1：在每个常规转换结束时，将 EOC 置 1。溢出检测自动使能。
9	DDM	DMA 失能模式 该位用于在单次 ADC 模式下配置 DMA 失能。 0：DMA 机制在 DMA 控制器的传输结束信号之后失能。 1：当 DMA=1，在每个常规转换结束时 DMA 机制产生一个 DMA 请求。
8	DMA	DMA 请求使能 0：DMA 请求禁止 1：DMA 请求使能
7:4	保留	必须保持复位值。
3	RSTCLB	校准复位 在校准寄存器初始化后该位可以软件置位和硬件清零。 0：校准寄存器初始化结束. 1：校准寄存器初始化开始
2	CLB	ADC 校准 0：校准结束 1：校准开始
1	CTN	连续模式 0：禁止连续运行模式 1：使能连续运行模式
0	ADCON	开启 ADC。该位从 0 变成 1 将唤醒 ADC。为了省电，当该位为 0 时，模拟子模块将会进入掉电模式。 0：失能 ADC，并进入掉电模式 1：使能 ADC

18.7.4. 采样时间寄存器 0 (ADC_SAMPT0)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					SPT18[2:0]			SPT17[2:0]			SPT16[2:0]			SPT15[2:1]	
					rw			rw			rw			rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPT15[0]	SPT14[2:0]			SPT13[2:0]			SPT12[2:0]			SPT11[2:0]			SPT10[2:0]		
rw	rw			rw			rw			rw			rw		

位/位域	名称	说明
31:27	保留	必须保持复位值。
26:24	SPT18[2:0]	参考 SPT10[2:0]的描述

23:21	SPT17[2:0]	参考 SPT10[2:0]的描述
20:18	SPT16[2:0]	参考 SPT10[2:0]的描述
17:15	SPT15[2:0]	参考 SPT10[2:0]的描述
14:12	SPT14[2:0]	参考 SPT10[2:0]的描述
11:9	SPT13[2:0]	参考 SPT10[2:0]的描述
8:6	SPT12[2:0]	参考 SPT10[2:0]的描述
5:3	SPT11[2:0]	参考 SPT10[2:0]的描述
2:0	SPT10[2:0]	通道采样时间 000:通道采样时间为 3 个周期 001:通道采样时间为 15 个周期 010:通道采样时间为 28 个周期 011:通道采样时间为 56 个周期 100:通道采样时间为 84 个周期 101:通道采样时间为 112 个周期 110:通道采样时间为 144 个周期 111:通道采样时间为 480 个周期

18.7.5. 采样时间寄存器 1 (ADC_SAMPT1)

地址偏移：0x10

复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		SPT9[2:0]			SPT8[2:0]			SPT7[2:0]			SPT6[2:0]			SPT5[2:1]	
		rw			rw			rw			rw			rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPT5[0]		SPT4[2:0]			SPT3[2:0]			SPT2[2:0]			SPT1[2:0]			SPT0[2:0]	
rw		rw			rw			rw			rw			rw	

位/位域	名称	说明
31:30	保留	必须保持复位值。
29:27	SPT9[2:0]	参考 SPT0[2:0]的描述
26:24	SPT8[2:0]	参考 SPT0[2:0]的描述
23:21	SPT7[2:0]	参考 SPT0[2:0]的描述
20:18	SPT6[2:0]	参考 SPT0[2:0]的描述
17:15	SPT5[2:0]	参考 SPT0[2:0]的描述

14:12	SPT4[2:0]	参考 SPT0[2:0]的描述
11:9	SPT3[2:0]	参考 SPT0[2:0]的描述
8:6	SPT2[2:0]	参考 SPT0[2:0]的描述
5:3	SPT2[2:0]	参考 SPT0[2:0]的描述
2:0	SPT0[2:0]	通道采样时间 000:通道采样时间为 3 个周期 001:通道采样时间为 15 个周期 010:通道采样时间为 28 个周期 011:通道采样时间为 56 个周期 100:通道采样时间为 84 个周期 101:通道采样时间为 112 个周期 110:通道采样时间为 144 个周期 111:通道采样时间为 480 个周期

18.7.6. 看门狗高阈值寄存器 (ADC_WDHT)

地址偏移：0x24
复位值：0x0000 0FFF

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				WDHT[11:0]											
				rw											

位/位域	名称	说明
31:12	保留	必须保持复位值。
11:0	WDHT[11:0]	模拟看门狗高侧阈值 这些位定义了模拟看门狗的高侧阈值。

18.7.7. 看门狗低阈值寄存器 (ADC_WDLT)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

保留	WDLT[11:0]
	rw

位/位域	名称	说明
31:12	保留	必须保持复位值。
11:0	WDLT[11:0]	模拟看门狗低侧阈值 这些位定义了模拟看门狗的低侧阈值。

18.7.8. 常规序列寄存器 0 (ADC_RSQ0)

地址偏移：0x2C
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								RL[3:0]				RSQ15[4:1]			
								rw				rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSQ15[0]	RSQ14[4:0]					RSQ13[4:0]					RSQ12[4:0]				
rw	rw					rw					rw				

位/位域	名称	说明
31:24	保留	必须保持复位值。
23:20	RL[3:0]	常规序列长度 常规序列中的总的通道数目为 RL[3:0]+1。
19:15	RSQ15[4:0]	参考 RSQ0[4:0]的描述
14:10	RSQ14[4:0]	参考 RSQ0[4:0]的描述
9:5	RSQ13[4:0]	参考 RSQ0[4:0]的描述
4:0	RSQ12[4:0]	参考 RSQ0[4:0]的描述

18.7.9. 常规序列寄存器 1 (ADC_RSQ1)

地址偏移：0x30
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		RSQ11[4:0]						RSQ10[4:0]				RSQ9[4:1]			
		rw						rw				rw			

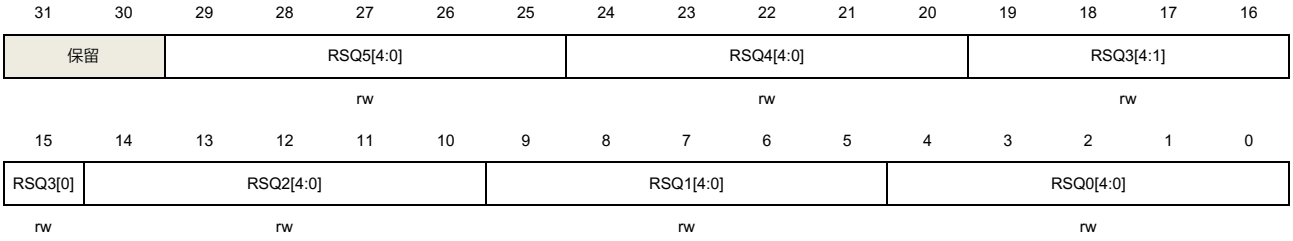
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSQ9[0]	RSQ8[4:0]					RSQ7[4:0]					RSQ6[4:0]				
rw	rw					rw					rw				

位/位域	名称	说明
31:30	保留	必须保持复位值。
29:25	RSQ11[4:0]	参考 RSQ0[4:0]的描述
24:20	RSQ10[4:0]	参考 RSQ0[4:0]的描述
19:15	RSQ9[4:0]	参考 RSQ0[4:0]的描述
14:10	RSQ8[4:0]	参考 RSQ0[4:0]的描述
9:5	RSQ7[4:0]	参考 RSQ0[4:0]的描述
4:0	RSQ6[4:0]	参考 RSQ0[4:0]的描述

18.7.10. 常规序列寄存器 2 (ADC_RSQ2)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	说明
31:30	保留	必须保持复位值。
29:25	RSQ5[4:0]	参考 RSQ0[4:0]的描述
24:20	RSQ4[4:0]	参考 RSQ0[4:0]的描述
19:15	RSQ3[4:0]	参考 RSQ0[4:0]的描述
14:10	RSQ2[4:0]	参考 RSQ0[4:0]的描述
9:5	RSQ1[4:0]	参考 RSQ0[4:0]的描述
4:0	RSQ0[4:0]	通道编号(0..18)写入这些位来选择常规通道的第 n 个转换的通道

18.7.11. 常规数据寄存器 (ADC_RDATA)

地址偏移：0x4C
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDATA[15:0]															
r															

位/位域	名称	说明
31:16	保留	必须保持复位值。
15:0	RDATA[15:0]	常规通道数据 这些位包含了常规通道的转换结果，只读。

18.7.12. 过采样控制寄存器（ADC_OVSAMPCTL）

地址偏移：0x80
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						TOVS	OVSS[3:0]				OVSR[2:0]			保留	OVSEN
						rw	rw				rw				rw

位/位域	名称	说明
31:10	保留	必须保持复位值。
9	TOVS	过采样触发 该位通过软件置位和清除。 0：在一次触发后连续执行过采样通道的所有转换 1：对于过采样通道的每次转换都需要一次触发，触发次数由过采样率(OVSR[2:0])决定。 注意：只有在 ADCON=0 的时候才允许通过软件对该位进行写(确保没有转换正在执行)。
8:5	OVSS[3:0]	过采样移位 该位通过软件置位和清除。 0000：不移位 0001：移 1 位 0010：移 2 位 0011：移 3 位 0100：移 4 位 0101：移 5 位 0110：移 6 位

0111：移 7 位
1000：移 8 位
其余值都保留
注意： 只有在 ADCON=0 的时候才允许通过软件对该位进行写(确保没有转换正在执行)。

4:2	OVSR[2:0]	过采样率 这些位定义了过采样率的大小。 000：2x 001：4x 010：8x 011：16x 100：32x 101：64x 110：128x 111：256x 注意：只有在 ADCON=0 的时候才允许通过软件对该位进行写(确保没有转换正在执行)。
1	保留	必须保持复位值.
0	OVSEN	过采样使能 该位通过软件置位和清除。 0：过采样失能 1：过采样使能 注意：只有在 ADCON=0 的时候才允许通过软件对该位进行写(确保没有转换正在执行)。

18.7.13. 摘要状态寄存器 (ADC_SSTAT)

地址偏移：0x300
复位值：0x0000 0000

该寄存器只能按字(32位)访问

该寄存器是只读的，提供了3个ADC状态的摘要。这个寄存器在ADC1和ADC2中不可用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										ROVF2	STRC2	保留		EOC2	WDE2
										r	r			r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		ROVF1	STRC1	保留		EOC1	WDE1	保留		ROVF0	STRC0	保留		EOC0	WDE0
		r	r			r	r			r	r			r	r

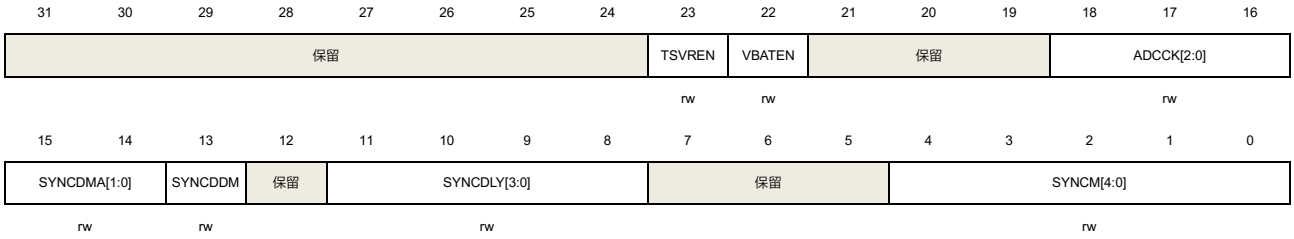
位/位域	名称	说明
31:22	保留	必须保持复位值。

21	ROVF2	该位是 ADC2 的 ROVF 的镜像
20	STRC2	该位是 ADC2 的 STRC 的镜像
19:18	保留	必须保持复位值。
17	EOC2	该位是 ADC2 的 EOC 的镜像
16	WDE2	该位是 ADC2 的 WDE 的镜像
15:14	保留	必须保持复位值。
13	ROVF1	该位是 ADC1 的 ROVF 的镜像
12	STRC1	该位是 ADC1 的 STRC 的镜像
11:10	保留	必须保持复位值。
9	EOC1	该位是 ADC1 的 EOC 的镜像
8	WDE1	该位是 ADC1 的 WDE 的镜像
7:6	保留	必须保持复位值。
5	ROVF0	该位是 ADC0 的 ROVF 的镜像
4	STRC0	该位是 ADC0 的 STRC 的镜像
3:2	保留	必须保持复位值。
1	EOC0	该位是 ADC0 的 EOC 的镜像
0	WDE0	该位是 ADC0 的 WDE 的镜像

18.7.14. 同步控制寄存器 (ADC_SYNCCTL)

地址偏移：0x304
复位值：0x0000 0000

该寄存器只能按字(32位)访问
这个寄存器在ADC1和ADC2中不可用



位/位域	名称	说明
31:24	保留	必须保持复位值。
23	TSVREN	使能 ADC0 的通道 16 (温度传感器) 和 通道 17 (内部参考电压)。 0：ADC0 的通道 16 和通道 17 失能

		1：ADC0 的通道 16 和通道 17 使能
22	VBATEN	使能 ADC0 的通道 18 (外部电池电压的 1/4) 0：ADC0 的通道 18 失能 1：ADC0 的通道 18 使能
21:19	保留	必须保持复位值.
18:16	ADCCK[2:0]	ADC 时钟 这些位配置所有 ADC 的时钟 000：PCLK2 2 分频 001：PCLK2 4 分频 010：PCLK2 6 分频 011：PCLK2 8 分频 100：HCLK 5 分频 101：HCLK 6 分频 110：HCLK 10 分频 111：HCLK 20 分频
15:14	SYNCDMA[1:0]	ADC 同步 DMA 模式选择 00：ADC 同步 DMA 失能: 01：ADC 同步 DMA 模式 0 10：ADC 同步 DMA 模式 1 11：保留
13	SYNCDDM	ADC 同步 DMA 使能模式 该位配置 ADC 同步模式时 DMA 失能模式 0：当检测到来自 DMA 控制器的传输结束信号后，DMA 机制失能 1：当 SYNCDMA 不为 00 时，根据 SYNCDMA 位来产生 DMA 请求。
12	保留	必须保持复位值。
11:8	SYNCDLY[3:0]	ADC 同步延迟 在 ADC 同步模式中，这些位用于配置两个采样阶段之间的延迟为 (5+SYNCDLY)ADC 时钟周期。
7:5	保留	必须保持复位值。
4:0	SYNCM[4:0]	ADC 同步模式 当 ADC 同步模式已经使能，如果要将同步模式修改为其他值，必须先将这些位设置为 00000 00000：ADC 同步模式失能。所有的 ADC 都独立工作。 00110：ADC0 和 ADC1 工作在常规并行模式。ADC2 独立工作。 00111：ADC0 和 ADC1 工作在常规跟随模式。ADC2 独立工作。 10110：所有的 ADC 都工作在常规并行模式。 10111：所有的 ADC 都工作在常规跟随模式。 其他值保留。

18.7.15. 同步常规数据寄存器 (ADC_SYNCDATA)

地址偏移：0x308
复位值：0x0000 0000

该寄存器只能按字(32位)访问

这个寄存器在ADC1和ADC2中不可用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SYNCDATA1[15:0]															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYNCDATA0[15:0]															
r															

位/位域	Fields	说明
31:16	SYNCDATA1[15:0]	ADC 同步模式中，常规数据 2
15:0	SYNCDATA0[15:0]	ADC 同步模式中，常规数据 1

19. 数模转换器(DAC)

19.1. 简介

数字/模拟转换器可以将 12 位的数字数据转换为外部引脚上的电压输出。数据可以采用 8 位或 12 位模式，左对齐或右对齐模式。当使能了外部触发，DMA 可被用于更新输入端数字数据。

在输出电压时，可以利用 DAC 输出缓冲区来获得更高的驱动能力。

每个 DAC 的两个通道可以独立或并发工作。

19.2. 主要特征

DAC 的主要特征如下：

- 8 位或 12 位分辨率；
- 数据左对齐或右对齐；
- DMA 功能与欠载检测；
- 同步更新转换；
- 外部事件触发转换；
- 可配置的内部缓冲区；
- 输入参考电压 V_{REFP}；
- 噪声波生成(LSFR 噪声模式和三角噪声模式)；
- DACx 双通道并发模式。

*图 19-1. DAC 结构框图*为 DAC 的结构框图，*表 19-1. DAC 引脚*给出了引脚描述。

图 19-1. DAC 结构框图

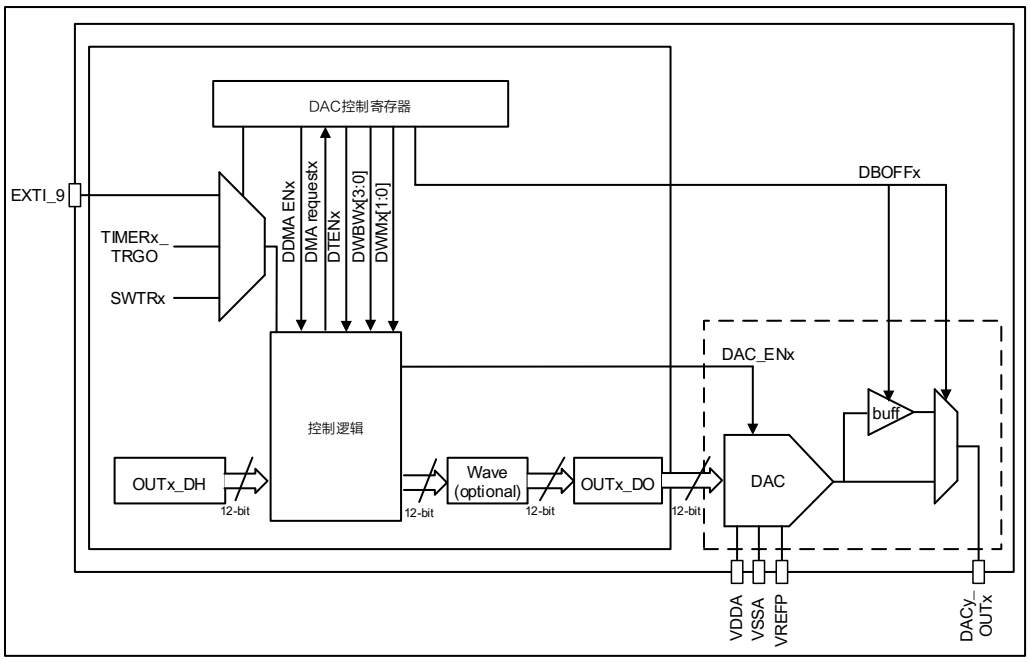


表 19-1. DAC 引脚

名称	描述	信号类型
V_{DDA}	模拟电源	输入，模拟电源
V_{SSA}	模拟电源地	输入，模拟电源地
V_{REFP}	DAC 正参考电压	输入，模拟正参考电压
DACy_OUTx	DAC 模拟输出	模拟输出信号

下表详细列出了 DAC 的触发与输出信号。

表 19-2. DAC 触发与输出

	DAC0	
通道	通道 0	通道 1
DAC 输出 I/O	PA4	PA5
DAC 输出 BUFFER 功能	●	●
软件触发功能	●	
EXTI 触发信号	EXTI_9	
TIMER 触发信号	TIMER1_TRGO TIMER3_TRGO TIMER4_TRGO TIMER5_TRGO TIMER6_TRGO TIMER7_TRGO	

注意：在使能 DAC 模块前，GPIO 口(DAC 输出 I/O)应配置为模拟模式。

19.3. 功能描述

19.3.1. DAC 使能

将 DAC_CTL0 寄存器中的 DENx 位置 1，可以给 DAC 模块上电，DAC 子模块完全启动需要等待 t_{WAKEUP} 时间。

19.3.2. DAC 输出缓冲

为了降低输出阻抗，并在没有外部运算放大器的情况下驱动外部负载，每个 DAC 模块内部各集成了一个输出缓冲区。

缺省情况下，输出缓冲区是开启的，可以通过设置 DAC_CTL0 寄存器的 DBOFFx 位来开启或关闭缓冲区。

19.3.3. DAC 数据配置

对于 12 位的 DAC 保持数据(OUTx_DH)，可以通过对 DAC_OUTx_R12DH 、

DAC_OUTx_L12DH 和 DAC_OUTx_R8DH 中的任意一个寄存器写入数据来配置。当数据被加载到 DAC_OUTx_R8DH 寄存器时，只有 8 位最高有效位是可配置，4 位最低有效位被强制置为 4'b0000。

19.3.4. DAC 触发

DAC 可以通过软件或者外部信号的上升沿触发。外部触发可以通过设置 DAC_CTL0 寄存器中 DTENx 位来使能。触发源可以通过 DAC_CTL0 寄存器中 DTSELx 位来进行选择，如*表 19-3. DAC 外部触发*所示。

表 19-3. DAC 外部触发

DTSELx[2:0]	触发源	触发类型
3b'000	TIMER5_TRGO	硬件触发
3b'001	TIMER7_TRGO	
3b'010	TIMER6_TRGO	
3b'011	TIMER4_TRGO	
3b'100	TIMER1_TRGO	
3b'101	TIMER3_TRGO	
3b'110	EXTI_9	
3b'111	SWTR	软件触发

TIMERx_TRGO 信号是由定时器生成的，而软件触发是通过设置 DAC_SWT 寄存器的 SWTRx 位生成的。

19.3.5. DAC 转换

如果使能了外部触发(通过设置 DAC_CTL0 寄存器的 DTENx 位)，当已经选择的触发事件发生，DAC 保持数据(OUTx_DH)会被转移到 DAC 数据输出寄存器(DAC_OUTx_DO)。而在外部触发未使能的情况下，DAC 保持数据(OUTx_DH)会被自动转移到 DAC 数据输出寄存器(DAC_OUTx_DO)。

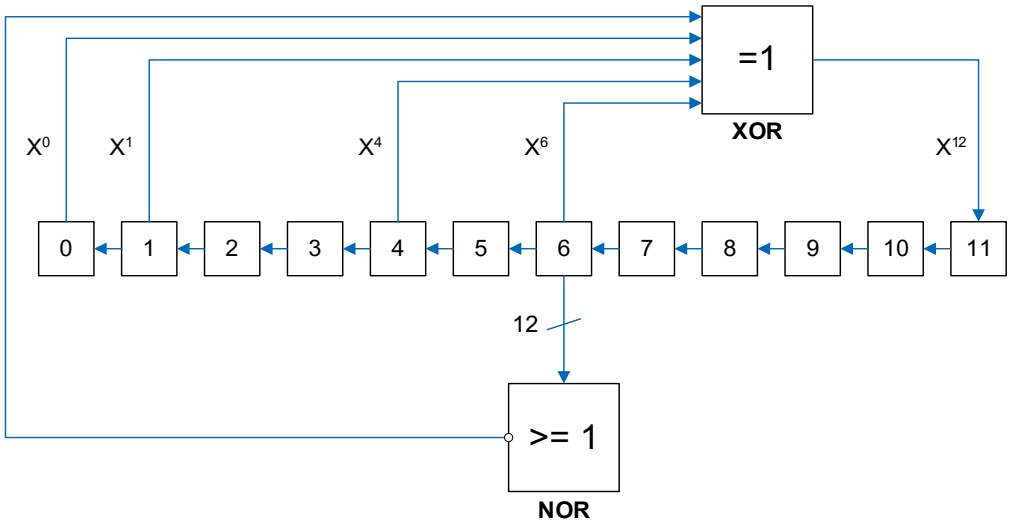
当 DAC 保持数据(OUTx_DH)加载到 DAC_OUTx_DO 寄存器时，经过 $t_{SETTLING}$ 时间之后，模拟输出变得有效，$t_{SETTLING}$ 的值与电源电压和模拟输出负载有关。

19.3.6. DAC 噪声波

有两种方式可以将噪声波加载到 DAC 输出数据：LFSR 噪声波和三角波。噪声波模式可以通过 DAC_CTL0 寄存器的 DWMx 位来进行选择。噪声的幅值可以通过配置 DAC_CTL0 寄存器的 DAC 噪声波位宽(DWBWx)位来进行设置。

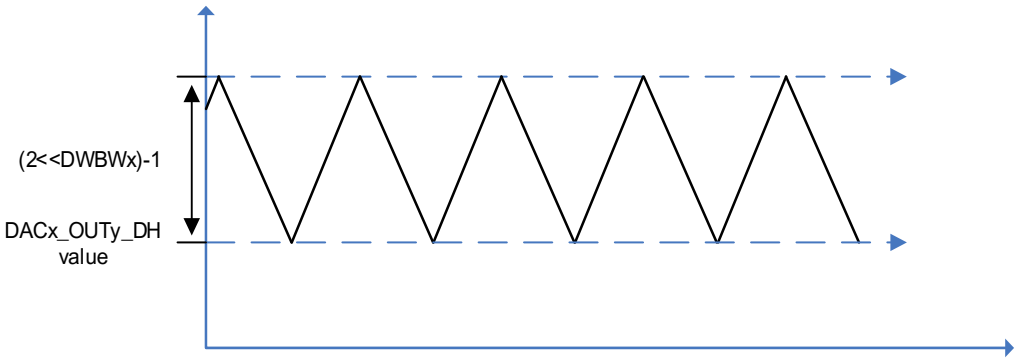
LFSR 噪声模式：在 DAC 控制逻辑中有一个线性反馈移位寄存器(LFSR)。在此模式下，LFSR 的值与 OUTx_DH 值相加后，被写入到 DAC 数据输出寄存器(DAC_OUTx_DO)。当配置的 DAC 噪声波位宽小于 12 时，LFSR 的值等于 LFSR 寄存器最低的 DWBWx 位，高位被屏蔽。

图 19-2. DAC LFSR 算法



三角噪声模式：三角波幅值与 OUTx_DH 值相加后，被写入到 DAC 数据输出寄存器(DAC_OUTx_DO)。三角波幅值的最小值为 0，最大值为(2 << DWBWx) - 1。

图 19-3. DAC 三角噪声模式生成的波形



19.3.7. DAC 输出电压

DAC 引脚上的模拟输出电压取决于下面的等式：

$$V_{DAC_OUT}=V_{REFP}*OUTx_DO/4096 \quad (19\text{-}1)$$

数字输入被线性地转换成模拟输出电压，输出范围为 0 到 V_{REFP}。

19.3.8. DMA 请求

在外部触发使能的情况下，通过设置 DAC_CTL0 寄存器的 DDMAENx 位来使能 DMA 请求。当有外部硬件触发的时候(不是软件触发)，则产生一个 DMA 请求。

如果在前一个请求响应之前第二个外部触发到达，则不响应新到的触发请求，并且发生欠载错误事件。DAC_STAT0 寄存器中的 DDUDRx 位置 1，如果 DAC_CTL0 寄存器中的 DDUDRIEx

位置 1，则会产生中断。

19.3.9. DAC 并发转换

当 DAC 的两个通道同时工作时，为了在特定应用中最大限度利用总线带宽，DAC 的两个通道可以被配置为并发模式。在并发模式中，DAC 的 OUTx_DH 和 OUTx_DO 值将同时被更新。

有 3 个并发寄存器可用于加载 OUTx_DH 的值，分别是：DACC_R8DH、DACC_R12DH 和 DACC_L12DH 寄存器，配置其中的任意一个寄存器都可实现同时驱动 DAC 的两个通道。

当使能了外部触发时，DAC 两个通道的 DTENx 位都需要置 1，需要配置 DTSEL0/1 相同来保证同时触发。

当使能了 DMA 功能时，DAC 任一通道的 DDMAENx 位置 1 即可。

噪声模式和噪声位宽可以根据使用情况配置为相同或不同。

19.4. DAC 寄存器

DAC0 基地址：0x4000 7400

19.4.1. DACx 控制寄存器(DAC_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		DDUDRIE1	DDMAEN1	DWBW1[3:0]				DWM1[1:0]		DTSEL1[2:0]			DTEN1	DBOFF1	DEN1
		rw	rw	rw				rw		rw			rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		DDUDRIE0	DDMAEN0	DWBW0[3:0]				DWM0[1:0]		DTSEL0[2:0]			DTEN0	DBOFF0	DEN0
		rw	rw	rw				rw		rw			rw	rw	rw

位/位域	名称	描述
31:30	保留	必须保持复位值
29	DDUDRIE1	DACx_OUT1 DMA 欠载中断使能 0: DACx_OUT1 DMA 欠载中断禁能 1: DACx_OUT1 DMA 欠载中断使能
28	DDMAEN1	DACx_OUT1 DMA 使能 0：DACx_OUT1 DMA 模式禁能 1：DACx_OUT1 DMA模式使能
27:24	DWBW1[3:0]	DACx_OUT1 噪声波位宽 这些位指定了 DACx_OUT1 的噪声波信号的位宽。LFSR 噪声模式下，这些位表示不屏蔽 LFSR 的位[n-1, 0]；三角噪声模式下，这些位表示三角波幅值为(2<<(n-1))-1。其中，n 为噪声波位宽。 0000：波形信号的位宽为 1 0001：波形信号的位宽为 2 0010：波形信号的位宽为 3 0011：波形信号的位宽为 4 0100：波形信号的位宽为 5 0101：波形信号的位宽为 6 0110：波形信号的位宽为 7 0111：波形信号的位宽为 8 1000：波形信号的位宽为 9 1001：波形信号的位宽为 10 1010：波形信号的位宽为 11

		>=1011：波形信号的位宽为12
23:22	DWM1[1:0]	DACx_OUT1 噪声波模式 这些位指定了在 DACx_OUT1 外部触发使能(DTEN1=1)的情况下，DACx_OUT1 的噪声波模式的选择。 00：波形生成禁能 01：LFSR 噪声模式 1x：三角噪声模式
21:19	DTSEL1[2:0]	DACx_OUT1 触发选择 这些位仅在 DTEN=1 并选择用于触发 DAC 的外部事件时使用。 000：TIMER5 TRGO 001：TIMER7 TRGO 010：TIMER6 TRGO 011：TIMER4 TRGO 100：TIMER1 TRGO 101：TIMER3 TRGO 110：外部中断线9 111：软件触发
18	DTEN1	DACx_OUT1 触发使能 0：DACx_OUT1 触发禁能 1：DACx_OUT1触发使能
17	DBOFF1	DACx_OUT1输出缓冲区关闭 0：DACx_OUT1输出缓冲区打开，以降低输出阻抗，提高驱动能力 1：DACx_OUT1输出缓冲区关闭
16	DEN1	DACx_OUT1 使能 0：DACx_OUT1 禁能 1：DACx_OUT1使能
15:14	保留	必须保持复位值
13	DDUDRIE0	DACx_OUT0 DMA 欠载中断使能 0: DACx_OUT0 DMA 欠载中断禁能 1: DACx_OUT0 DMA 欠载中断使能
12	DDMAEN0	DACx_OUT0 DMA 使能 0：DACx_OUT0 DMA 模式禁能 1：DACx_OUT0 DMA模式使能
11:8	DWBW0[3:0]	DACx_OUT0 噪声波位宽 这些位指定了 DACx_OUT0 的噪声波信号的位宽。LFSR 噪声模式下，这些位表示不屏蔽 LFSR 的位[n-1, 0]；三角噪声模式下，这些位表示三角波幅值为(2<<(n-1))-1。其中，n 为噪声波位宽。 0000：波形信号的位宽为 1 0001：波形信号的位宽为 2 0010：波形信号的位宽为 3

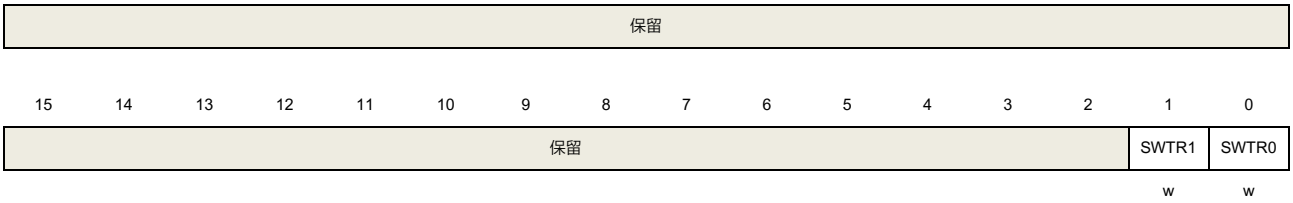
		0011：波形信号的位宽为 4 0100：波形信号的位宽为 5 0101：波形信号的位宽为 6 0110：波形信号的位宽为 7 0111：波形信号的位宽为 8 1000：波形信号的位宽为 9 1001：波形信号的位宽为 10 1010：波形信号的位宽为 11 >=1011：波形信号的位宽为12
7:6	DWM0[1:0]	DACx_OUT0 噪声波模式 这些位指定了在 DACx_OUT0 外部触发使能(DTEN0=1)的情况下，DACx_OUT0 的噪声波模式的选择。 00：波形生成禁能 01：LFSR 噪声模式 1x：三角噪声模式
5:3	DTSEL0[2:0]	DACx_OUT0 触发选择 这些位仅在 DTEN=1 并选择用于触发 DAC 的外部事件时使用。 000：TIMER5 TRGO 001：TIMER7 TRGO 010：TIMER6 TRGO 011：TIMER4 TRGO 100：TIMER1 TRGO 101：TIMER3 TRGO 110：外部中断线9 111：软件触发
2	DTEN0	DACx_OUT0 触发使能 0：DACx_OUT0 触发禁能 1：DACx_OUT0触发使能
1	DBOFF0	DACx_OUT0输出缓冲区关闭 0：DACx_OUT0输出缓冲区打开，以降低输出阻抗，提高驱动能力 1：DACx_OUT0输出缓冲区关闭
0	DEN0	DACx_OUT0 使能 0：DACx_OUT0 禁能 1：DACx_OUT0使能

19.4.2. DACx 软件触发寄存器(DAC_SWT)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

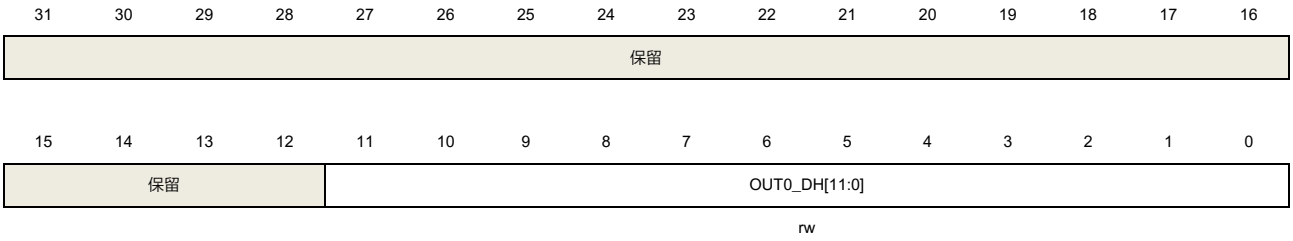


位/位域	名称	描述
31:2	保留	必须保持复位值
1	SWTR1	DACx_OUT1 软件触发，由硬件清除。 0：软件触发禁能 1：软件触发使能
0	SWTR0	DACx_OUT0 软件触发，由硬件清除。 0：软件触发禁能 1：软件触发使能

19.4.3. DACx_OUT0 12 位右对齐数据保持寄存器(DAC_OUT0_R12DH)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

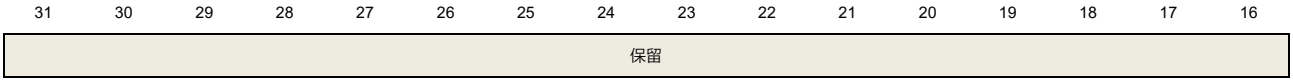


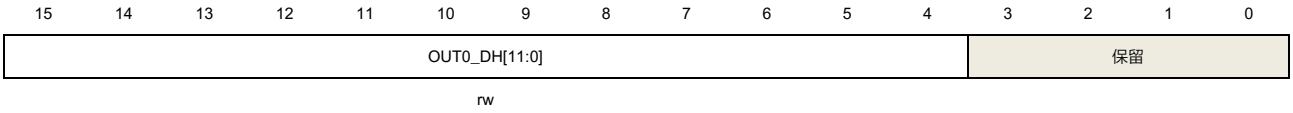
位/位域	名称	描述
31:12	保留	必须保持复位值
11:0	OUT0_DH[11:0]	DACx_OUT0 12 位右对齐数据 这些位指定了将由 DACx_OUT0 转换的数据。

19.4.4. DACx_OUT0 12 位左对齐数据保持寄存器(DAC_OUT0_L12DH)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



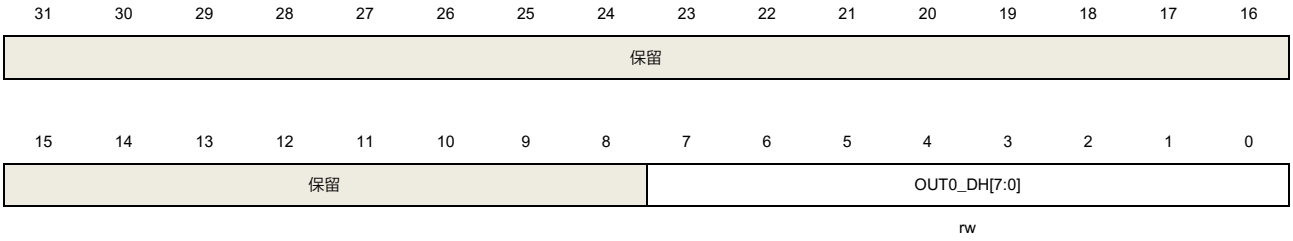


位/位域	名称	描述
31:16	保留	必须保持复位值
15:4	OUT0_DH[11:0]	DACx_OUT0 12 位左对齐数据 这些位指定了将由 DACx_OUT0 转换的数据。
3:0	保留	必须保持复位值

19.4.5. DACx_OUT0 8 位右对齐数据保持寄存器(DAC_OUT0_R8DH)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

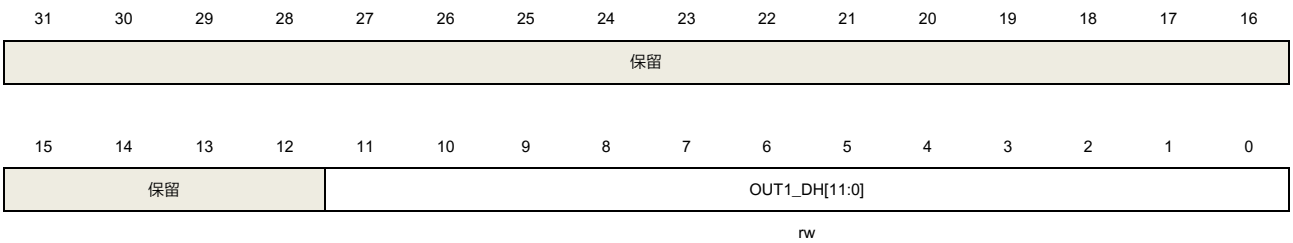


位/位域	名称	描述
31:8	保留	必须保持复位值
7:0	OUT0_DH[7:0]	DACx_OUT0 8 位右对齐数据 这些位指定了将由 DACx_OUT0 转换的数据的最高 8 位有效位。

19.4.6. DACx_OUT1 12 位右对齐数据保持寄存器(DAC_OUT1_R12DH)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:12	保留	必须保持复位值
11:0	OUT1_DH[11:0]	DACx_OUT1 12 位右对齐数据 这些位指定了将由 DACx_OUT1 转换的数据。

19.4.7. DACx_OUT1 12 位左对齐数据保持寄存器(DAC_OUT1_L12DH)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

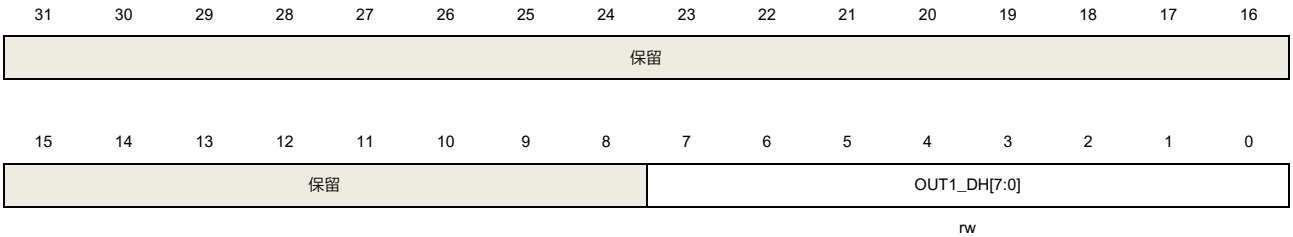


位/位域	名称	描述
31:16	保留	必须保持复位值
15:4	OUT1_DH[11:0]	DACx_OUT1 12 位左对齐数据 这些位指定了将由 DACx_OUT1 转换的数据。
3:0	保留	必须保持复位值

19.4.8. DACx_OUT1 8 位右对齐数据保持寄存器(DAC_OUT1_R8DH)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



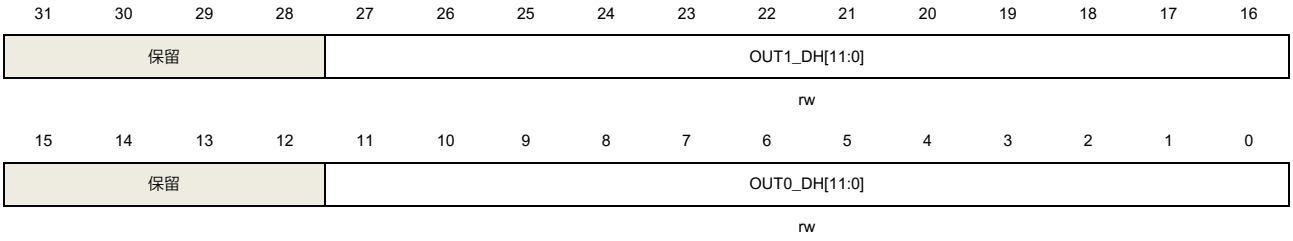
位/位域	名称	描述
31:8	保留	必须保持复位值
7:0	OUT1_DH[7:0]	DACx_OUT1 8 位右对齐数据

这些位指定了将由 DACx_OUT1 转换的数据的 8 位最高有效位。

19.4.9. DACx 并发模式 12 位右对齐数据保持寄存器(DACC_R12DH)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

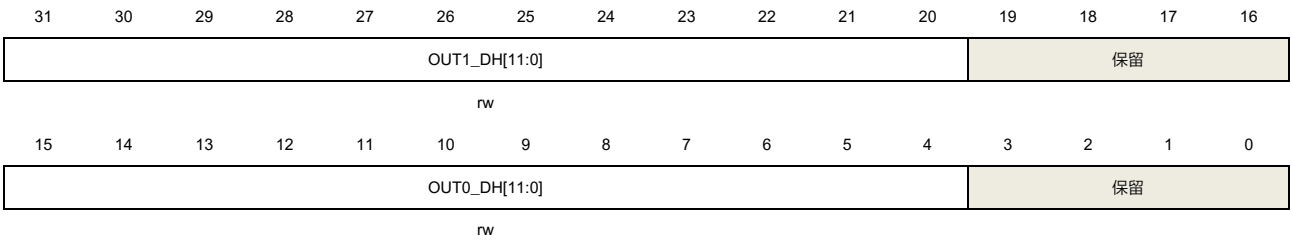


位/位域	名称	描述
31:28	保留	必须保持复位值
27:16	OUT1_DH[11:0]	DACx_OUT1 12 位右对齐数据 这些位指定了将由 DACx_OUT1 转换的数据。
15:12	保留	必须保持复位值
11:0	OUT0_DH[11:0]	DACx_OUT0 12 位右对齐数据 这些位指定了将由 DACx_OUT0 转换的数据。

19.4.10. DACx 并发模式 12 位左对齐数据保持寄存器(DACC_L12DH)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:20	OUT1_DH[11:0]	DACx_OUT1 12 位左对齐数据 这些位指定了将由 DACx_OUT1 转换的数据。
19:16	保留	必须保持复位值

15:4	OUT0_DH[11:0]	DACx_OUT0 12 位左对齐数据 这些位指定了将由 DACx_OUT0 转换的数据。
3:0	保留	必须保持复位值

19.4.11. DACx 并发模式 8 位右对齐数据保持寄存器(DACC_R8DH)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

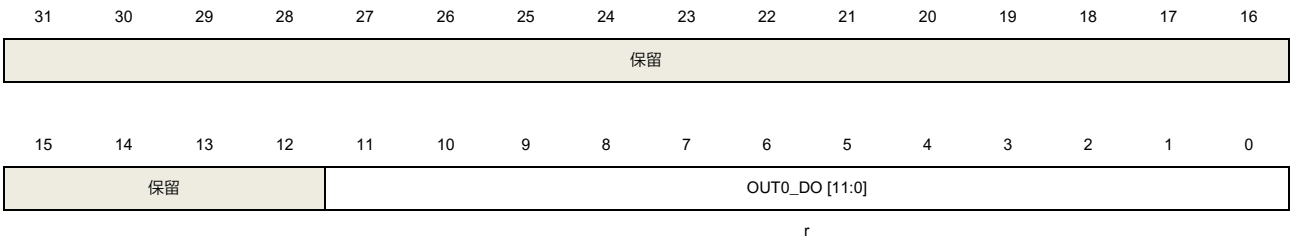


位/位域	名称	描述
31:16	保留	必须保持复位值
15:8	OUT1_DH[7:0]	DACx_OUT1 8 位右对齐数据 这些位指定了将由 DACx_OUT1 转换的数据的 8 位最高有效位。
7:0	OUT0_DH[7:0]	DACx_OUT0 8 位右对齐数据 这些位指定了将由 DACx_OUT0 转换的数据的 8 位最高有效位。

19.4.12. DACx_OUT0 数据输出寄存器(DAC_OUT0_DO)

地址偏移：0x2C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



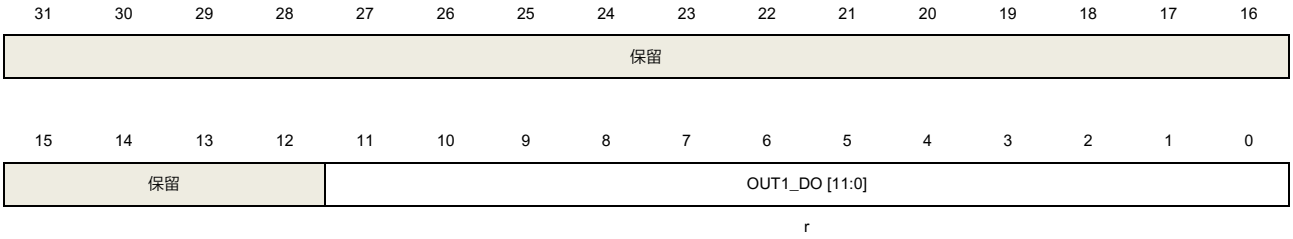
位/位域	名称	描述
31:12	保留	必须保持复位值
11:0	OUT0_DO [11:0]	DACx_OUT0 数据输出。

这些位为只读类型，存储由 DACx_OUT0 转换的数据。

19.4.13. DACx_OUT1 数据输出寄存器(DAC_OUT1_DO)

地址偏移：0x30
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

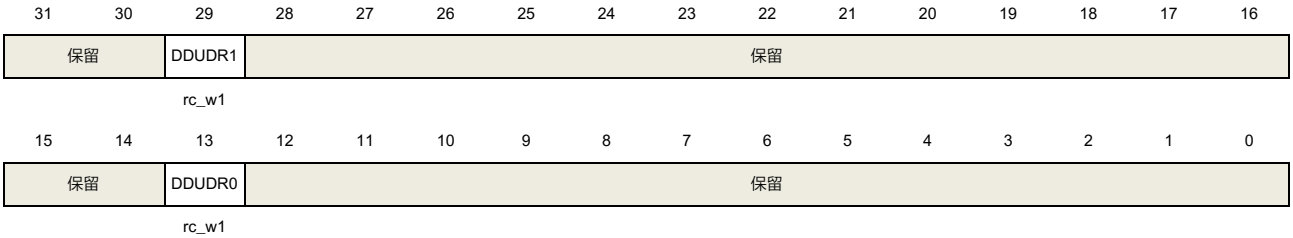


位/位域	名称	描述
31:12	保留	必须保持复位值
11:0	OUT1_DO [11:0]	DACx_OUT1 数据输出。 这些位为只读类型，存储由 DACx_OUT1 转换的数据。

19.4.14. DACx 状态寄存器 0(DAC_STAT0)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:30	保留	必须保持复位值。
29	DDUDR1	DACx_OUT1 DMA 欠载标志位，硬件置位，软件写 1 清零。 0：没有欠载发生 1：发生欠载(DAC 触发产生速度快于 DMA 传输速度)
28:16	保留	必须保持复位值。
15:14	保留	必须保持复位值。

13	DDUDR0	DACx_OUT0 DMA 欠载标志位，硬件置位，软件写 1 清零。 0：没有欠载发生 1：发生欠载(DAC 触发产生速度快于 DMA 传输速度)
12:0	保留	必须保持复位值。

20. 看门狗定时器(WDGT)

看门狗定时器(WDGT)是一个硬件计时电路，用来监测由软件故障导致的系统故障。片上有两个看门狗定时器外设，独立看门狗定时器(FWDGT)和窗口看门狗定时器(WWDGT)。它们使用灵活，并提供了很高的安全水平和精准的时间控制。两个看门狗定时器都是用来解决软件故障问题的。

看门狗定时器在内部计数值达到预设门限的时候，会触发一个复位。当处理器工作在调试模式的时候看门狗定时器定时计数器可以停止计数。

20.1. 独立看门狗定时器(FWDGT)

20.1.1. 简介

独立看门狗定时器(FWDGT)有独立时钟源(IRC32K)。即使主时钟失效，FWDGT依然能保持正常工作状态，适用于需要独立环境且对计时精度要求不高的场合。

当内部向下计数器的计数值达到0，独立看门狗会产生一个系统复位。使能独立看门狗的寄存器写保护功能可以避免寄存器的值被意外的配置篡改。

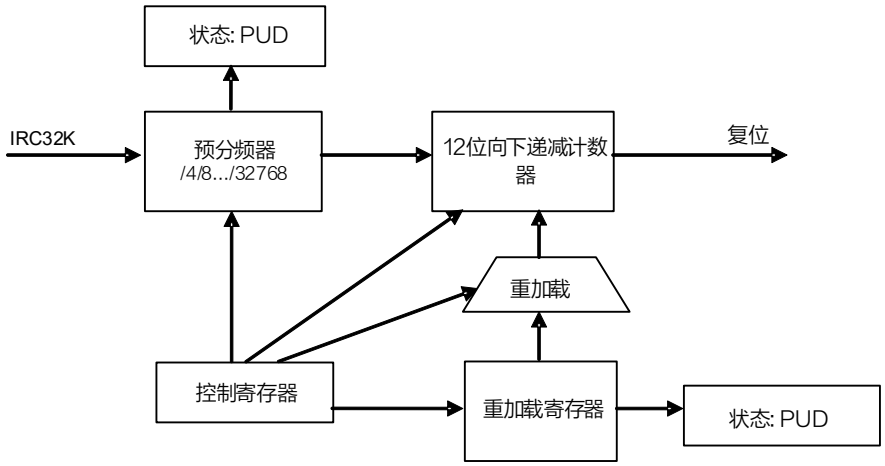
20.1.2. 主要特征

- 独立运行的12位向下计数器；
- 使能看门狗定时器，当向下计数器的值达到0时产生系统复位；
- 独立时钟源，独立看门狗定时器在主时钟故障(例如待机和深度睡眠模式下)时仍能工作；
- 独立看门狗定时器硬件控制位，用来控制是否在上电时自动启动独立看门狗定时器；
- 可以配置独立看门狗定时器在调试模式下选择停止还是继续工作。

20.1.3. 功能说明

独立看门狗定时器带有一个 8 级预分频器和一个 12 位的向下递减计数器。参考*图 20-1. 独立看门狗定时器框图*的独立看门狗定时器的功能模块。

图 20-1. 独立看门狗定时器框图



向控制寄存器(FWDGT_CTL)中写0xCCCC可以开启独立看门狗定时器，计数器开始向下计数。当计数器记到0x000，产生一次系统复位。

在任何时候向FWDGT_CTL中写0xAAAA都可以重装载计数器，重装载值来源于重装载寄存器(FWDGT_RLD)。软件可以在计数器计数值达到0x000之前可以通过重装载计数器来阻止看门狗定时器产生系统复位。

如果在选项字节中打开了"硬件看门狗定时器"功能，那么在上电的时候看门狗定时器就被自动打开。为了避免系统复位，软件应该在计数器达到0x000之前重装载计数器。

预分频寄存器(FWDGT_PSC)和FWDGT_RLD寄存器都有写保护功能。在写数据到这些寄存器之前，需要写0x5555到FWDGT_CTL中。写其他任何值到控制寄存器中将会再次启动对这些寄存器的写保护。当FWDGT_PSC或者FWDGT_RLD更新时，FWDGT_STAT寄存器的状态位被置1。

如果DBG中控制寄存器0(DBG_CTL0)中FWDGT_HOLD位被清0，即使Cortex®-M33内核停止(调试模式下)独立看门狗定时器依然工作。如果FWDGT_HOLD位置1，独立看门狗定时器将在Cortex®-M33内核停止时(调试模式下)停止工作。

表 20-1. 独立看门狗定时器在 32kHz(IRC32K)时的最小 / 最大超时周期

预分频系数	PSC[3:0] 位	最小超时(ms) RLD[11:0]=0x000	最大超时(ms) RLD[11:0]=0xFFF
1 / 4	0000	0.125	511.9
1 / 8	0001	0.25	1023.8
1 / 16	0010	0.5	2047.5
1 / 32	0011	1.0	4095.0
1 / 64	0100	2.0	8190.0
1 / 128	0101	4.0	16380.0
1 / 256	0110	8.0	32760.0
1 / 512	0111	16	65520.0
1 / 1024	1000	32	131040.0
1 / 2048	1001	64	262080.0
1 / 4096	1010	128	524160.0

预分频系数	PSC[3:0] 位	最小超时(ms) RLD[11:0]=0x000	最大超时(ms) RLD[11:0]=0xFFF
1 / 8192	1011	256	1048320.0
1 / 16384	1100	512	2096640.0
1 / 32768	1101~1111	1024	4193280.0

通过校准IRC32K可以使自由看门狗定时器超时更加精确。

注意： 1.当执行完喂狗reload操作之后，如需要立即进入deepsleep / standby模式时，必须通过软件设置，在reload命令及deepsleep / standby模式命令中间插入(3个以上)IRC32K时钟间隔。2. 两次连续喂狗之间需插入7个及以上IRC32K时钟间隔。

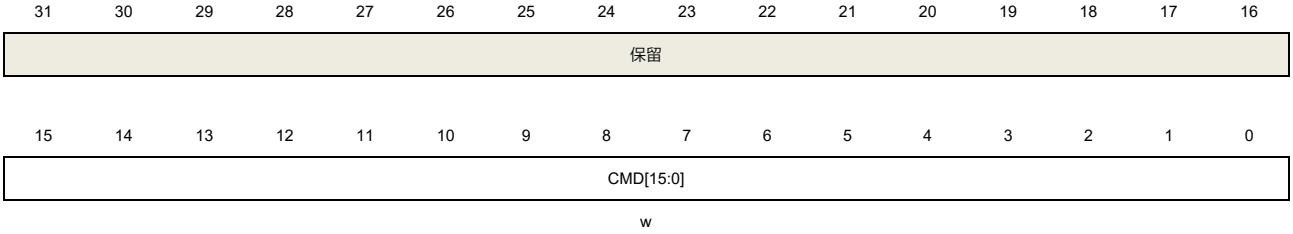
20.1.4. FWDGT 寄存器

FWDGT 基地址：0x4000 3000

控制寄存器(FWDGT_CTL)

地址偏移：0x00
复位值：0x0000 0000

该寄存器可以按半字(16 位)或字(32 位)访问。

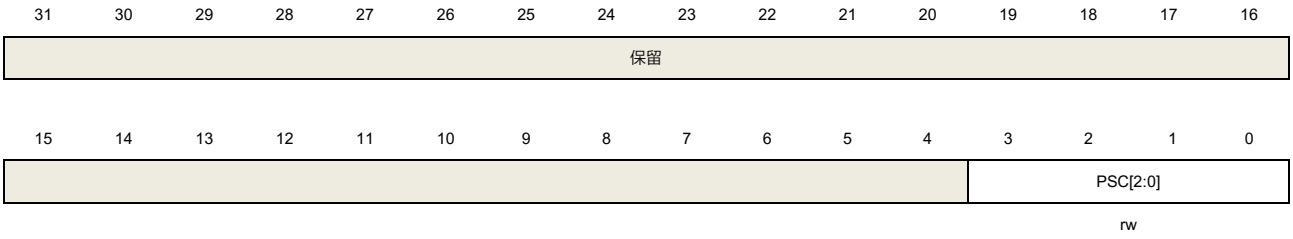


位/位域	名称	说明
31:16	保留	必须保持复位值。
15:0	CMD[15:0]	只可写，写入不同的值来产生不同的功能 0x5555：关闭FWDGT_PSC和FWDGT_RLD的写保护 0xCCCC：开启独立看门狗定时器定时计数器。计数减到0时产生复位 0xAAAA：重装载计数器

预分频寄存器(FWDGT_PSC)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按半字(16 位)或字(32 位)访问。



位/位域	名称	说明
31:4	保留	必须保持复位值。
3:0	PSC[3:0]	独立看门狗定时器计时预分频选择。写这些位之前要通过向FWDGT_CTL寄存器写0x5555去除写保护。在改写这个寄存器的过程中，FWDGT_STAT寄存器的PUD位被置1，此时读取此寄存器的值都是无效的。 0000：1 / 4

0001：1 / 8
0010：1 / 16
0011：1 / 32
0100：1 / 64
……
1100：1 / 16384
1101~1111：1 / 32768
如果应用需要使用不同的预分频系数，改变预分频值之前必须等到PUD位被清0。更新了预分频寄存器中的值后，在代码持续执行之前不必等待PUD值被清零(在进入省电模式前需要等待PUD值清零)。

重装载寄存器(FWDGT_RLD)

地址偏移：0x08
复位值：0x0000 0FFF

该寄存器可以按半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				RLD [11:0]											
				rw											

位/位域	名称	说明
31:12	保留	必须保持复位值。
11:0	RLD[11:0]	独立看门狗定时器定时计数器重装载值，向FWDGT_CTL寄存器写入0xAAAA的时候，这个值会被更新到看门狗定时器计数器中。 这些位有写保护功能。在写这些位之前需向FWDGT_CTL寄存器中写0x5555。在改写这个寄存器的过程中，FWDGT_STAT寄存器的RUD位被置1，从此寄存器中读取的任何值都是无效的。 如果应用需要使用不同的重装载值，改变重加载值之前必须等到RUD位被清0。更新了重加载寄存器的值后，在代码持续执行之前不必等待RUD值被清零(在进入省电模式前需要等待RUD值清零)。

状态寄存器(FWDGT_STAT)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器可以按半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														RUD	PUD
														r	r

位/位域	名称	说明
31:2	保留	必须保持复位值。
1	RUD	独立看门狗定时计数器重装载值更新 FWDGT_RLD寄存器写操作时，该位被置1，此时读取FWDGT_RLD寄存器的任何值都是无效的。在FWDGT_RLD寄存器更新后，该位由硬件清零。
0	PUD	独立看门狗定时器预分频值更新 FWDGT_PSC寄存器写操作时，该位被置1，此时读取FWDGT_PSC寄存器的任何值都是无效的。在FWDGT_PSC寄存器更新后，该位由硬件清零。

20.2. 窗口看门狗定时器(WWDGT)

20.2.1. 简介

窗口看门狗定时器(WWDGT)用来监测由软件故障导致的系统故障。窗口看门狗定时器开启后，7位向下递减计数器值逐渐减小。计数值达到0x3F时会产生系统复位(CNT[6]位被清0)。在计数器计数值达到窗口寄存器值之前，计数器的更新也会产生复位。因此软件需要在给定的区间内更新计数器。窗口看门狗定时器在计数器计数值达到0x40会产生一个提前唤醒标志，如果使能中断将会产生中断。

窗口看门狗定时器时钟是由APB1时钟预分频而来。窗口看门狗定时器适用于需要精确计时的场合。

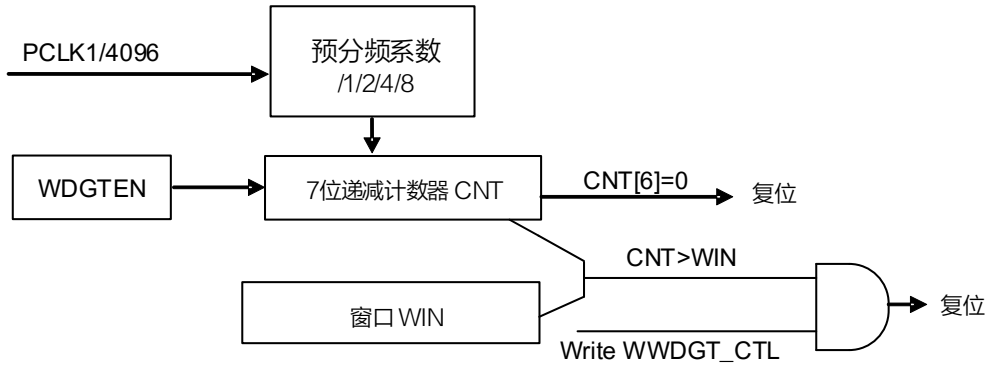
20.2.2. 主要特征

- 可编程的7位自由运行向下递减计数器。
- 当窗口看门狗使能后，有以下两种情况会产生复位：
  - 当计数器达到0x3F时产生复位；
  - 当计数器的值大于窗口寄存器的值时，更新计数器会产生复位。
- 提前唤醒中断(EWI)：看门狗定时器打开，中断使能，当计数值达到0x40时将会产生中断。
- 可以配置窗口看门狗定时器在调试模式下选择停止还是继续工作。

20.2.3. 功能说明

如果窗口看门狗定时器使能(将WWDGT_CTL寄存器的WDGTEN位置1)，计数值达到0x3F的时候产生系统复位(CNT[6]位被清0)。或是在计数值达到窗口寄存器值之前，更新计数器也会产生系统复位。

图 20-2. 窗口看门狗定时器框图



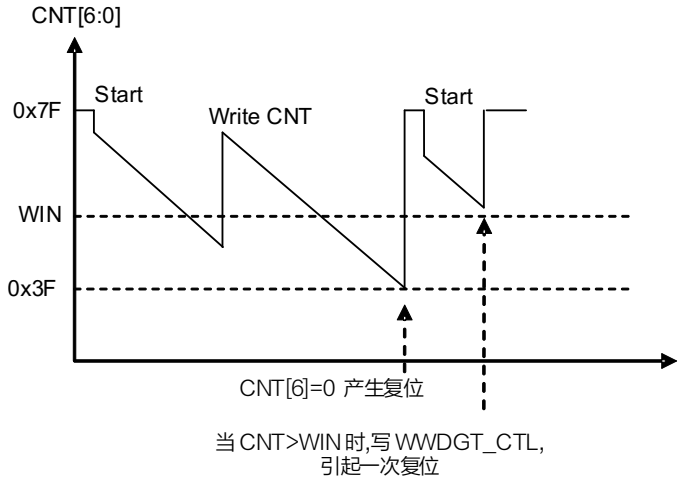
上电复位之后窗口看门狗定时器总是关闭的。软件可以向WWDGT_CTL的WDGTEN写1开启窗口看门狗定时器。窗口看门狗定时器打开后，计数器始终递减计数，计数器配置的值应该大于0x3F，也就是说CNT[6]位应该被置1。CNT[5:0]决定了两次重装载之间的最大间隔时间。计数器的递减速度取决于APB1时钟和预分频器(WWDGT_CFG寄存器的PSC[1:0]位)。

配置寄存器(WWDGT_CFG)中的WIN[6:0]位用来设定窗口值。当计数器的值小于窗口值，且大于0x3F的时候，重装载向下计数器可以避免复位，否则在其他时候进行重加载就会引起复位。

对WWDGT_CFG寄存器的EWIE位置1可以使能提前唤醒中断(EWI)，当计数值达到0x40的时候该中断产生。同时可以用相应的中断服务程序(ISR)来触发特定的行为(例如通信或数据记录)，来分析软件故障的原因以及在器件复位的时候挽救重要数据。此外，在ISR中软件可以重装载计数器来管理软件系统检查等。在这种情况下，窗口看门狗定时器将永远不会复位但是可以用于其他地方。

通过将WWDGT_STAT寄存器的EWIF位写0可以清除EWI中断。

图 20-3. 窗口看门狗定时器时序图



窗口看门狗定时器超时的计算公式如下：

$$t_{WWDGT}=t_{PCLK1} \times 4096 \times 2^{PSC} \times (CNT[5:0]+1) \quad (ms) \qquad (式16\text{-}1)$$

其中：

t_{WWDGT}：窗口看门狗定时器的超时时间

t_{PCLK1}：APB1以ms为单位的时钟周期

t_{WWDGT}的最大值和最小值请参考*表 20-2. 在 50MHz (fPCLK1) 时的最大/最小超时值*。

表 20-2. 在 50MHz (f_{PCLK1}) 时的最大/最小超时值

预分频系数	PSC[4:0]	最小超时 CNT[6:0] =0x40	最大超时 CNT[6:0]=0x7F
1 / 1	00000	0.082 ms	5.243 ms
1 / 2	00001	0.164 ms	10.486 ms
1 / 4	00010	0.328 ms	20.972 ms
1 / 8	00011	0.655 ms	41.943 ms
1 / 16	00100	1.311 ms	83.886 ms
1 / 32	00101	2.621 ms	167.772 ms
1 / 64	00110	5.243 ms	335.544 ms

1 / 128	00111	10.486 ms	671.089 ms
1 / 256	01000	20.972 ms	1342.177 ms
1 / 512	01001	41.943 ms	2684.355 ms
1 / 1024	01010	83.886 ms	5368.709 ms
1 / 2048	01011	167.772 ms	10737.418 ms
1 / 4096	01100	335.544 ms	21474.836 ms
1 / 8192	01101	671.089 ms	42949.673 ms
1 / 16384	01110	1342.177 ms	85899.346 ms
1 / 32768	01111	2684.355 ms	171798.692 ms
1 / 65536	10000	5368.709 ms	343597.384 ms
1 / 131072	10001	10737.418 ms	687194.767 ms
1 / 262144	10010	21474.836 ms	1374389.535 ms

如果MCU调试模块中的WWDGT_HOLD位被清0，即使Cortex®-M33内核停止工作(调试模式下)，窗口看门狗定时器也可以继续工作。当WWDGT_HOLD位被置1时，窗口看门狗定时器在调试模式下停止。

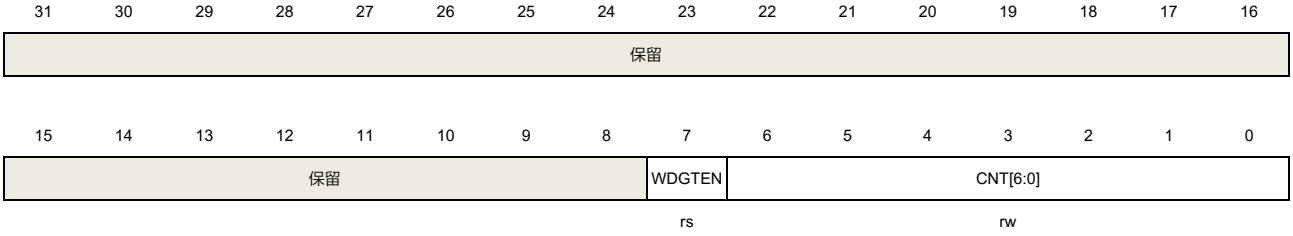
20.2.4. WWDGT 寄存器

WWDGT 基地址：0x4000 2C00

控制寄存器(WWDGT_CTL)

地址偏移：0x00
复位值：0x0000 007F

该寄存器可以按半字(16 位)或字(32 位)访问。

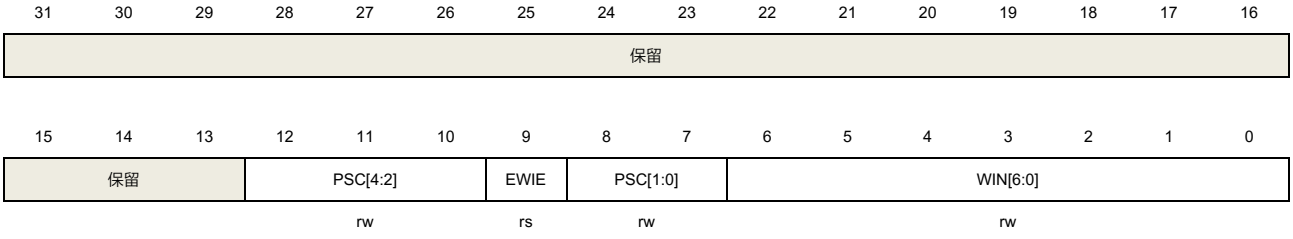


位/位域	名称	说明
31:8	保留	必须保持复位值。
7	WDGTEN	开启窗口看门狗定时器，硬件复位的时候清0，写0无效。 0：关闭窗口看门狗定时器 1：开启窗口看门狗定时器
6:0	CNT[6:0]	看门狗定时器计数器的值。当计数值从0x40降到0x3F时，产生看门狗定时器复位。当计数器值高于窗口值的时候，写计数器可以产生看门狗定时器系统复位。

配置寄存器(WWDGT_CFG)

地址偏移：0x04
复位值：0x0000 007F

该寄存器可以按半字(16 位)或字(32 位)访问。



位/位域	名称	说明
31:13	保留	必须保持复位值。
12:10	PSC[4:2]	预分频器位值高。PSC[4:0]由高位值PSC[4:2]和低位值PSC[1:0]组成。PSC[4:0]为看门狗计数器的时基: 00000: (PCLK1 / 4096) / 1

		00001: (PCLK1 / 4096) / 2 00010: (PCLK1 / 4096) / 4 00011: (PCLK1 / 4096) / 8 …… 10001: (PCLK1 / 4096) / 131072 10010: (PCLK1 / 4096) / 262144 10100~11111:保留
9	EWIE	提前唤醒中断使能。如果该位被置1，计数值达到0x40时触发中断。该位由硬件复位清0，或通过RCU模块的WWDGT软件复位来清0。写0没有任何作用。
8:7	PSC[1:0]	预分频器低位，看门狗定时器计数器的时间基准。PSC[4:0]由高位值PSC[4:2]和低位值PSC[1:0]组成。
6:0	WIN[6:0]	窗口值，当看门狗定时器计数器的值大于窗口值时，写看门狗定时器计数器(WWDGT_CTL的CNT位)会产生复位。

状态寄存器(WWDGT_STAT)

地址偏移：0x08
复位值：0x0000 0000

该寄存器可以按半字(16 位)或字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EWIF
															rw

位/位域	名称	说明
31:1	保留	必须保持复位值。
0	EWIF	提前唤醒中断标志位。当计数值达到0x40，即使中断没有被使能(WWDGT_CFG中的EWIE位为0)该位也会被硬件置1。这个bit可以通过写0清零，写1无效。

21. 实时时钟(RTC)

21.1. 简介

RTC模块提供了一个包含日期(年/月/日)和时间(时/分/秒/亚秒)的日历功能。除亚秒用二进制码显示外，时间和日期都以BCD码的形式显示。RTC可以进行夏令时补偿。RTC可以工作在省电模式下，并通过软件配置来智能唤醒。RTC支持外接更高精度的低频时钟，用以达到更高的日历精度。

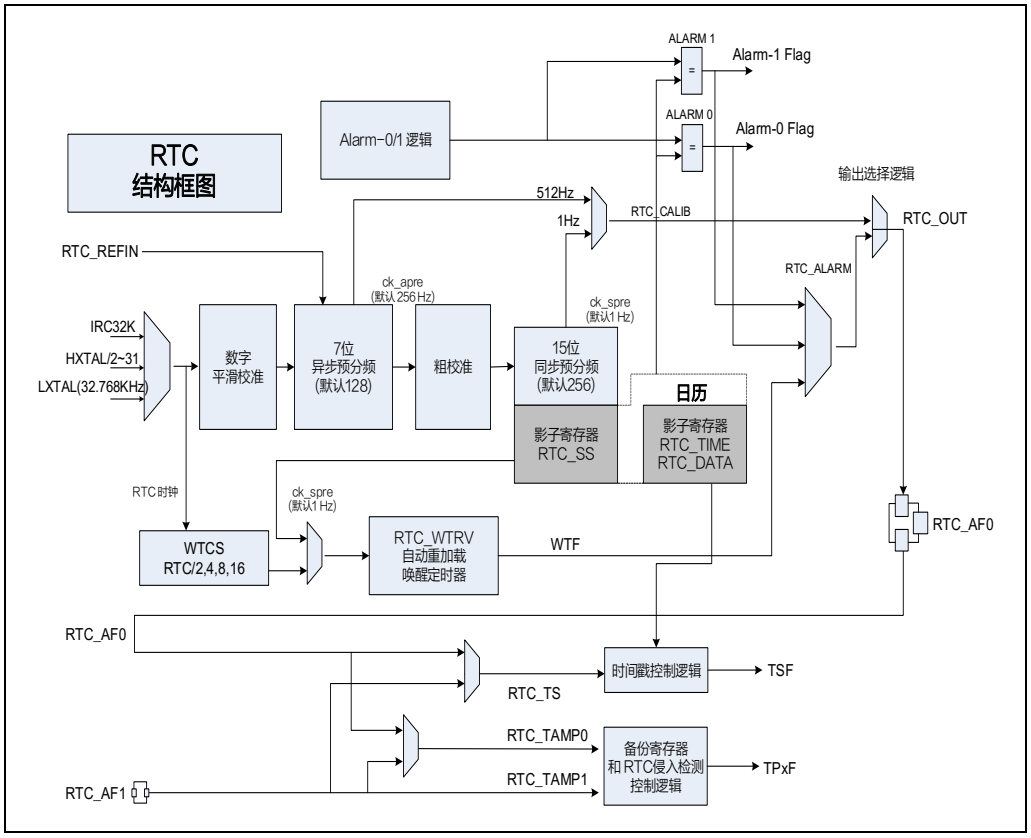
21.2. 主要特性

- 通过软件设置来实现夏令时补偿；
- 参考时钟检测功能：通过外接更高精度的低频率时钟源(50Hz或60Hz)来提高日历精度；
- 数字校准功能：通过调整最小时间单位(最大可调精度0.95ppm)来进行日历校准；
- 通过移位功能进行亚秒级调整；
- 记录事件时间的时间戳功能；
- 两个模式可配置的独立的侵入检测；
- 可编程的日历和两个位域可屏蔽的闹钟；
- 可屏蔽的中断源：
  - 闹钟 0 和闹钟 1；
  - 时间戳检测；
  - 侵入检测；
  - 自动唤醒事件；
- 20个32位(共80字节)通用备份寄存器，能够在省电模式下保存数据。当有外部事件侵入时，备份寄存器将会复位。

21.3. 功能描述

21.3.1. 结构框图

图 21-1. RTC 结构框图



RTC 单元包括：

- 闹钟事件/中断；
- 侵入事件/中断；
- 32位备份寄存器；
- 可选的RTC输出功能：
  - 512Hz(默认预分频值)：(RTC_OUT)PC13；
  - 1Hz(默认预分频值)：(RTC_OUT)PC13；
  - 闹钟事件(极性可配置)：(RTC_OUT)PC13；
  - 自动唤醒事件(极性可配置)：(RTC_OUT)PC13；
- 可选的RTC输入功能：
  - 时间戳事件检测(RTC_TS)：PC13 和 PI8；
  - 侵入事件检测 0(RTC_TAMP0)：PC13 和 PI8；
  - 侵入事件检测 1(RTC_TAMP1)：PI8；
  - 参考时钟输入 RTC_REFIN(50 或 60Hz)。

PC13 和 PI8 的具体配置参考*通用和备用输入/输出接口(GPIO 和 AFIO)。*

21.3.2. 时钟源和预分频

RTC单元有三个可选的独立时钟源：LXTAL、IRC32K和HXTAL的2-31(由RCU_CFG寄存器配置)分频后的时钟。

在RTC单元，有两个预分频器用来实现日历功能和其他功能。一个分频器是7位异步预分频器，另一个是15位同步预分频器。异步分频器主要用来降低功率消耗。如果两个分频器都被使用，建议异步分频器的值尽可能大。

两个预分频器的频率计算公式如下：

$$f_{ck_apre} = \frac{f_{rtcclk}}{FACTOR_A + 1} \tag{21-1}$$

$$f_{ck_spre} = \frac{f_{ck_apre}}{FACTOR_S + 1} = \frac{f_{rtcclk}}{(FACTOR_A + 1)*(FACTOR_S + 1)} \tag{21-2}$$

ck_apre 用于为 RTC_SS 亚秒寄存器自减计数器提供时钟，该寄存器值为二进制，表示到达下一秒时间，该寄存器自减到 0 时，自动加载 FACTOR_S 的值。ck_spre 用于为日历寄存器提供时钟，每个时钟增加一秒。

21.3.3. 影子寄存器

当APB总线访问RTC日历寄存器RTC_DATE、RTC_TIME和RTC_SS时，BPSHAD位决定是访问影子寄存器还是真实日历寄存器。默认情况下BPSHAD为0，APB总线访问影子日历寄存器。每两个RTC时钟，影子日历寄存器值会更新为真实日历寄存器的值，与此同时RSYNF位也会再次置位。在Deep-sleep和Standby模式下，影子寄存器不会更新。退出这两种模式时，软件必须清除RSYNF位。如果想要在BPSHAD=0的情况下读日历寄存器的值，须等待RSYNF置1(最大的等待时间是2个RTC时钟周期)。

注意： 在BPSHAD=0下，读日历寄存器(RTC_SS，RTC_TIME，RTC_DATE)的APB时钟的频率(f_{APB})必须至少是RTC时钟频率(f_{RTCCLK})的七倍。

系统复位将复位影子寄存器。

21.3.4. 位域可屏蔽可配置的闹钟

RTC闹钟功能被划分为多个位域并且每一个位域有一个该域的可屏蔽位。

RTC闹钟功能的使能由RTC_CTL寄存器中的ALRMxEN(x=0，1)位控制。当ALRMxEN=1(x=0，1)并且闹钟所有位域的值与对应的日历时间值匹配，ALRMxF(x=0，1)标志位将会置位。

注意： 当秒字段未被屏蔽时(RTC_ALRMxTD 寄存器的 MSKS=0)，为确保正常运行，RTC_PSC寄存器的同步预分频系数(FACTOR_S)应大于等于 3。

如果一个位域被屏蔽，这个位域被认为在逻辑上匹配的。如果所有的位域被屏蔽，在 ALRMxEN 位被置位 3 个 RTC 时钟周期后，ALRMxF 位将置位。

21.3.5. 可配置周期的自动唤醒定时器

RTC具有一个16位的自动递减计数器用来周期性产生唤醒标志。

该功能通过WTEN置1来使能，并且可以工作在省电模式。

自动递减计数器有两种可选的时钟来控制：

1) RTC 时钟的 2 / 4 / 8 / 16 分频：
   如果 RTC 时钟为 LXTAL(32.768KHz)，则唤醒中断周期在 122us 和 32s 之间，分辨率低至 61us。
2) 内部时钟 ck_spre：
   如果 ck_spre 为 1Hz，则唤醒中断周期在 1s 到 36h 之间，分辨率低至 1s。
   - WTCS[2：1] = 0b10，唤醒中断周期在 1s 到 18h
   - WTCS[2：1] = 0b11，唤醒中断周期在 18h 到 36h

该功能使能后，计数器自动递减。当计数器到0时，WTF标志位置1，唤醒计数器自动重载RTC_WUT的值。当WTF置1后，必须软件清除该标志。如果WTIE被置位，计数器到0时，会产生唤醒中断，从而使系统退出省电模式。系统复位对该功能没有影响。WTF标志可以从RTC_ALARM通道输出到PC13。

21.3.6. RTC 初始化和配置

RTC 寄存器写保护

在默认情况下，PMU_CTL寄存器的BKPWEN位被清0。所以写RTC寄存器前需要软件提前设置BKPWEN位。

上电复位后，大多数RTC寄存器是被写保护的。写入这些寄存器的第一步是解锁这些保护。

通过下面的步骤，可以解锁这些保护：

1. 写'0xCA'到 RTC_WPK 寄存器；
2. 写'0x53'到 RTC_WPK 寄存器。

写一个错误的值到RTC_WPK会使写保护再次生效。写保护状态不受系统复位的影响。被写保护的寄存器如下：

RTC_TIME，RTC_DATE，RTC_CTL，RTC_STAT，RTC_PSC，RTC_WUT，RTC_COSC，RTC_ALRM0TD，RTC_ALRM1TD，RTC_SHIFTCTL，RTC_HRFC，RTC_ALRM0SS，RTC_ALRM1SS

日历初始化和配置

通过以下步骤可以设置日历和预分频器的值：

1. 设置 INITM 位为 1 进入初始化模式。等待 INITF 位被置 1。
2. 在 RTC_PSC 寄存器中，设置同步和异步预分频器的分频系数。
3. 在影子寄存器(RTC_TIME 和 RTC_DATE)中写初始的日历值，并且通过设置 RTC_CTL 寄

存器的 CS 位来配置时间的格式(12 或 24 小时制)。

4. 清除 INITM 位退出初始化模式。

大约4个RTC时钟周期后，真正的日历寄存器将从影子寄存器载入时间和日期的设定值，同时日历计数器将要重新开始运行。

注意：初始化以后如果要读取日历寄存器(BPSHAD=0)，软件应该确保RSYNF位已经置1。

YCM标志表明日历是否完成初始化，该标志会硬件检查日历的年份值。

夏令时

通过S1H，A1H和DSM位配置，RTC模块可以支持夏令时补偿调节功能。

当日历正在运行时，S1H和A1H能使日历减去或加上1小时。S1H和A1H功能可以重复设置，可以软件配置DSM位来记录这个调节操作。设置S1H或A1H位后，减或加1小时将在下一秒钟到来时生效。

闹钟功能操作步骤

为了避免意外的闹钟标记置位和亚稳态，闹钟功能的操作应遵循如下流程：

1. 清除寄存器 RTC_CTL 的 ALRMxEN(x=0，1)位，禁用闹钟；
2. 设置 Alarm 寄存器(RTC_ALRMxTD/RTC_ALRMxSS)；
3. 设置寄存器 RTC_CTL 的 ALRMxEN 位，使能闹钟功能。

21.3.7. 读取日历

当 BPSHAD=0 时，读日历寄存器

当BPSHAD=0，从影子寄存器读日历的值。由于同步机制的存在，正常读取日历需要满足一个基本要求：APB1总线时钟频率必须大于或等于RTC时钟频率的7倍。在任何情况下APB1总线时钟的频率都不能低于RTC的时钟频率。

当APB1总线时钟频率不等于或低于7倍RTC时钟频率时，日历的读取应该遵守以下流程：

1. 读取两次日历时间和日期寄存器；
2. 如果两次的值相等，那么这个值就是正确的；
3. 如果这两次的值不相等，应该再读一次；
4. 第三次的值可以认为是正确的。

RSYNF每2个RTC时钟周期被置位一次。在这时，影子日历寄存器会更新为真实的日历时间和日期。

为了确保这3个值(RTC_SS，RTC_TIME，RTC_DATE)为同一时间，硬件上采取了如下一致性机制：

1. 读RTC_SS锁定RTC_TIME和RTC_DATE的更新；
2. 读RTC_TIME锁定RTC_DATE的更新；

3. 读RTC_DATE解锁RTC_TIME和RTC_DATE的更新。

如果想在一个很短的时间间隔内(少于2个RTCCLK)读取日历，应先清除RSYNF位并等待其置位后再读取。

下面几种情况，软件须等待RSYNF置位后才能读日历寄存器(RTC_SS，RTC_TIME，RTC_DATE)：

1. 系统复位之后；
2. 日历初始化之后；
3. 一次移位操作之后。

特别是从低功耗模式唤醒后，软件必须清除RSYNF位并等待RSYNF再次置位后才能读取日历寄存器。

当 BPSHAD=1 时，读日历寄存器

当BPSHAD=1，RSYNF位会被硬件清0，读日历寄存器不需考虑RSYNF位。当前真实的日历寄存器值会被直接读取。如此配置的好处是当从低功耗模式(Deep-sleep / Standby模式)唤醒后，软件可以立即获取当前日历寄存器的值而无需加入任何等待延迟(此延迟最大为2个RTC时钟周期)。

由于没有RSYNF位周期性的置位，如果两次读日历寄存器之间出现ck_apre时钟边沿，不同寄存器(RTC_SS / RTC_TIME / RTC_DATE)的值可能并非同一时刻。

另外，如果日历寄存器的值正在发生变化的时刻被APB总线读取，那么有可能APB总线读取的值是不准确的。

为了确保日历值的正确性和一致性，读取时软件须如下操作：连续读取所有日历寄存器的值两次，如果上两次的值是一样的，那么这个值就是一致的且准确的。

21.3.8. RTC 复位

在RTC单元，有两个复位源可用：系统复位和备份域复位。

当系统复位有效时，日历影子寄存器和RTC_STAT寄存器的某些位将要复位到默认值。

备份域复位将会影响下面的寄存器，但系统复位不会对它们产生影响：

- RTC 真实的日历寄存器；
- RTC 控制寄存器(RTC_CTL)；
- RTC 预分频寄存器(RTC_PSC)；
- RTC 唤醒定时器寄存器(RTC_WUT)；
- RTC 粗校准寄存器(RTC_COSC)；
- RTC 高精度频率补偿寄存器(RTC_HRFC)；
- RTC 移位控制寄存器(RTC_SHIFTCTL)；
- RTC 时间戳寄存器(RTC_SSTS/RTC_TTS/RTC_DTS)；
- RTC 侵入寄存器(RTC_TAMP)；
- RTC 备份寄存器(RTC_BKPx)；

- RTC 闹钟寄存器(RTC_ALRMxSS / RTC_ALRMxTD)。

当系统复位或者进入省电模式的时候，RTC单元将会继续运行。但是如果备份域复位，RTC将会停止计数并且所有的寄存器会复位。

21.3.9. RTC 移位功能

当用户有一个高精度的远程时钟而且RTC 1hz时钟(ck_spre)和远程时钟只有一个亚秒级的偏差，RTC单元提供一个称作移位的功能去消除这个偏差来提高秒钟的精确性。

以二进制格式显示亚秒值，RTC运行时该值是递减计数。因此通过增加RTC_SHIFTCTL寄存器的SFS[14：0]的值到RTC_SS同步预分频器计数器值SSC[15：0])或通过增加SFS[14：0]的值到同步预分频器计数器SSC[15：0]并且同时置位A1S位，能分别延迟或提前下一秒到达的时间。

RTC_SS的最大值取决于RTC_PSC寄存器的FACTOR_S的值。FACTOR_S越大，调整的精度也就越高。

因为1Hz的时钟(ck_spre)由FACTOR_A和FACTOR_S共同产生，越高的FACTOR_S值就意味着越低的FACTOR_A值，同时越低的FACTOR_A意味着越高的功耗。

注意：在使用移位功能之前，软件必须检查 RTC_SS 中 SSC 的第 15 位(SSC[15])并确保该位为 0。写 RTC_SHIFTCTL 寄存器之后，RTC_STAT 寄存器的 SOPF 位将会再次置位。当同步移位操作完成时，SOPF 位被硬件清 0。系统复位不影响 SOPF 位。当 REFEN=0 时，移位操作才能正确的工作。如果 REFEN=1，软件禁止写入 RTC_SHIFTCTL。

21.3.10. RTC 参考时钟检测

RTC参考时钟是另外一种提高RTC秒级精度的方法。为了使能这项功能，需要有一个相对于LXTAL有更高精度的外部参考时钟源(50Hz或60Hz)。

使能这项功能之后(REFEN=1)，每一个秒更新的时钟(1Hz)边沿将与最近的RTC_REFIN参考时钟沿进行对比。在大多数情况下，这两个时钟沿是对齐的。但当两个时钟沿由于LXTAL准确度的原因没有对齐的时候，RTC参考时钟的检测功能会偏移1Hz时钟沿一点相位，使得下一个1Hz时钟沿和参考时钟沿对齐。

当REFEN=1，每一秒前后都会有一个进行检测的时间窗，处于不同的检测状态，时间窗时长也不同。当检测状态处于检测第一个参考时钟边沿时，使用7个ck_apre时长的时间窗，当检测状态处于边沿对齐操作时，使用3个ck_apre时长的时间窗。

无论使用哪一种时间窗，当参考时钟在时间窗中被检测到的时候，同步预分频计数器会被强制重载。当两个时钟(ck_spre和参考时钟)边沿是对齐的，这个重载操作对1Hz日历更新没有任何影响。但是当两个时钟边沿没有对齐时，这个重载操作将会移动ck_spre时钟边沿，以使得ck_spre(1Hz)时钟边沿和参考时钟边沿对齐。

当参考检测功能正在运行中但外部参考时钟消失(在3个ck_apre时长时间窗内没有发现参考时钟边沿)，日历也能通过LXTAL继续自动更新。如果这个参考时钟重新恢复，参考时钟检测功能会先用7个ck_apre时长时间窗口去检测参考时钟，然后用3个ck_apre时长时间窗口去调节

ck_spre(1Hz)时钟边沿。

注意：使能参考时钟检测功能之前(REFEN=1)，软件必须配置 FACTOR_A 为 0x7F，FACTOR_S 为 0xFF。

待机模式下和数字粗校准时，参考时钟检测功能不可用。

21.3.11. RTC 数字粗校准

RTC有两种数字校准方法：数字粗校准和数字平滑校准。两种校准方法不能一起使用。

数字粗校准以异步预分频器输出为源，增加或者减少ck_apre时钟周期。

当COSD=0，在前2xCOSS(COSS：0到31)分钟内，每分钟增加两个ck_apre时钟周期，这样配置会提前更新日历。

当COSD=1，在前2xCOSS(COSS：0到31)分钟内，每分钟减少一个ck_apre时钟周期，这样配置会推迟更新日历。

仅能在初始化模式下配置数字粗校准，并且在清除INITM位后开始校准功能。整个校准过程持续64分钟。在64分钟内的前2xCOSS分钟内调整。

负校准的分辨率约为2PPM，而正校准的分辨率约为4PPM。

注意：在 RTC 时钟为 LXTAL 或者 HXTAL 时，可以进行数字粗校准。当 FACTOR_A<6 时，数字粗校准可能无法正确工作。

例子：

FACTOR_A 和 FACTOR_S 为默认值。RTC 时钟为 LXTAL，频率为 32.768 KHz。

在校准窗口内(64分钟)，仅在前2xCOSS分钟调整ck_apre(256Hz)时钟周期。

如果COSS=1，表示64分钟内前两分钟需要调整。

这种情况下在每个校准窗口内(64min x 60s / min x 32768周期/s)增加512(两分钟，每分钟两个ck_apre时钟周期)或者减少256(两分钟，每分钟一个ck_apre时钟周期)个RTC时钟周期。也就是说每次校准的分辨率为+4.069PPM或者-2.035PPM。那么每个月的最小校准时间为+10.5或者-5.27s，最大校准时间为+5.45到-2.72分钟。

21.3.12. RTC 数字平滑校准

RTC平滑校准是一种用于校准RTC频率的方法，该方法通过调整校准周期内的RTC时钟脉冲个数的方式来实现校准。

完成一次这种校准相当于在一次校准周期内，RTC时钟的脉冲个数增加或者减少了一定的数目。这种校准的分辨率大约为0.954ppm，范围为从-487.1ppm 到+488.5ppm。

校准周期的时间可以配置到 2^{20} / 2^{19} / 2^{18} RTC 时钟周期，如果 RTC 的输入频率是 32.768KHz，这些校准周期时间分别代表 32 / 16 / 8 秒。

高精度频率补偿寄存器(RTC_HRFC)指定了在校准周期内要屏蔽的RTC时钟数目，CMSK[8：

0]位能屏蔽0到511个RTC时钟，这样RTC的频率最多降低487.1PPM。

为了提高RTC频率可以设置FREQI位。如果FREQI位被置位，将会有512个额外的RTC时钟周期增加到校准周期(32 / 16 / 8秒)时间期间，这意味着每2^{11} / 2^{10} / 2^{9} RTC时钟插入一个RTC时钟周期。

因此使用FREQI可以使RTC频率增加488.5ppm。

同时使用CMSK和FREQI，每个周期时间可以调整-511到+512个RTC时钟周期。这意味着在0.954ppm分辨率的情况下，调整范围为从-487.1ppm到+488.5ppm。

当数字平滑校准功能正在运行时，按如下公式计算输出校准频率：

$$fcal = frtcclk \times (1 + \frac{FREQI \times 512 - CMSK}{2^{N} + CMSK - FREQI \times 512}) \quad (21\text{-}3)$$

注意：N=20 / 19 / 18(32 / 16 / 8 秒)校准时间周期。

当 FACTOR_A < 3 时校准：

当异步预分频器值(FACTOR_A)被设置小于3时，若要使用校准功能，软件不能将FREQI位设置为1。当FACTOR_A<3，FREQI位设置将会被忽略。

当FACTOR_A小于3时，FACTOR_S值应小于标称值。假设RTC时钟频率是正常的32.768KHz，对应的FACTOR_S应该按下面所示设置：

FACTOR_A = 2：FACTOR_S减少2(8189)

FACTOR_A = 1：FACTOR_S减少4(16379)

FACTOR_A = 0：FACTOR_S减少8(32759)

当FACTOR_A小于3，CMSK为0x100，校准频率公式如下：

$$f_{cal} = f_{rtcclk} \times (1 + \frac{256 - CMSK}{2^{N} + CMSK - 256}) \quad (21\text{-}4)$$

注意：N=20 / 19 / 18(32 / 16 / 8 秒)校准时间周期。

验证 RTC 校准

提供1Hz校准时钟的输出用于协助软件测量并验证RTC的精度。

在有限的测量周期内测量RTC的频率，最高可能发生2个RTCCLK的测量误差。

为了消除这一测量误差，测量周期应该和校准周期一致。

- 校准周期设为32秒(默认配置)

用准确的32秒周期去测量1Hz校准输出的准确性能保证这个测量误差在0.477ppm(在32秒周期内0.5个RTCCLK)之内。

- 校准周期设为16秒(通过设置CWND16位)

使用此配置，CMSK[0]被硬件置0。

用准确的16秒周期去测量1Hz校准输出的准确性能保证这个测量误差在0.954ppm(在16秒周期内0.5个RTCCLK)之内。

- 校准周期设为8秒(通过设置CWND8位)

使用此配置，CMSK[1：0]被硬件置0。

用准确的8秒周期去测量1Hz校准输出的准确性能保证这个测量误差在1.907ppm(在8秒周期内0.5个RTCCLK)之内。

运行中重校准

当INITF位是0，用下面的步骤，软件可以更新RTC_HRFC：

1. 等待 SCPF 位置 0；
2. 写一个新的值到 RTC_HRFC 寄存器；
3. 3 个 ck_apre 时钟周期之后，新的校准设置开始生效。

21.3.13. 时间戳功能

时间戳功能由RTC_TS管脚输入，通过配置TSEN位来使能。

当RTC_TS管脚检测到时间戳事件发生时，会将日历的值保存在时间戳寄存器中(RTC_DTS / RTC_TTS / RTC_SSTS)，同时时间戳标志(TSF)也将由硬件置1。如果时间戳中断使能被启用(TSIE)，时间戳事件会产生一个中断。

时间戳寄存器只会在时间戳事件第一次发生的时刻(TSF=0)记录日历时间，而当TSF=1时，时间戳事件的值不会被记录。

RTC模块提供了一个可选的功能特性，来增加时间戳事件的触发源：设置TPTS=1，使得侵入检测功能的侵入事件同时也作为时间戳事件的输入源。

注意：因为同步机制的原因，当时间戳事件发生时，TSF 会延迟 2 个 ck_apre 周期置位。

21.3.14. 侵入检测

RTC_TAMPx管脚可以作为侵入事件检测功能输入管脚，检测模式有两种可供用户选择：边沿检测模式或者是带可配置滤波功能的电平检测模式。

RTC 备份寄存器(RTC_BKPx)

RTC备份寄存器处于V_{DD}备份域中，即使V_{DD}电源被切断，该区域的寄存器的电源还可由V_{BAT}提供。从待机模式唤醒或系统复位操作都不会影响这些寄存器。

只有当被检测到有侵入事件和备份域复位时，这些寄存器复位。

初始化侵入检测功能

TPxEN位可以独立使能对应于不同管脚上的RTC侵入检测功能。使能TPxEN位启动侵入检测

功能之前，需要设置好侵入检测的配置。当检测到侵入事件，相应的标志位(TPxF)将会置位。如果侵入事件中断使能被启用(TPIE)，侵入事件会产生一个中断。任何侵入事件都会导致备份寄存器(RTC_BKPx)复位。

侵入事件源的时间戳

使能TPTS位，能让侵入检测功能被用作时间戳功能。如果这位被设置为1，当检测到侵入事件时，TSF也将会被置位，如同使能了时间戳功能。当检测到侵入事件时，无论TPTS位的值如何，TPxF位将置位。

侵入事件检测为边沿检测模式

当FLT位为0x0时，侵入检测被设置成边沿检测模式，TPxEG位决定检测沿是上升沿还是下降沿。当侵入检测配置为边沿检测模式时，侵入检测输入管脚上的上拉电阻将会被禁用。

由于检测侵入事件会复位备份寄存器(RTC_BKPx)，因此对备份寄存器写操作时应该确保侵入事件导致的复位和写操作不会同时发生。避免这种情形的推荐方法是先关闭侵入检测功能，在完成写操作后再重新启动该功能。

注意： PC13 上的侵入检测功能即使 V_{DD} 电源被关掉也依然可以运行。

侵入事件检测为带可配置滤波功能的电平检测模式

当FLT位没有被设置成0x0时，侵入检测被设置成电平检测模式，FLT位决定有效电平需连续采样的次数(2，4或者8)。

当DISPU被设置成0(默认值)，内部的上拉电阻将会在每一次采样前预充电侵入管脚，这样侵入事件的输入管脚上就允许连接更大的电容。预充电的时间可以通过PRCH位来配置。越大的电容，所需的充电时间越长。

电平检测模式下每次采样之间的时间间隔是可配置的。通过调整采样频率(FREQ)，软件能在功耗和检测延迟之间取得一个平衡。

21.3.15. 校准时钟输出

如果COEN位设置为1，PC13管脚会输出参考校准时钟。

当COS位设置为0(默认值)并且异步预分频器(FACTOR_A)设为0x7F时，RTC_CALIB的频率是 f_{RTCCLK} / 64。因此若RTCCLK的频率为32.768KHz，RTC_CALIB对应的输出为512Hz。因为下降沿存在轻微的抖动，因此推荐使用RTC_CALIB输出的上升沿。

当COS位设置为1时，RTC_CALIB的频率计算公式为：

$$f_{rtc_calib} = \frac{f_{rtcclk}}{(FACTOR_A+1)\times(FACTOR_S+1)} \quad (21\text{-}5)$$

若RTCCLK为32.768KHz，如果预分频器是默认值，那么RTC_CALIB对应的输出是1Hz。

21.3.16. 闹钟输出

当OS控制位非复位值时，RTC_ALARM的复用功能输出被启用。此功能将直接输出RTC_STAT中的闹钟标志位或自动唤醒标志位的值。

RTC_CTL寄存器中的OPOL位可以配置ALRMxF位或者WTF位输出时候的极性，因此RTC_ALARM的输出电平有可能与相应的位值相反。

21.3.17. RTC 省电模式管理

表 21-1. 省电模式管理

模式	模式下能否工作	退出该模式的方法
睡眠模式	是	RTC中断
深度睡眠模式	当时钟源是LXTAL或IRC32K时可以工作	RTC闹钟/侵入事件/时间戳事件/唤醒事件
待机模式	当时钟源是LXTAL或IRC32K时可以工作	RTC闹钟/侵入事件/时间戳事件/唤醒事件

21.3.18. RTC 中断

所有的 RTC 中断都被连接到 EXTI 控制器。

如果想使用RTC闹钟/侵入事件/时间戳/自动唤醒中断，应按下面步骤操作：

1) 设置并使能对应的 EXTI 中连接到 RTC 闹钟/侵入事件/时间戳/自动唤醒的中断线，然后配置该线为上升沿触发模式；
2) 配置并使能 RTC 闹钟/侵入事件/时间戳/自动唤醒中断；
3) 配置并使能 RTC 闹钟/侵入事件/时间戳/自动唤醒功能。

表 21-2. 中断控制

中断	事件标志	控制位	退出睡眠模式	退出深度睡眠模式	退出待机模式
闹钟0	ALRM0F	ALRM0IE	Y	Y(*)	Y(*)
闹钟1	ALRM1F	ALRM1IE	Y	Y(*)	Y(*)
唤醒	WTF	WTIE	Y	Y(*)	Y(*)
时间戳	TSF	TSIE	Y	Y(*)	Y(*)
侵入0	TP0F	TPIE	Y	Y(*)	Y(*)
侵入1	TP1F	TPIE	Y	Y(*)	Y(*)

注意: (*)当RTC时钟源是LXTAL或IRC32K时有效。

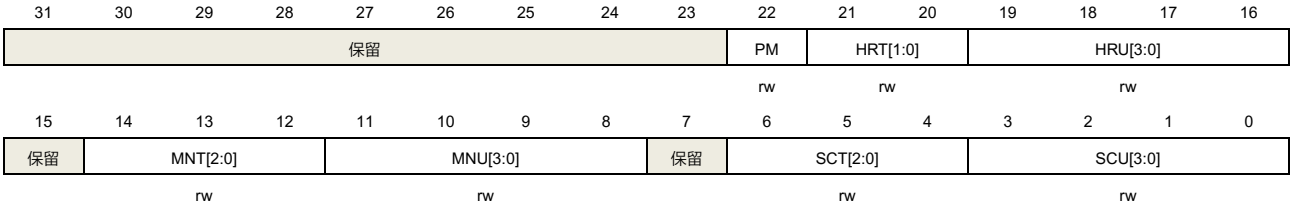
21.4. RTC 寄存器

RTC 基地址：0x4000 2800

21.4.1. 时间寄存器(RTC_TIME)

偏移地址：0x00
系统复位值：当BPSHAD = 0，0x0000 0000
当BPSHAD = 1，无影响
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:23	保留	必须保持复位值
22	PM	AM/PM 标志 0：AM 或 24 小时制 1：PM
21:20	HRT[1:0]	小时十位值，以 BCD 码形式存储
19:16	HRU[3:0]	小时个位值，以 BCD 码形式存储
15	保留	必须保持复位值
14:12	MNT[2:0]	分钟十位值，以 BCD 码形式存储
11:8	MNU[3:0]	分钟个位值，以 BCD 码形式存储
7	保留	必须保持复位值
6:4	SCT[2:0]	秒钟十位值，以 BCD 码形式存储
3:0	SCU[3:0]	秒钟个位值，以 BCD 码形式存储

21.4.2. 日期寄存器(RTC_DATE)

偏移地址：0x04
系统复位值：当BPSHAD = 0，0x0000 2101
当BPSHAD = 1，无影响
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								YRT[3:0]				YRU[3:0]			
									rw				rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOW[2:0]			MONT	MONU[3:0]				保留	DAYT[1:0]		DAYU[3:0]				
rw			rw	rw					rw		rw				

位/位域	名称	描述
31:24	保留	必须保持复位值
23:20	YRT[3:0]	年份十位值，以 BCD 码形式存储
19:16	YRU[3:0]	年份个位值，以 BCD 码形式存储
15:13	DOW[2:0]	星期 0x0：保留 0x1：星期一 … 0x7：星期日
12	MONT	月份十位值，以 BCD 码形式存储
11:8	MONU[3:0]	月份个位值，以 BCD 码形式存储
7:6	保留	必须保持复位值
5:4	DAYT[1:0]	日期十位值，以 BCD 码形式存储
3:0	DAYU[3:0]	日期个位值，以 BCD 码形式存储

21.4.3. 控制寄存器(RTC_CTL)

偏移地址：0x08
系统复位：无影响
备份域复位值：0x0000 0000
写保护寄存器

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								COEN	OS[1:0]		OPOL	COS	DSM	S1H	A1H
								rw	rw		rw	rw	rw	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIE	WTIE	ALRM1IE	ALRM0IE	TSEN	WTEN	ALRM1EN	ALRM0EN	CCEN	CS	BPSHAD	REFEN	TSEG	WTCS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位/位域	名称	描述

31:24	保留	必须保持复位值
23	COEN	校准输出使能 0：关闭校准输出 1：使能校准输出
22:21	OS[1:0]	输出选择 该位用来选择输出的标志源。 0x0：禁用 RTC_ALARM 输出 0x1：启用闹钟 0 标志输出 0x2：启用闹钟 1 标志输出 0x3：启用唤醒标志输出
20	OPOL	输出极性 该位用来反转 RTC_ALARM 输出 0：禁用反转 RTC_ALARM 输出 1：启用反转 RTC_ALARM 输出
19	COS	校准输出选择 仅当 COEN=1 并且预分频器是默认值时有效。 0：校准输出是 512Hz 1：校准输出是 1Hz
18	DSM	夏令时屏蔽位 该位可以通过软件灵活使用。常用来记录夏令时调整。
17	S1H	减 1 小时(冬季时间变化) 当前时间非零的情况下，将当前时间减去一个小时。 0：没有影响 1：在下一个秒改变时，将减少一个小时
16	A1H	增加 1 小时(夏季时间变化) 将当前时间增加一个小时。 0：没有影响 1：在下一个秒改变时，将增加一个小时
15	TSIE	时间戳中断使能 0：禁用时间戳中断 1：启用时间戳中断
14	WTIE	自动唤醒定时器中断使能 0：禁用自动唤醒定时器中断 1：启用自动唤醒定时器中断
13	ALRM1IE	RTC 闹钟 1 中断使能 0：禁用闹钟中断 1：启用闹钟中断
12	ALRM0IE	RTC 闹钟 0 中断使能 0：禁用闹钟中断

		1：启用闹钟中断
11	TSEN	时间戳功能使能 0：禁用时间戳功能 1：启用时间戳功能
10	WTEN	自动唤醒定时器功能使能 0：禁用自动唤醒定时器 1：启用自动唤醒定时器
9	ALRM1EN	闹钟 1 功能使能 0：禁用闹钟功能 1：启用闹钟功能
8	ALRM0EN	闹钟 0 功能使能 0：禁用闹钟功能 1：启用闹钟功能
7	CCEN	粗校准使能 0：禁用粗校准 1：启用粗校准 注意：在使能之前 FACTOR_A 必须大于等于 6，仅能在初始化状态进行写入
6	CS	时间格式 0：24 小时制 1：12 小时制 注意：仅能在初始化状态进行写入
5	BPSHAD	禁止影子寄存器 0：读取的日历的值来自影子日历寄存器 1：读取的日历的值来自真正日历寄存器 注意：如果 APB1 时钟的频率小于 RTCCLK 频率的 7 倍，该位必须设为 1
4	REFEN	参考时钟检测功能使能 0：禁用参考时钟检测功能 1：启用参考时钟检测功能 注意：仅能在初始化状态进行写入并且 FACTOR_S 必须为 0x00FF
3	TSEG	时间戳事件有效检测边沿 0：上升沿是时间戳事件有效检测沿 1：下降沿是时间戳事件有效检测沿
2:0	WTCS[2:0]	自动唤醒定时器时钟选择 0x0：RTC 时钟的 16 分频 0x1：RTC 时钟的 8 分频 0x2：RTC 时钟的 4 分频 0x3：RTC 时钟的 2 分频 0x4，0x5：ck_spre(默认 1Hz)时钟 0x6，0x7：ck_spre (默认 1Hz)时钟并且将唤醒计数器值增加 2^{16}

21.4.4. 状态寄存器(RTC_STAT)

偏移地址：0x0C
系统复位：仅INITM，INITF和RSYNF位被置0，其他位无影响。
备份域复位值：0x0000 0007
写保护寄存器，除RTC_STAT[14：8]外

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															SCPF
															r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TP1F	TP0F	TSOVRF	TSF	WTF	ALRM1F	ALRM0F	INITM	INITF	RSYNF	YCM	SOPF	WTWF	ALRM1W	ALRM0W
	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rw	r	rc_w0	r	r	r	r	r

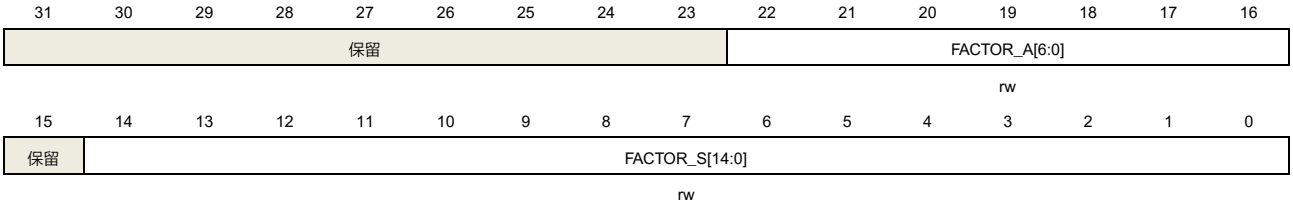
位/位域	名称	描述
31:17	保留	必须保持复位值
16	SCPF	平滑校准挂起标志 在未进入初始化模式时向 RTC_HRFC 进行软件写操作，该位被硬件置 1。当平滑校准设置开始执行后，该位被硬件清零 0。
15	保留	必须保持复位值
14	TP1F	RTC_TAMP1 事件标志 当在 tamper1 输入管脚检测到侵入事件时，该位硬件置 1。可以通过向该位软件写 0 来清除。
13	TP0F	RTC_TAMP0 事件标志 当在 tamper0 输入管脚检测到侵入事件时，该位硬件置 1。可以通过向该位软件写 0 来清除。
12	TSOVRF	时间戳事件溢出标志 如果 TSF 位已经置位，当再次检测到时间戳事件时，该位会通过硬件置 1。 可以通过向该位软件写 0 来清除。
11	TSF	时间戳事件标志 当检测到一个时间戳事件时，该位会通过硬件置 1。可以通过向该位软件写 0 来清除。
10	WTF	唤醒定时器标志 当唤醒定时器减到 0 时，该位会通过硬件置 1。可以通过向该位软件写 0 来清除。该标志需要在 WTF 位再次置 1 之前的 1.5 个 RTC 时钟周期前完成软件清除该位。
9	ALRM1F	Alarm1 发生标志 当现在的时间/日期与闹钟 1 设置的时间/日期匹配的时候，该位会通过硬件置 1。可以通过向该位软件写 0 来清除。
8	ALRM0F	Alarm0 发生标志 当现在的时间/日期与闹钟 0 设置的时间/日期匹配的时候，该位会通过硬件置 1。可

		以通过向该位软件写 0 来清除。
7	INITM	进入初始化模式 0：自由运行模式 1：进入初始化模式设置时间/日期和预分频，计数器将停止运行
6	INITF	初始化状态标志 该位被硬件置 1，初始化状态时可以设置日历寄存器和预分频器。 0：日历寄存器和预分频器的值不能改变 1：日历寄存器和预分频器的值可以改变
5	RSYNF	寄存器同步标志 每 2 个 RTCCLK 将会由硬件置 1 一次，同时会复制当前日历时间/日期到影子日历寄存器。初始化模式(INITM)，移位操作挂起标志(SOPF)或者禁止影子寄存器模式(BPSHAD = 1)会清除该位。该位也可以通过软件写 0 清除。 0：影子寄存器未同步 1：影子寄存器已同步
4	YCM	年份配置标志 当日历寄存器的年份值不为 0 时硬件置 1 0：日历尚未初始化 1：日历已经初始化
3	SOPF	移位功能操作挂起标志 0：移位操作没有挂起 1：移位操作挂起
2	WTWF	唤醒定时器可写标志 0：不允许更新唤醒定时器 1：允许更新唤醒定时器
1	ALRM1WF	Alarm1 配置可写标志 硬件置位和清零。ALRM1EN=0 时，标记 alarm 是否可写 0：不允许修改 Alarm 寄存器设置 1：允许修改 Alarm 寄存器设置
0	ALRM0WF	Alarm0 配置可写标志 硬件置位和清零。ALRM0EN=0 时，标记 alarm 是否可写 0：不允许修改 Alarm 寄存器设置 1：允许修改 Alarm 寄存器设置

21.4.5. 预分频寄存器(RTC_PSC)

偏移地址：0x10
系统复位：无影响
备份域复位值：0x007F 00FF
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。

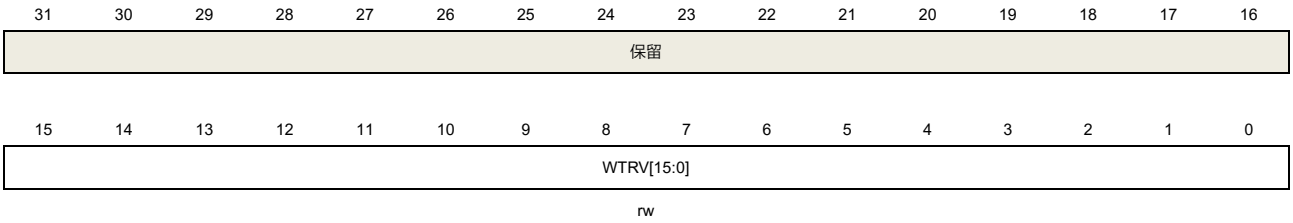


位/位域	名称	描述
31:23	保留	必须保持复位值
22:16	FACTOR_A[6:0]	异步预分频系数 ck_apre 频率 = RTCCLK 频率/(FACTOR_A+1)
15	保留	必须保持复位值
14:0	FACTOR_S[14:0]	同步预分频系数 ck_spre 频率 = ck_apre 频率/(FACTOR_S+1)

21.4.6. 唤醒定时器寄存器(RTC_WUT)

偏移地址：0x14
系统复位：无影响
备份域复位值：0x0000 FFFF
写保护寄存器

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	WTRV[15:0]	自动唤醒定时器重载值 当 WTEN 置 1 时，每隔(WTRV[15：0]+1)个 ck_wut 周期，WTF 置 1 一次 。ck_wut 通过 WTCS[2：0]位选择. 注意：禁止在 WTCS[2：0]=0b 011 时配置 WTRV=0x0000。 该寄存器仅在 WTWF=1 时才能写操作

21.4.7. 粗校准寄存器(RTC_COSC)

偏移地址：0x18
系统复位：无影响

备份域复位值：0x0000 0000
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								COSD	保留		COSS[4:0]				
								rw			rw				

位/位域	名称	描述
31:8	保留	必须保持复位值
7	COSD	粗校准方向 0：增加日历更新频率 1：降低日历更新频率
6:5	保留	必须保持复位值
4:0	COSS[4:0]	粗校准步伐 当 COSD=0： 0x00：+0 PPM 0x01：+4 PPM(近似值) 0x02：+8 PPM(近似值) .... 0x1F：+126 PPM(近似值) 当 COSD=1： 0x00：-0 PPM 0x01：-2 PPM(近似值) 0x02：-4 PPM(近似值) .... 0x1F：-63 PPM(近似值)

21.4.8. 闹钟 0 时间日期寄存器(RTC_ALRM0TD)

偏移地址：0x1C
系统复位：无影响
备份域复位值：0x0000 0000
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSKD	DOWS	DAYT[1:0]		DAYU[3:0]				MSKH	PM	HRT[1:0]		HRU[3:0]			
rw	rw	rw		rw				rw	rw	rw		rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSKM	MNT[2:0]			MNU[3:0]				MSKS	SCT[2:0]			SCU[3:0]			
rw	rw			rw				rw	rw			rw			

位/位域	名称	描述
31	MSKD	闹钟日期位域屏蔽位 0：不屏蔽日期/天位域 1：屏蔽日期/天位域
30	DOWS	星期选择 0：此时 DAYU[3：0] 代表日期个位值 1：此时 DAYU[3：0] 代表星期几，此时 DAYT[1：0]无意义
29:28	DAYT[1:0]	日期十位值，以 BCD 码格式存储
27:24	DAYU[3:0]	日期个位值或星期天数，以 BCD 码格式存储
23	MSKH	闹钟小时位域屏蔽位 0：不屏蔽小时位域 1：屏蔽小时位域
22	PM	AM/PM 标志 0：AM 或 24 小时制 1：PM
21:20	HRT[1:0]	小时十位值，以 BCD 码形式存储
19:16	HRU[3:0]	小时个位值，以 BCD 码形式存储
15	MSKM	闹钟分钟位域屏蔽位 0：不屏蔽分钟位域 1：屏蔽分钟位域
14:12	MNT[2:0]	分钟十位值，以 BCD 码形式存储
11:8	MNU[3:0]	分钟个位值，以 BCD 码形式存储
7	MSKS	闹钟秒位域屏蔽位 0：不屏蔽秒位域 1：屏蔽秒位域
6:4	SCT[2:0]	秒钟十位值，以 BCD 码形式存储
3:0	SCU[3:0]	秒钟个位值，以 BCD 码形式存储

21.4.9. 闹钟 1 时间日期寄存器(RTC_ALRM1TD)

偏移地址：0x20
系统复位：无影响
备份域复位值：0x0000 0000
写保护寄存器，仅在初始化状态可以进行写操作

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

MSKD	DOWS	DAYT[1:0]		DAYU[3:0]				MSKH	PM	HRT[1:0]		HRU[3:0]			
rw	rw	rw		rw				rw	rw	rw		rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSKM	MNT[2:0]			MNU[3:0]				MSKS	SCT[2:0]			SCU[3:0]			
rw	rw			rw				rw	rw			rw			

位/位域	名称	描述
31	MSKD	闹钟日期位域屏蔽位 0：不屏蔽日期/天位域 1：屏蔽日期/天位域
30	DOWS	星期选择 0：此时 DAYU[3：0]代表日期个位值 1：此时 DAYU[3：0]代表星期几，此时 DAYT[1：0]无意义
29:28	DAYT[1:0]	日期十位值，以 BCD 码格式存储
27:24	DAYU[3:0]	日期个位值或星期天数，以 BCD 码格式存储
23	MSKH	闹钟小时位域屏蔽位 0：不屏蔽小时位域 1：屏蔽小时位域
22	PM	AM/PM 标志 0：AM 或 24 小时制 1：PM
21:20	HRT[1:0]	小时十位值，以 BCD 码形式存储
19:16	HRU[3:0]	小时个位值，以 BCD 码形式存储
15	MSKM	闹钟分钟位域屏蔽位 0：不屏蔽分钟位域 1：屏蔽分钟位域
14:12	MNT[2:0]	分钟十位值，以 BCD 码形式存储
11:8	MNU[3:0]	分钟个位值，以 BCD 码形式存储
7	MSKS	闹钟秒位域屏蔽位 0：不屏蔽秒位域 1：屏蔽秒位域
6:4	SCT[2:0]	秒钟十位值，以 BCD 码形式存储
3:0	SCU[3:0]	秒钟个位值，以 BCD 码形式存储

21.4.10. 写保护钥匙寄存器(RTC_WPK)

偏移地址：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								WPK[7:0]							
								w							

位/位域	名称	描述
31:8	保留	必须保持复位值
7:0	WPK[7:0]	写保护的解锁值

21.4.11. 亚秒寄存器(RTC_SS)

偏移地址：0x28
系统复位值：当BPSHAD = 0，0x0000 0000。
当BPSHAD = 1，无影响。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC[15:0]															
r															

位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	SSC[15:0]	亚秒值 该位值是同步预分频计数器的值。秒的小数部分由下面公式给出： 秒的小数部分 = (FACTOR_S - SSC) / (FACTOR_S + 1)

21.4.12. 移位控制寄存器(RTC_SHIFTCTL)

偏移地址：0x2C
系统复位：无影响
备份域复位值：0x0000 0000
写保护寄存器，仅当SOPF=0，该寄存器可写
注意：写入此寄存器会导致RSYNF位被清0。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
A1S	保留														
w															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

保留	SFS[14:0]
	w

位/位域	名称	描述
31	A1S	增加一秒 0：无影响 1：增加一秒到时钟/日历 该位与 SFS 位一起使用，增加小于一秒到当前时间。
30:15	保留	必须保持复位值
14:0	SFS[14:0]	减去小于一秒的一段时间 这位的值将增加到同步预分频计数器 当仅用 SFS 时，由于同步预分频器是一个递减计数器，所以时钟将会延迟。 延迟(秒) = SFS / (FACTOR_S + 1) 当 A1S 和 SFS 一起使用时，时钟将会提前 提前(秒) = (1 - (SFS / (FACTOR_S + 1)))

21.4.13. 时间戳时间寄存器(RTC_TTS)

偏移地址：0x30
备份域复位值：0x0000 0000
系统复位：无影响
当TSF被置1，该位用来记录日历时间
清除TSF位也会清除此寄存器

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留									PM	HRT[1:0]		HRU[3:0]			
									r	r		r			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	MNT[2:0]			MNU[3:0]				保留	SCT[2:0]			SCU[3:0]			
	r			r					r			r			

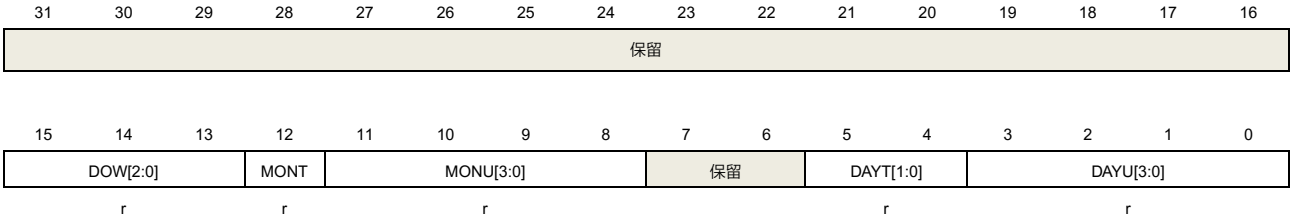
位/位域	名称	描述
31:23	保留	必须保持复位值
22	PM	AM/PM 标记 0：AM 或 24 小时制 1：PM
21:20	HRT[1:0]	小时十位值，以 BCD 码形式存储
19:16	HRU[3:0]	小时个位值，以 BCD 码形式存储
15	保留	必须保持复位值

14:12	MNT[2:0]	分钟十位值，以 BCD 码形式存储
11:8	MNU[3:0]	分钟个位值，以 BCD 码形式存储
7	保留	必须保持复位值
6:4	SCT[2:0]	秒钟十位值，以 BCD 码形式存储
3:0	SCU[3:0]	秒钟个位值，以 BCD 码形式存储

21.4.14. 时间戳日期寄存器(RTC_DTS)

偏移地址：0x34
备份域复位值：0x0000 0000
系统复位：无影响
当TSF被置1，该位用来记录日历日期
清除TSF位也会清除此寄存器

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值
15:13	DOW[2:0]	星期数
12	MONT	月份十位值，以 BCD 码形式存储
11:8	MONU[3:0]	月份个位值，以 BCD 码形式存储
7:6	保留	必须保持复位值
5:4	DAYT[2:0]	日期十位值，以 BCD 码形式存储
3:0	DAYU[3:0]	日期个位值，以 BCD 码形式存储

21.4.15. 时间戳亚秒寄存器(RTC_SSTS)

偏移地址：0x38
备份域复位：0x0000 0000
系统复位：无影响
当 TSF 被置 1，该位用来记录日历时间
清除 TSF 位也会清除此寄存器

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC[15:0]															
r															

位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	SSC[15:0]	亚秒值 TSF 置 1 时记录当时的同步预分频计数器的值。

21.4.16. 高精度频率补偿寄存器(RTC_HRFC)

偏移地址：0x3C
备份域复位：0x0000 0000
系统复位：无影响
写保护寄存器

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQI	CWND8	CWND16	保留				CMSK[8:0]								
rw	rw	rw					rw								

位/位域	名称	描述
31:16	保留	必须保持复位值
15	FREQI	RTC 频率增加 488.5ppm 0：无影响 1：每 2^{11} 个脉冲增加一个 RTCCLK 脉冲 该位需与 CMSK 位一起使用。如果输入时钟频率是 32.768KHz，在 32s 校准窗期间，增加的 RTCCLK 脉冲数是(512 * FREQI) - CMSK
14	CWND8	采用 8 秒校准周期 0：无影响 1：采用 8 秒校准周期 注意：当 CWND8=1，CMSK[1：0]被锁定在"00"。
13	CWND16	采用 16 秒校准周期 0：无影响 1：采用 16 秒校准周期 注意：当 CWND16=1，CMSK[0]被锁定在"0".

12:9	保留	必须保持复位值
8:0	CMSK[8:0]	校准周期 RTCCLK 脉冲屏蔽数 在 2^{20} RTCCLK 脉冲之内屏蔽的脉冲数 此项功能可以以 0.9537ppm 的分辨率来降低日历频率

21.4.17. 侵入寄存器(RTC_TAMP)

偏移地址：0x40
备份域复位：0x0000 0000
系统复位：无影响

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留													AOT	TSSEL	TP0SEL
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISPU	PRCH[1:0]		FLT[1:0]		FREQ[2:0]			TPTS	保留		TP1EG	TP1EN	TPIE	TP0EG	TP0EN
rw	rw		rw		rw			rw			rw	rw	rw	rw	rw

位/位域	名称	描述
31:19	保留	必须保持复位值
18	AOT	RTC_ALARM 输出类型 0：开漏输出 1：推挽输出
17	TSSEL	时间戳输入选择： 0：时间戳从 PC13 输入 1：时间戳从 PI8 输入
16	TP0SEL	Tamper 0 输入选择： 0：Tamper 0 从 PC13 输入 1：Tamper 0 从 PI8 输入 注意：当 TP0SEL 改变时 TP0EN 必须复位
15	DISPU	RTC_TAMPx 上拉禁用位 0：使能内部 RTC_TAMPx 引脚上的上拉电阻并在采样前进行预充电 1：禁用预充电功能
14:13	PRCH[1:0]	RTC_TAMPx 的预充电时间 该位设置决定了每次采样前的预充电时间 0x0：1 个 RTC 时钟 0x1：2 个 RTC 时钟 0x2：4 个 RTC 时钟 0x3：8 个 RTC 时钟
12:11	FLT[1:0]	RTC_TAMPx 过滤器计数设置 该位决定了侵入事件检测模式和在电平检测模式下连续采样的次数。

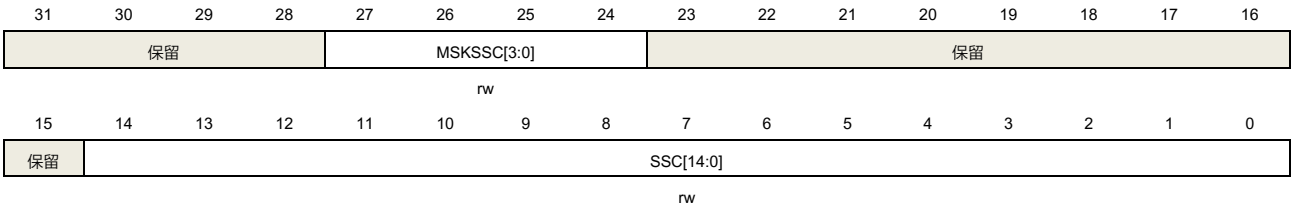
		0x0：用边沿模式检测侵入事件，预充电功能被自动禁用。 0x1：用电平模式检测侵入事件。连续采样到 2 个有效电平时认为发生侵入事件 0x2：用电平模式检测侵入事件。连续采样到 4 个有效电平时认为发生侵入事件 0x3：用电平模式检测侵入事件。连续采样到 8 个有效电平时认为发生侵入事件
10:8	FREQ[2:0]	侵入事件电平模式检测的采样频率 0x0：每次采样间隔 32768 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 1Hz) 0x1：每次采样间隔 16384 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 2Hz)0x2：每次采样间隔 8192 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 4Hz) 0x3：每次采样间隔 4096 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 8Hz) 0x4：每次采样间隔 2048 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 16Hz) 0x5：每次采样间隔 1024 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 32Hz) 0x6：每次采样间隔 512 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 64Hz) 0x7：每次采样间隔 256 个 RTCCLK(若 RTCCLK=32.768KHz，频率为 128Hz)
7	TPTS	侵入事件时触发时间戳 0：无影响 1：当检测到侵入事件时，即使 TSEN=0，TSF 也会被置位
6:5	保留	必须保持复位值
4	TP1EG	TAMP1 输入管脚的侵入事件检测触发沿 如果侵入检测处于边沿模式(FLT = 0)： 0：上升沿触发一个侵入检测事件 1：下降沿触发一个侵入检测事件 如果侵入检测处于电平模式(FLT != 0)： 0：低电平触发一个侵入检测事件 1：高电平触发一个侵入检测事件
3	TP1EN	Tamper1 检测使能位 0：禁用 Tamper1 检测功能 1：启用 Tamper1 检测功能
2	TPIE	侵入检测中断使能 0：禁用侵入中断 1：启用侵入中断
1	TP0EG	TAMP0 输入管脚的侵入事件检测触发沿 如果侵入检测处于边沿模式(FLT = 0)： 0：上升沿触发一个侵入检测事件 1：下降沿触发一个侵入检测事件 如果侵入检测处于电平模式(FLT != 0)： 0：低电平触发一个侵入检测事件 1：高电平触发一个侵入检测事件
0	TP0EN	Tamper0 检测使能位 0：禁用 Tamper0 检测功能 1：启用 Tamper0 检测功能

注意：强烈建议在改变侵入检测配置之前，应该复位TPxEN位。

21.4.18. 闹钟 0 亚秒寄存器(RTC_ALRM0SS)

偏移地址：0x44
备份域复位：0x0000 0000
系统复位：无影响
写保护寄存器，仅当 ALRM0EN=0 或 INITM=1，可以进行写操作

该寄存器只能按字(32位)访问。

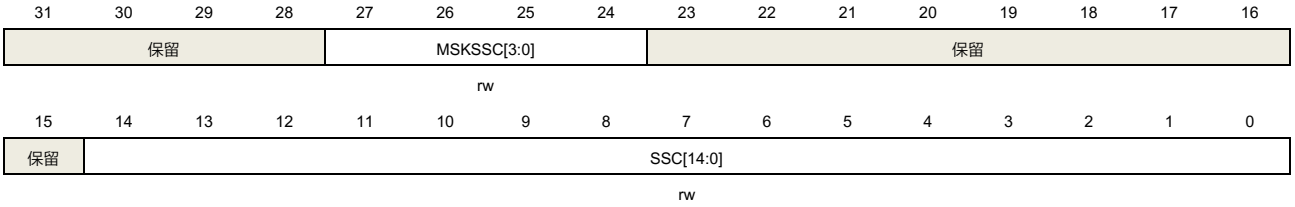


位/位域	名称	描述
31:28	保留	必须保持复位值
27:24	MSKSSC[3:0]	亚秒位域的屏蔽控制位 0x0：屏蔽闹钟亚秒设置。当所有其他的闹钟位域匹配的时候，闹钟将会在每一秒钟到达的时刻置 1。 0x1：SSC[0]位用于时间匹配，其他位被忽略。 0x2：SSC[1：0] 位用于时间匹配，其他位被忽略。 0x3：SSC[2：0] 位用于时间匹配，其他位被忽略。 0x4：SSC[3：0] 位用于时间匹配，其他位被忽略。 0x5：SSC[4：0] 位用于时间匹配，其他位被忽略。 0x6：SSC[5：0] 位用于时间匹配，其他位被忽略。 0x7：SSC[6：0] 位用于时间匹配，其他位被忽略。 0x8：SSC[7：0] 位用于时间匹配，其他位被忽略。 0x9：SSC[8：0] 位用于时间匹配，其他位被忽略。 0x10：SSC[9：0] 位用于时间匹配，其他位被忽略。 0x11：SSC[10：0] 位用于时间匹配，其他位被忽略。 0x12：SSC[11：0] 位用于时间匹配，其他位被忽略。 0x13：SSC[12：0] 位用于时间匹配，其他位被忽略。 0x14：SSC[13：0] 位用于时间匹配，其他位被忽略。 0x15：SSC[14：0] 位用于时间匹配，其他位被忽略。 **注意**：同步预分频计数器的第 15 位(RTC_SS 寄存器中的 SSC[15])从不被匹配。
23:15	保留	必须保持复位值
14:0	SSC[14:0]	闹钟亚秒值 该值为闹钟亚秒值，用于与同步预分频计数器匹配。 匹配位数由 MSKSSC 位控制。

21.4.19. 闹钟 1 亚秒寄存器(RTC_ALRM1SS)

偏移地址：0x48
备份域复位：0x0000 0000
系统复位：无影响
写保护寄存器，仅当 ALRM1EN=0 或 INITM=1，可以进行写操作

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:28	保留	必须保持复位值
27:24	MSKSSC[3:0]	亚秒位域的屏蔽控制位 0x0：屏蔽闹钟亚秒设置。当所有其他的闹钟位域匹配的时候，闹钟将会在每一秒钟到达的时刻置 1。 0x1：SSC[0]位用于时间匹配，其他位被忽略。 0x2：SSC[1：0]位用于时间匹配，其他位被忽略。 0x3：SSC[2：0]位用于时间匹配，其他位被忽略。 0x4：SSC[3：0]位用于时间匹配，其他位被忽略。 0x5：SSC[4：0]位用于时间匹配，其他位被忽略。 0x6：SSC[5：0]位用于时间匹配，其他位被忽略。 0x7：SSC[6：0]位用于时间匹配，其他位被忽略。 0x8：SSC[7：0]位用于时间匹配，其他位被忽略。 0x9：SSC[8：0]位用于时间匹配，其他位被忽略。 0x10：SSC[9：0]位用于时间匹配，其他位被忽略。 0x11：SSC[10：0]位用于时间匹配，其他位被忽略。 0x12：SSC[11：0]位用于时间匹配，其他位被忽略。 0x13：SSC[12：0]位用于时间匹配，其他位被忽略。 0x14：SSC[13：0]位用于时间匹配，其他位被忽略。 0x15：SSC[14：0]位用于时间匹配，其他位被忽略。 注意：同步预分频计数器的第 15 位(RTC_SS 寄存器中的 SSC[15])从不被匹配。
23:15	保留	必须保持复位值
14:0	SSC[14:0]	闹钟亚秒值 该值为闹钟亚秒值，用于与同步预分频计数器匹配。 匹配位数由 MSKSSC 位控制。

21.4.20. 备份寄存器(RTC_BKPx)(x=0..19)

偏移地址：0x50 到 0x9C
备份域复位：0x0000 0000
系统复位：无影响

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw															

位/位域	名称	描述
31:0	DATA[31:0]	数据 软件可读写寄存器。由于此寄存器可由 V_{BAT} 供电，因此寄存器值在省电模式下依然保持有效。当侵入检测标志位 TPxF 置 1，这些寄存器会被复位。

22. 定时器(TIMERx)

表 22-1. 定时器(TIMERx)分为五种类型

定时器	定时器 0/7	定时器 1~4	定时器 8/11	定时器 9/10/12/13	定时器 5/6
类型	高级	通用(L0)	通用(L1)	通用(L2)	基本
预分频器	16 位	16 位	16 位	16 位	16 位
计数器	16 位	32 位(定时器 1/4) 16 位(定时器 2/3)	16 位	16 位	16 位
计数模式	向上，向下，中央对齐	向上，向下，中央对齐	只有向上	只有向上	只有向上
可重复性	●	×	×	×	×
捕获/比较通道数	4	4	2	1	0
互补和死区时间	●	×	×	×	×
中止输入	●	×	×	×	×
单脉冲	●	●	●	×	●
正交译码器	●	●	×	×	×
主-从管理	●	●	●	×	×
内部连接	●(1)	●(2)	●(3)	×	TRGO TO DAC
DMA	●	●	×	×	●(4)
Debug 模式	●	●	●	●	●

(1)

TIMER0	**ITI0:**TIMER4_TRGO	**ITI1:** TIMER1_TRGO	**ITI2:** TIMER2_TRGO	**ITI3:**TIMER3_TRGO
TIMER7	**ITI0:** TIMER0_TRGO	**ITI1:** TIMER1_TRGO	**ITI2:** TIMER3_TRGO	**ITI3:**TIMER4_TRGO

(2)

TIMER1	**ITI0:** TIMER0_TRGO	**ITI1:** TIMER7_TRGO	**ITI2:** TIMER2_TRGO	**ITI3:**TIMER3_TRGO
TIMER2	**ITI0:** TIMER0_TRGO	**ITI1:** TIMER1_TRGO	**ITI2:** TIMER4_TRGO	**ITI3:**TIMER3_TRGO
TIMER3	**ITI0:** TIMER0_TRGO	**ITI1:** TIMER1_TRGO	**ITI2:** TIMER2_TRGO	**ITI3:**TIMER7_TRGO
TIMER4	**ITI0:** TIMER1_TRGO	**ITI1:** TIMER2_TRGO	**ITI2:** TIMER3_TRGO	**ITI3:**TIMER7_TRGO

(3)

TIMER8	**ITI0:** TIMER1_TRGO	**ITI1:** TIMER2_TRGO	**ITI2:** TIMER9_TRGO	**ITI3:**TIMER10_TRGO
TIMER11	**ITI0:** TIMER3_TRGO	**ITI1:** TIMER4_TRGO	**ITI2:** TIMER12_TRGO	**ITI3:**TIMER13_TRGO

(4) 只有更新事件可以产生 DMA 请求。但是定时器 5 和定时 6 中没有 DMA 配置寄存器。

22.1. 高级定时器(TIMERx,x=0,7)

22.1.1. 简介

高级定时器(TIMER0 和 TIMER7)是四通道定时器，支持输入捕获和输出比较。可以产生 PWM 信号控制电机和电源管理。高级定时器含有一个 16 位无符号计数器。

高级定时器是可编程的，可以被用来计数，其外部事件可以驱动其他定时器

高级定时器包含了一个死区时间插入模块，非常适合电机控制。

定时器和定时器之间是相互独立，但是他们可以被同步在一起形成一个更大的定时器，这些定时器的计数器一致地增加。

22.1.2. 主要特性

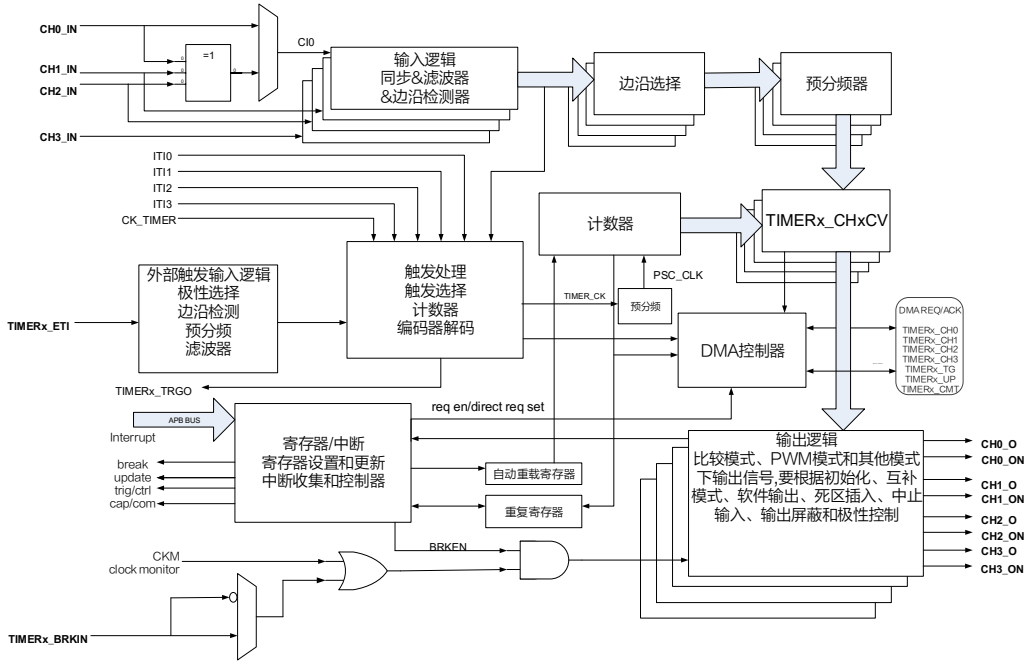
- 总通道数：4；
- 计数器宽度：16位；
- 时钟源可选：内部时钟，内部触发，外部输入，外部触发；
- 多种计数模式：向上计数，向下计数和中央计数；
- 正交译码器接口：被用来追踪运动和分辨旋转方向和位置；
- 霍尔传感器接口：用来做三相电机控制；
- 可编程的预分频器：16位，运行时可以被改变；
- 每个通道可配置：输入捕获模式，输出比较模式，可编程的PWM模式，单脉冲模式；
- 可编程的死区时间；
- 自动重装载功能；
- 可编程的计数器重复功能；
- 中止输入功能使定时器按照用户的配置输出；
- 中断输出和DMA请求：更新事件，触发事件，比较/捕获事件和中止事件；
- 多个定时器的菊链使得一个定时器可以同时启动多个定时器；
- 定时器的同步允许被选择的定时器在同一个时钟周期开始计数；
- 定时器主-从管理。

22.1.3. 功能描述

结构框图

*图 22-1. 高级定时器结构框图*了高级定时器的内部配置细节。

图 22-1. 高级定时器结构框图



时钟源配置

高级定时器可以由内部时钟源 CK_TIMER 或者由 SMC(TIMERx_SMCFG 寄存器位[2:0])控制的复用时钟源驱动。

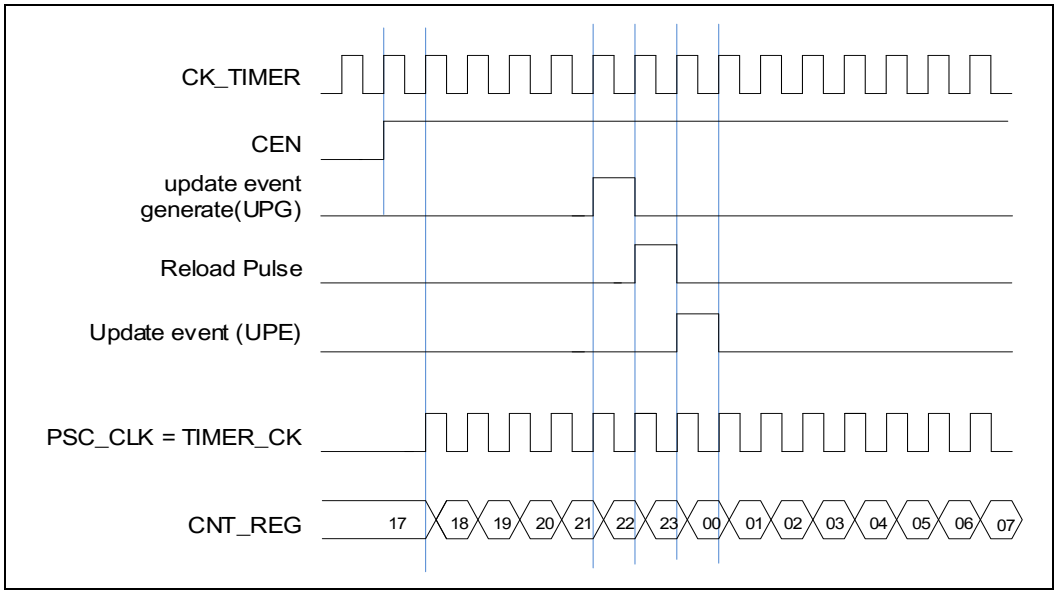
- SMC[2:0]==3'b000，定时器选择内部时钟源(连接到RCU模块的CK_TIMER)

如果 SMC[2:0]==3'b000，默认用来驱动计数器预分频器的是内部时钟源 CK_TIMER。当 CEN 置位，CK_TIMER 经过预分频器(预分频值由 TIMERx_PSC 寄存器确定)产生 PSC_CLK。

这种模式下，驱动预分频器计数的 TIMER_CK 等于来自于 RCU 模块的 CK_TIMER

如果将 TIMERx_SMCFG 寄存器的 SMC[2:0]设置为 0x1、0x2、0x3 和 0x7，预分频器被其他时钟源(由 TIMERx_SMCFG 寄存器的 TRGS [2:0]区域选择)驱动，在下文说明。当 SMC 位被设置为 0x4、0x5 和 0x6，计数器预分频器时钟源由内部时钟 CK_TIMER 驱动。

图 22-2. 内部时钟分频为 1 时，计数器的时序图



- SMC[2:0]==3'b111(外部时钟模式0)，定时器选择外部输入引脚作为时钟源

计数器预分频器可以在 TIMERx_CI0/ TIMERx_CI1 引脚的每个上升沿或下降沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS[2:0]为 0x4，0x5 或 0x6 来选择。

计数器预分频器也可以在内部触发信号 ITI0/1/2/3 的上升沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x0, 0x1, 0x2 或者 0x3。

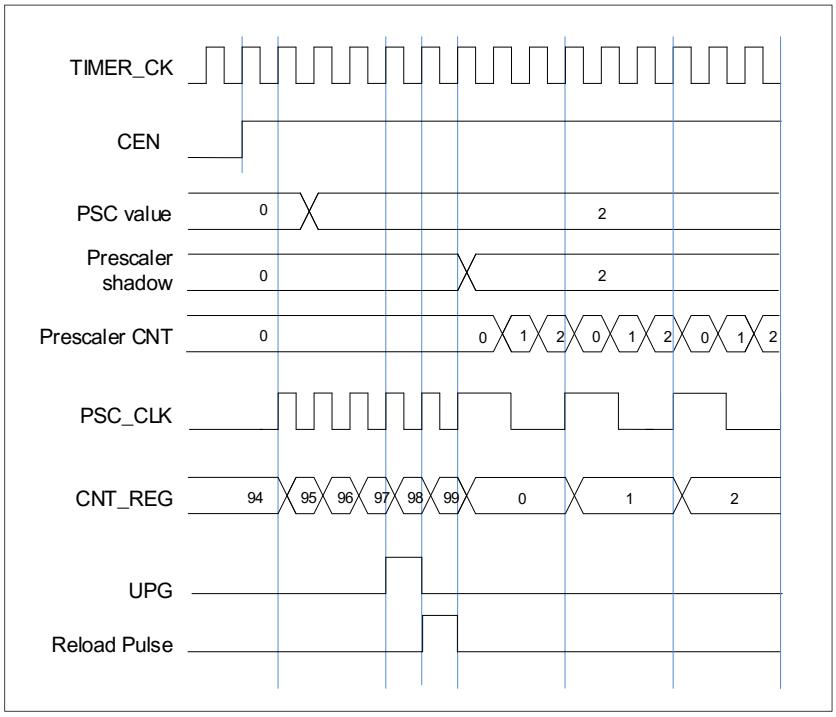
- SMC1==1'b1(外部时钟模式1)，定时器选择外部输入引脚ETI作为时钟源

计数器预分频器可以在外部引脚 ETI 的每个上升沿或下降沿计数。这种模式可以通过设置 TIMERx_SMCFG 寄存器中的 SMC1 位为 1 来选择。另一种选择 ETI 信号作为时钟源方式是，设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x7。注意 ETI 信号是通过数字滤波器采样 ETI 引脚得到的。如果选择 ETI 信号为时钟源，触发控制器包括边沿监测电路将在每个 ETI 信号上升沿产生一个时钟脉冲来为计数器预分频器提供时钟。

时钟预分频器

预分频器可以将定时器的时钟(TIMER_CK)频率按 1 到 65536 之间的任意值分频，分频后的时钟 PSC_CLK 驱动计数器计数。分频系数受预分频寄存器 TIMERx_PSC 控制，这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

图 22-3. 当 PSC 数值从 0 变到 2 时，计数器的时序图



计数器向上计数模式

在这种模式，计数器的计数方向是向上计数。计数器从 0 开始向上连续计数到自动加载值(定义在 TIMERx_CAR 寄存器中)，一旦计数器计数到自动加载值，会重新从 0 开始向上计数。另外，在(TIMERx_CREP+1)次上溢后产生更新事件。在向上计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 0。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被清 0，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(重复计数器，计数器自动重载寄存器，预分频寄存器)都将被更新。

下面这些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同预分频因子下的行为。

图 22-4. 向上计数时序图，PSC=0/2

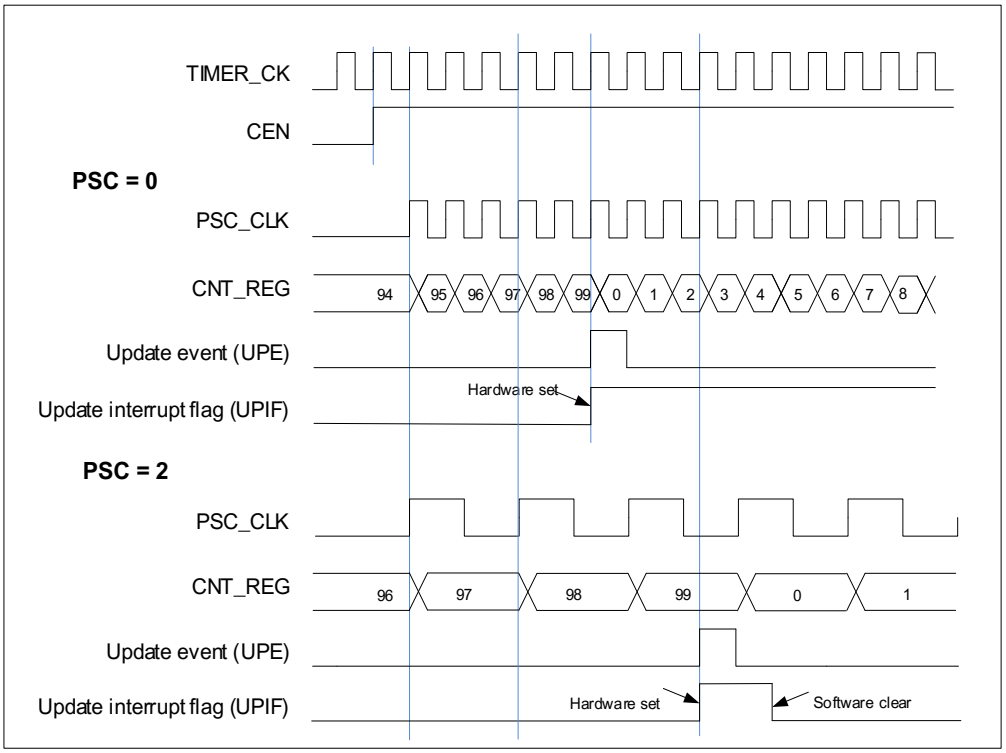
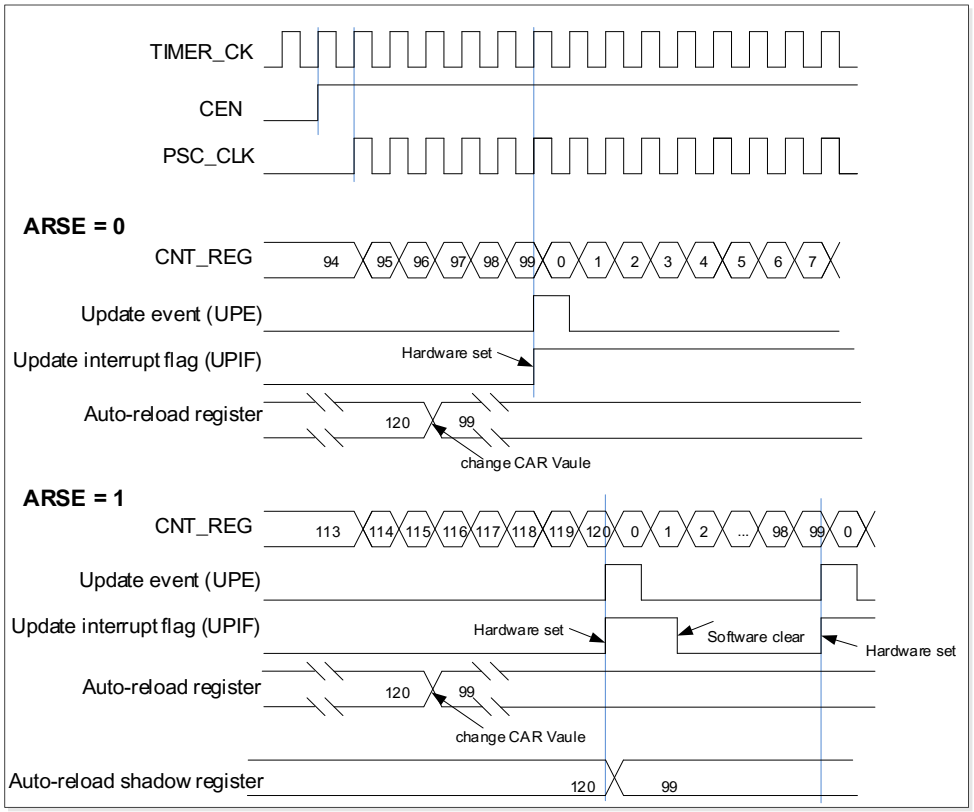


图 22-5. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值



计数器向下计数模式

在这种模式，计数器的计数方向是向下计数。计数器从自动加载值(定义在 TIMERx_CAR 寄存器中)向下连续计数到 0。一旦计数器计数到 0，计数器会重新从自动加载值开始计数。另外，在(TIMERx_CREP+1)次下溢后产生更新事件。在向下计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 1。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被初始化为自动加载值，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(重复计数器，计数器自动重载寄存器，预分频寄存器)都将被更新。

下面这些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同时钟频率下的行为。

图 22-6. 向下计数时序图，PSC=0/2

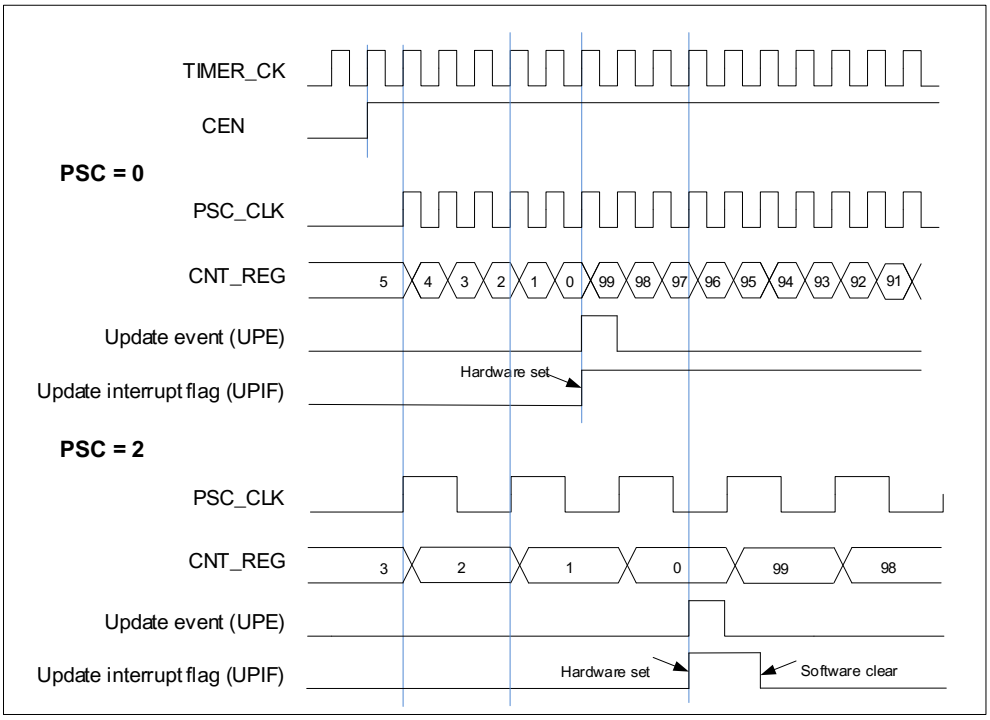
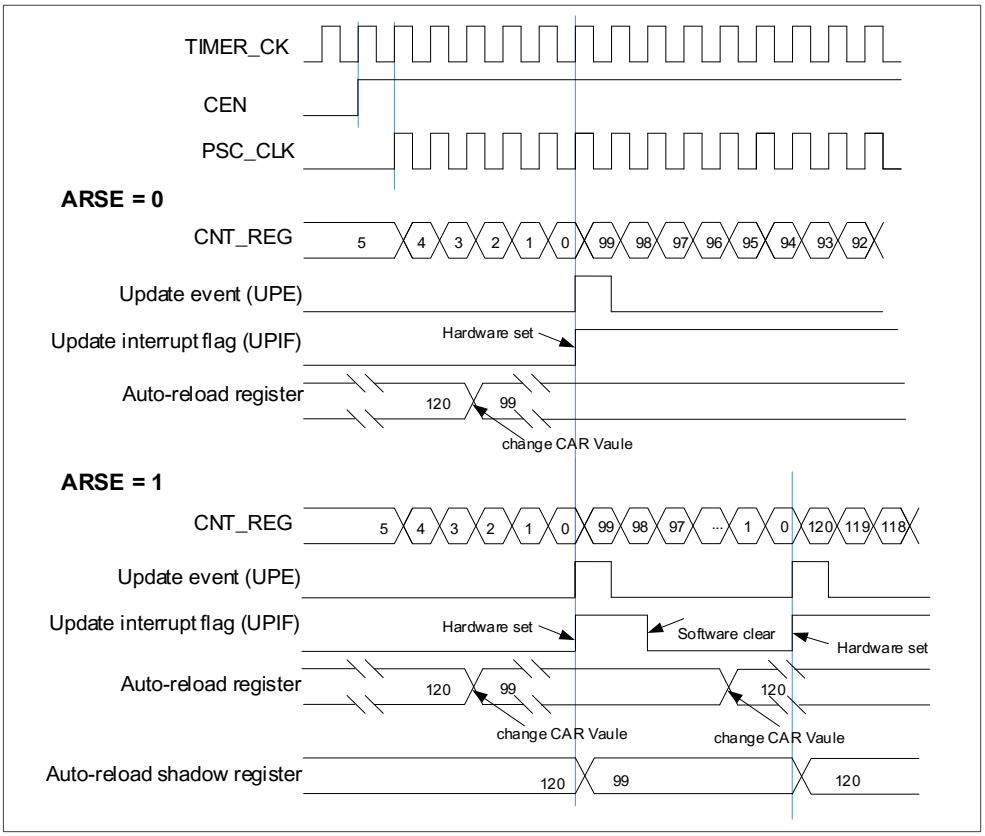


图 22-7. 向下计数时序图，在运行时改变 TIMERx_CAR 寄存器值



计数器中央对齐模式

在中央对齐模式下，计数器交替的从 0 开始向上计数到自动加载值，然后再向下计数到 0。。向上计数模式中， 定时器模块在计数器计数到自动加载值-1 产生一个上溢事件；向下计数模式中，定时器模块在计数器计数到 1 时产生一个下溢事件。在中央计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 只读，表明了的计数方向。

将 TIMERx_SWEVG 寄存器的 UPG 位置 1 可以初始化计数值为 0，并产生一个更新事件，而无需考虑计数器在中央模式下是向上计数还是向下计数。

上溢或者下溢时，TIMERx_INTF 寄存器中的 UPIF 位都会被置 1，然而 CHxIF 位置 1 与 TIMERx_CTL0 寄存器中 CAM 的值有关。具体细节参考*图 22-8. 中央计数模式计数器时序图*。

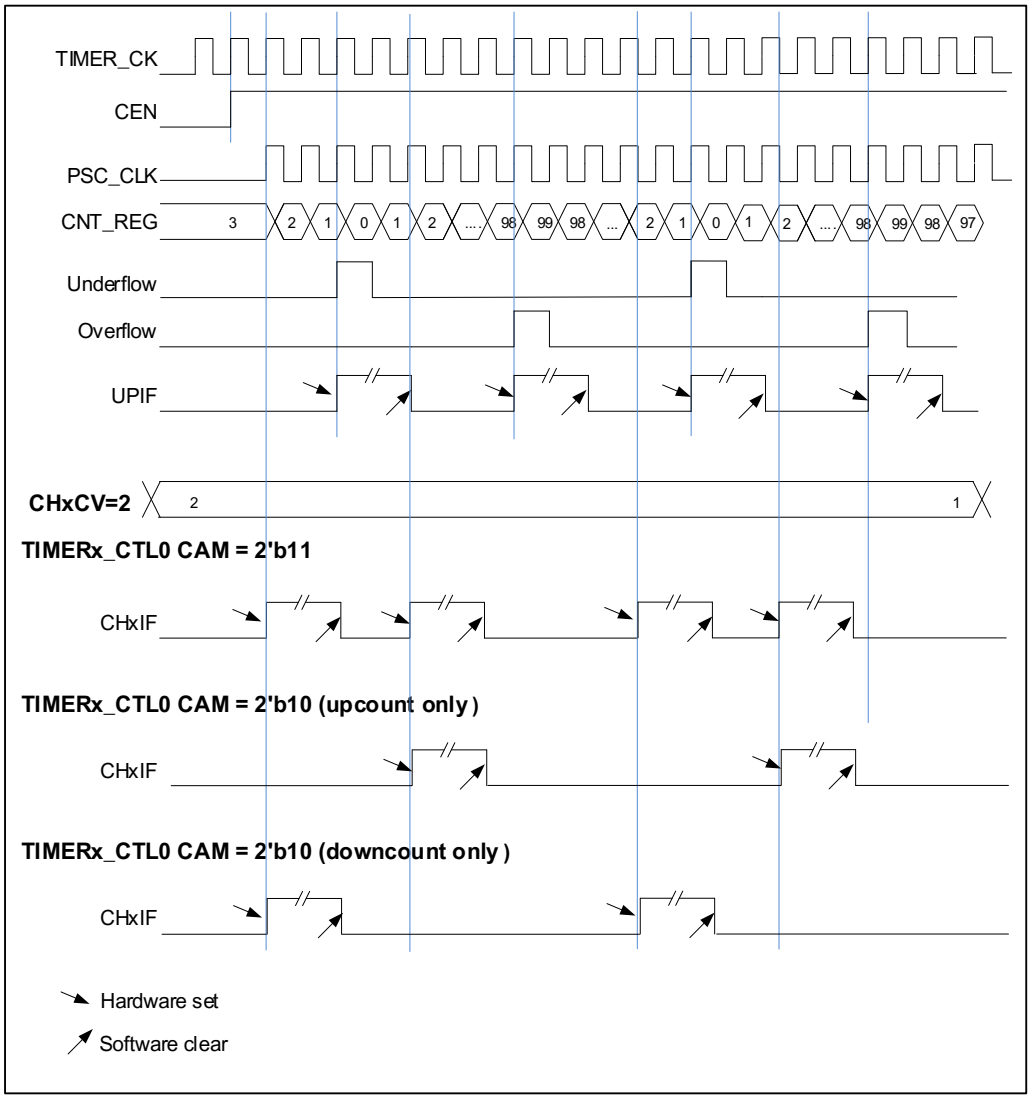
如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(重复计数器，计数器自动重载寄存器，预分频寄存器)都将被更新。

*图 22-8. 中央计数模式计数器时序图*给出了一些例子，当 TIMERx_CAR=0x99，

TIMERx_PSC=0x0 时，计数器的行为。

图 22-8. 中央计数模式计数器时序图



更新事件(来自上溢/下溢)频率配置

更新事件的生成频率(来自上溢和下溢事件)可以通过TIMERx_CREP寄存器进行配置。重复计数器是用来在N+1个计数周期之后产生更新事件，更新定时器的寄存器，N为TIMERx_CREP寄存器的CREP。重复计数器在每次计数器上溢和下溢时递减(向上计数模式中不存在下溢事件；向下计数模式中不存在上溢事件)。

将TIMERx_SWEVG寄存器的UPG位置1可以重载TIMERx_CREP寄存器中CREP的值并产生一个更新事件。

新写入的CREP值将在下一次更新事件到来时生效。当CREP的值为奇数，并且计数器在中央对齐模式下计数时，更新事件发生在上溢或下溢取决于写入的CREP值何时生效。如果在写入奇数到CREP寄存器后由软件生成更新事件(UPG位置1)，则在下溢时产生更新事件。如果在写

入奇数到CREP寄存器后下一个更新事件发生在上溢，此后将在上溢时产生更新事件。

图 22-9. 中央计数模式下计数器重复时序图

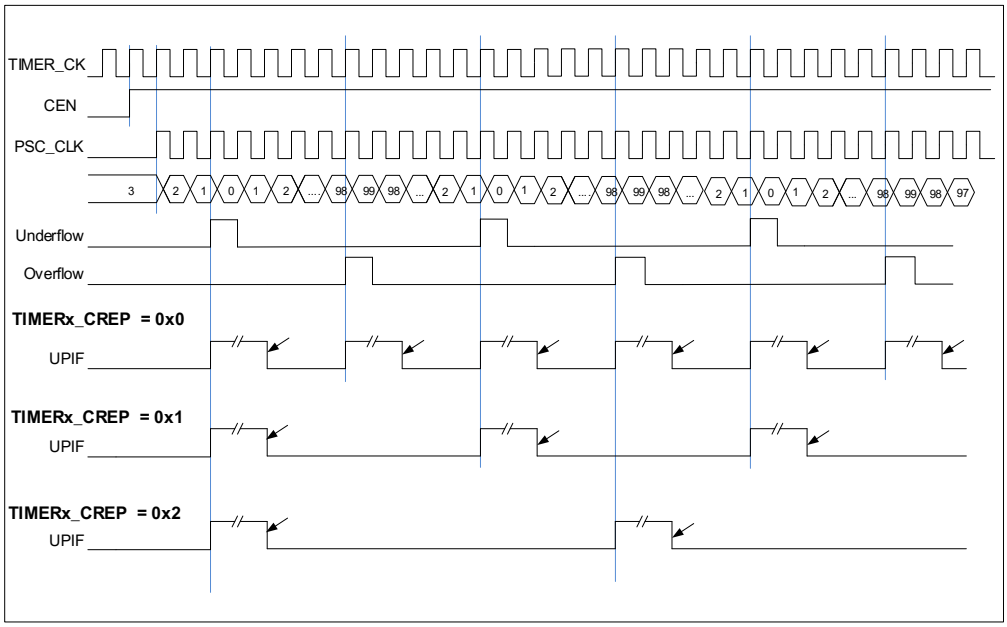


图 22-10. 在向上计数模式下计数器重复时序图

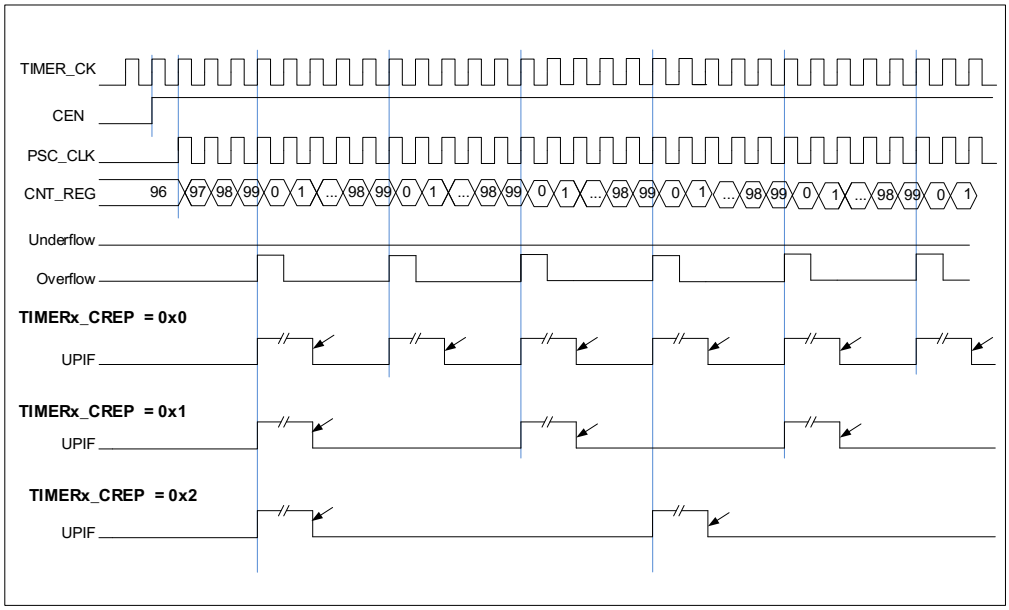
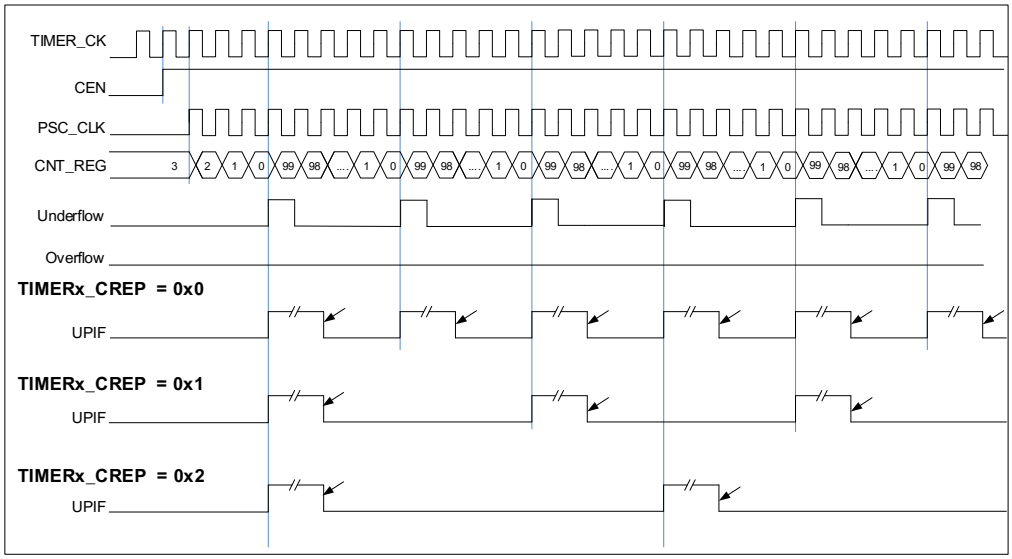


图 22-11. 在向下计数模式下计数器重复时序图



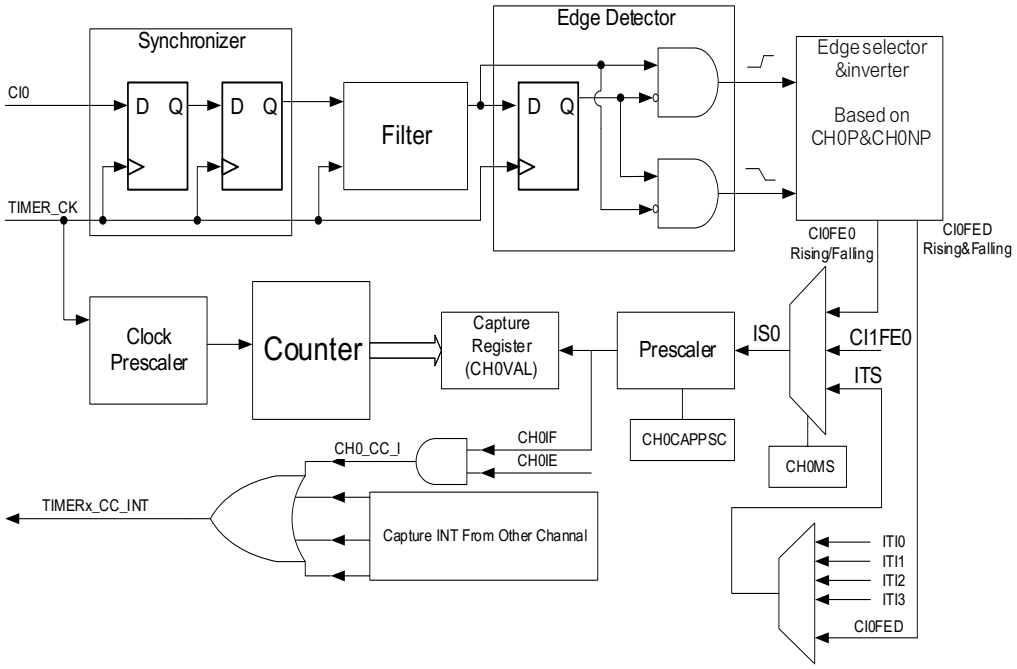
输入捕获和输出比较通道

高级定时器拥有四个独立的通道用于捕获输入或比较输出是否匹配。每个通道都围绕一个通道捕获比较寄存器建立，包括一个输入级，通道控制器和输出级。

- 通道输入捕获功能

通道输入捕获功能允许通道测量一个波形时序，频率，周期，占空比等。输入级包括一个数字滤波器，一个通道极性选择，边沿检测和一个通道预分频器。如果在输入引脚上出现被选择的边沿，TIMERx_CHxCV 寄存器会捕获计数器当前的值，同时 CHxIF 位被置 1，如果 CHxIE = 1 则产生通道中断。

图 22-12. 通道输入捕获原理



通道输入信号 CIx 有两种选择，一种是 TIMERx_CHx 信号，另一种是 TIMERx_CH0,TIMERx_CH1 和 TIMERx_CH2 异或之后的信号。通道输入信号 CIx 先被 TIMER_CK 信号同步，然后经过数字滤波器采样，产生一个被滤波后的信号。通过边沿检测器，可以选择检测上升沿或者下降沿。通过配置 CHxP 选择使用上升沿或者下降沿。配置 CHxMS，可以选择其他通道的输入信号，内部触发信号。配置 IC 预分频器，使得若干个输入事件后才产生一个有效的捕获事件。捕获事件发生，CxCV 存储计数器的值。

配置步骤如下：

第一步： 滤波器配置(TIMERx_CHCTL0寄存器中CHxCAPFLT)：
根据输入信号和请求信号的质量，配置相应的CHxCAPFLT。
第二步： 边沿选择(TIMERx_CHCTL2寄存器中CHxP/CHxNP)：
配置CHxP/CHxNP选择上升沿或者下降沿。
第三步： 捕获源选择(TIMERx_CHCTL0寄存器中CHxMS)：
一旦通过配置CHxMS选择输入捕获源，必须确保通道配置在输入模式(CHxMS!=0x0)，而且TIMERx_CHxCV寄存器不能再被写。
第四步： 中断使能(TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN)：
使能相应中断，可以获得中断和DMA请求。
第五步： 捕获使能(TIMERx_CHCTL2寄存器中CHxEN)。

结果： 当期望的输入信号发生时，TIMERx_CHxCV被设置成当前计数器的值，CHxIF位置1。如果CHxIF位已经为1，则CHxOF位置1。根据TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN的配置，相应的中断和DMA请求会被提出。

直接产生： 软件设置CHxG位，会直接产生中断和DMA请求。

输入捕获模式也可用来测量 TIMERx_CHx 引脚上信号的脉冲波宽度。例如，一个 PWM 波连接到 CI0。配置 TIMERx_CHCTL0 寄存器中 CH0MS 为 2'b01，选择通道 0 的捕获信号为 CI0 并设置上升沿捕获。配置 TIMERx_CHCTL0 寄存器中 CH1MS 为 2'b10，选择通道 1 捕获信号为 CI0 并设置下降沿捕获。计数器配置为复位模式，在通道 0 的上升沿复位。TIMERX_CH0CV 寄存器测量 PWM 的周期值，TIMERx_CH1CV 寄存器测量 PWM 占空比值。

- 通道输出比较功能

在输出比较模式，TIMERx 可以产生时控脉冲，其位置，极性，持续时间和频率都是可编程的。当一个输出通道的 CHxCV 寄存器与计数器的值匹配时，根据 CHxCOMCTL 的配置，这个通道的输出可以被置高电平，被置低电平或者反转。当计数器的值与 CHxCV 寄存器的值匹配时，CHxIF 位被置 1，如果 CHxIE = 1 则会产生中断，如果 CxCDE=1 则会产生 DMA 请求。

配置步骤如下：

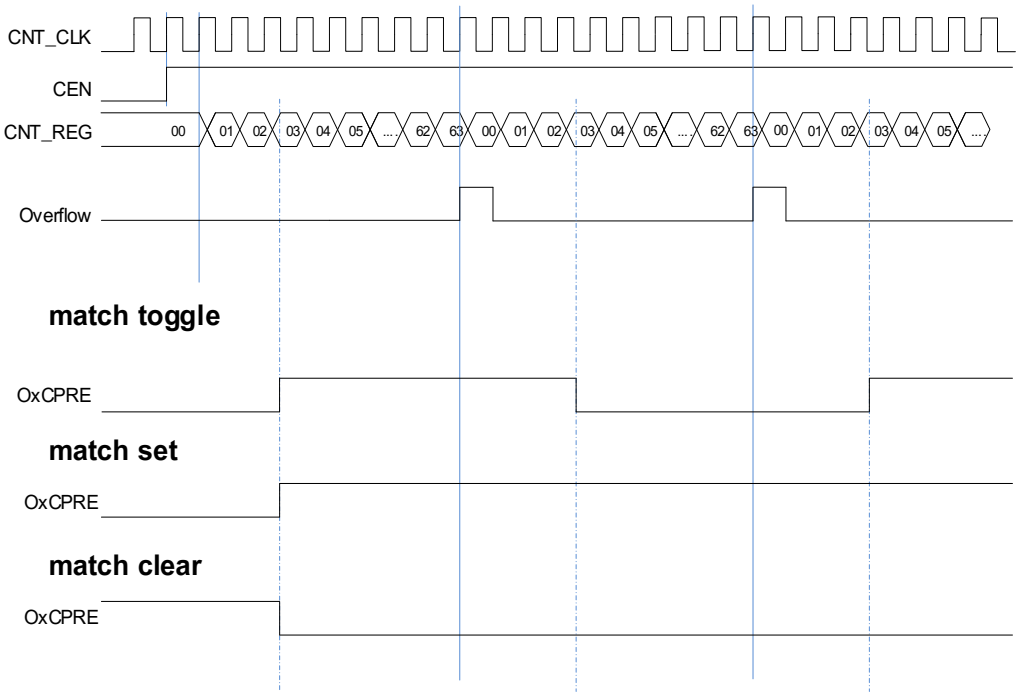
第一步： 时钟配置：
配置定时器时钟源，预分频器等。
第二步： 比较模式配置：
设置CHxCOMSEN位来配置输出比较影子寄存器；
设置CHxCOMCTL位来配置输出模式(置高电平/置低电平/反转)；
设置CHxP/CHxNP位来选择有效电平的极性；
设置CHxEN使能输出。
第三步： 通过CHxIE/CxCDE位配置中断/DMA请求使能。

第四步：通过TIMERx_CAR寄存器和TIMERx_CHxCV寄存器配置输出比较时基：CHxCVAL可以在运行时根据你所期望的波形而改变。

第五步：设置CEN位使能定时器。

*图 22-13. 三种输出比较模式*三种比较输出模式：反转/置高电平/置低电平，CAR=0x63, CHxVAL=0x3。

图 22-13. 三种输出比较模式



输出 PWM 功能

在 PWM 输出模式下(PWM 模式 0 是配置 CHxCOMCTL 为 3'b110，PWM 模式 1 是配置 CHxCOMCTL 为 3'b111)，通道根据 TIMERx_CAR 寄存器和 TIMERx_CHxCV 寄存器的值，输出 PWM 波形。

根据计数模式，我们可以分为两种 PWM 波：EAPWM(边沿对齐 PWM)和 CAPWM(中央对齐 PWM)。

EAPWM 的周期由 TIMERx_CAR 寄存器值决定，占空比由 TIMERx_CHxCV 寄存器值决定。

*图 22-14. EAPWM 时序图*显示了 EAPWM 的输出波形和中断。

CAPWM 的周期由(2*TIMERx_CAR 寄存器值)决定，占空比由(2*TIMERx_CHxCV 寄存器值)决定。*图 22-15. CAPWM 时序图*显示了 CAPWM 的输出波形和中断。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值大于 TIMERx_CAR 寄存器的值，通道输出一直为有效电平。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值等于 0，通道输出一直为无效电平。

图 22-14. EAPWM 时序图

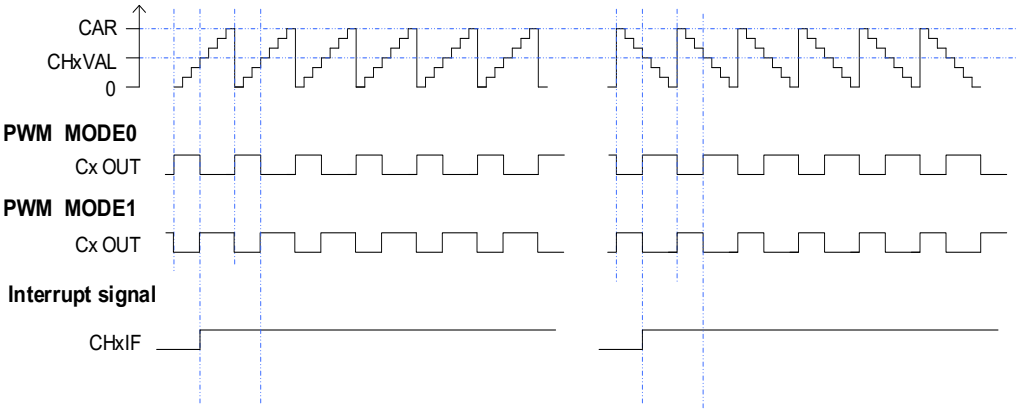
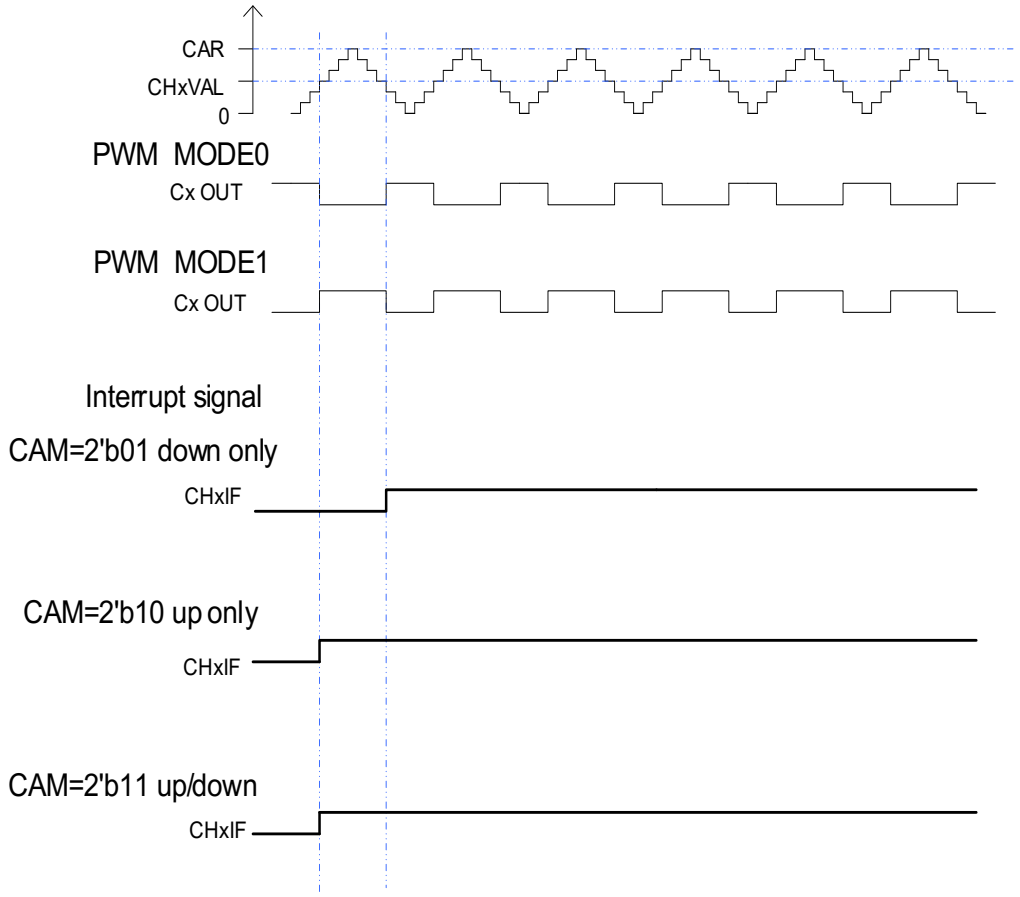


图 22-15. CAPWM 时序图



复合 PWM 模式

在复合 PWM 模式中(CHxCPWMEN = 1'b1，CHxMS[2:0] = 3'b000 和 CHxCOMCTL = 4'b0110、4'b0111)，通道 x(x=0..3)上的 PWM 输出信号由 CHxVAL 和 CHxCOMVAL_ADD 位确定。

如果 CHxCOMCTL = 4'b0110(PWM 模式 0)且 DIR = 1'b0(向上计数模式)，或者 CHxCOMCTL = 4'b0111(PWM 模式 1)且 DIR = 1'b1(向下计数模式)，当计数器和 CHxVAL 的值相匹配时通道 x 输出强制为低。当计数器与 CHxCOMVAL_ADD 的值相匹配时，通道 x 输出强制为高。

如果 CHxCOMCTL =4'b0111(PWM 模式 1)且 DIR = 1'b0(向上计数模式)，或者 CHxCOMCTL =4'b0110(PWM 模式 0)且 DIR = 1'b1(向下计数模式)，当计数器和 CHxVAL 的值相匹配时通道 x 输出强制为高。当计数器与 CHxCOMVAL_ADD 的值相匹配时，通道 x 输出强制为低。

PWM 的周期取决于(CARL + 0x0001)，PWM 脉冲宽度可以下*表 22-2 复合 PWM 脉冲宽度*计算。

表 22-2 复合 PWM 脉冲宽度

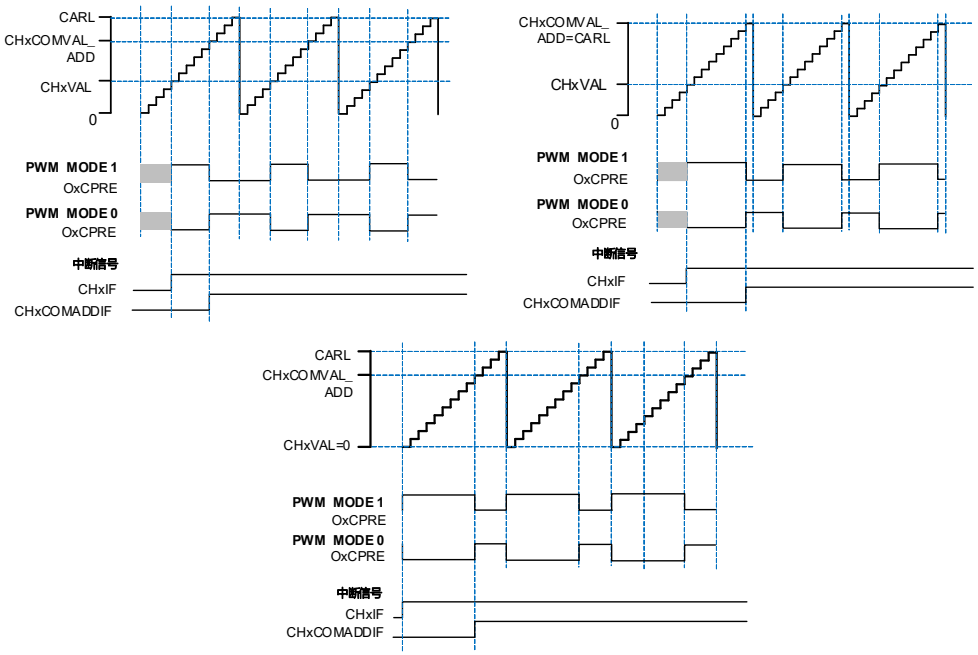
条件	模式	PWM 脉冲宽度
CHxVAL < CHxCOMVAL_ADD <= CARL	PWM 模式 0	(CARL + 0x0001) + (CHxVAL - CHxCOMVAL_ADD)
	PWM 模式 1	(CHxCOMVAL_ADD - CHxVAL)
CHxCOMVAL_ADD < CHxVAL <= CARL	PWM 模式 0	(CHxVAL - CHxCOMVAL_ADD)
	PWM 模式 1	(CARL + 0x0001) + (CHxCOMVAL_ADD - CHxVAL)
(CHxVAL = CHxCOMVAL_ADD <= CARL)或 (CHxVAL > CARL > CHxCOMVAL_ADD)	PWM 模式 0(向上计数)或 PWM 模式 1(向下计数)	100%
	PWM 模式 0(向下计数)或 PWM 模式 1(向上计数)	0%
CHxCOMVAL_ADD > CARL > CHxVAL	PWM 模式 0(向上计数)或 PWM 模式 1(向下计数)	0%
	PWM 模式 0(向下计数)或 PWM 模式 1(向上计数)	100%
(CHxVAL>CARL)且 (CHxCOMVAL_ADD > CARL)	-	CHx_O 输出保持

当计数器计数到CHxVAL，CHxIF位置1且如果CHxIE=1通道x产生中断，如果CHxDEN=1，则产生DMA请求。当计数器计数到CHxCOMVAL_ADD时，CHxCOMADDIF位置1(该中断标志位只在复合PWM模式有效，CHxCPWMEN=1)，如果CHxCOMADDIE = 1通道x附加比较中断产生(只有中断产生，没有DMA请求响应)。

根据CHxVAL，CHxCOMVAL_ADD和CARL之间的关系，可以分为四种情况：

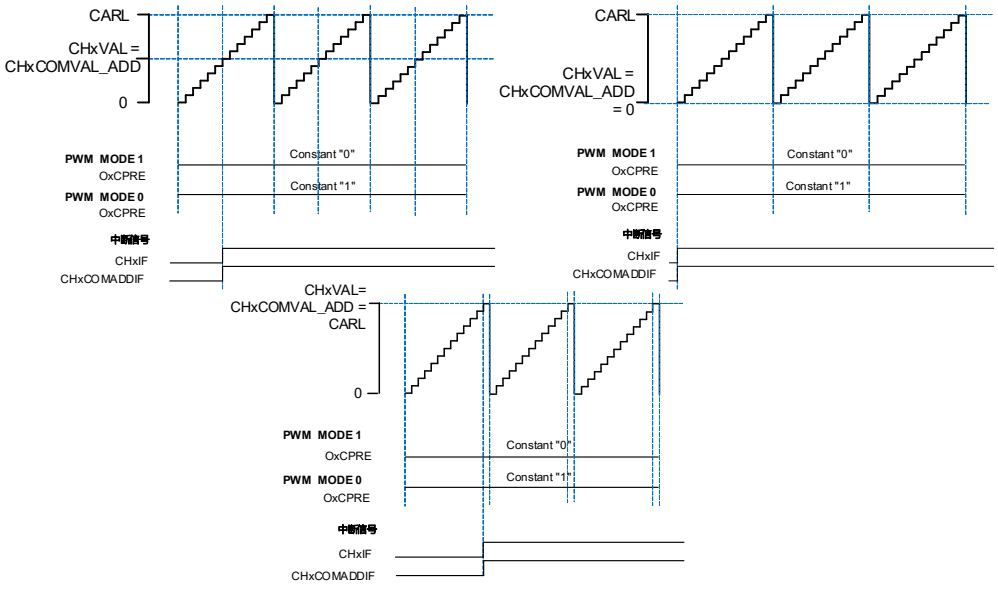
1） CHxVAL < CHxCOMVAL_ADD，CHxVAL和CHxCOMVAL_ADD值介于0和CARL之间。

图 22-16 通道 x 输出 PWM(CHxVAL < CHxCOMVAL_ADD)



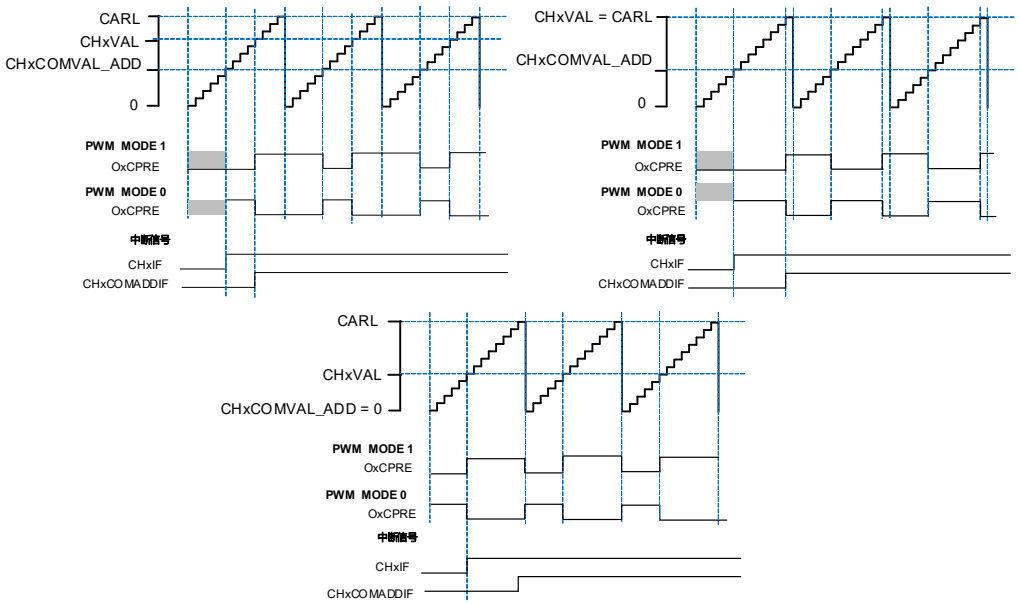
2） CHxVAL = CHxCOMVAL_ADD, CHxVAL和CHxCOMVAL_ADD值介于0和CARL之间。

图 22-17 通道 x 输出 PWM(CHxVAL = CHxCOMVAL_ADD)



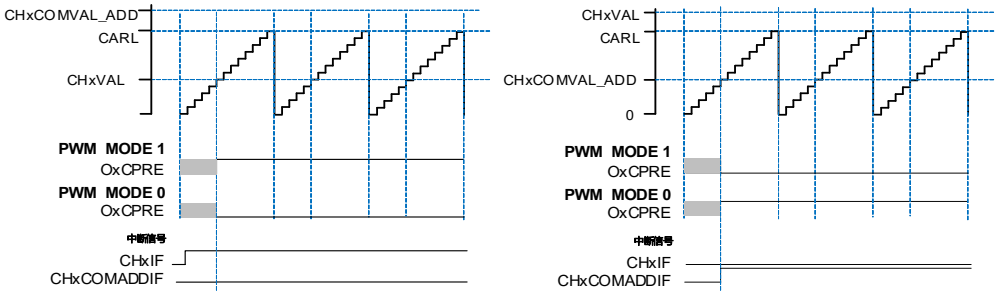
3） CHxVAL > CHxCOMVAL_ADD, CHxVAL和CHxCOMVAL_ADD值介于0和CARL之间。

图 22-18. 通道 x 输出 PWM(CHxVAL > CHxCOMVAL_ADD)



4） CHxVAL或CHxCOMVAL_ADD值大于CARL。

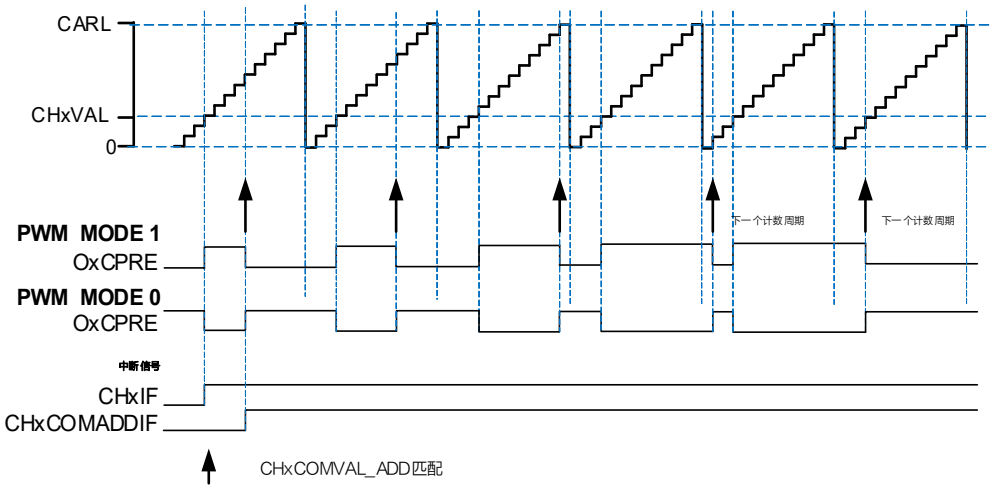
图 22-19. 通道 x 输出 PWM(CHxVAL 或 CHxCOMVAL_ADD > CARL)



复合PWM模式支持不修改周期只修改占空比的PWM信号的生成。*图22-20. 通道x输出PWM占空比随着CHxCOMVAL_ADD值而改变*显示PWM输出和中断波形。

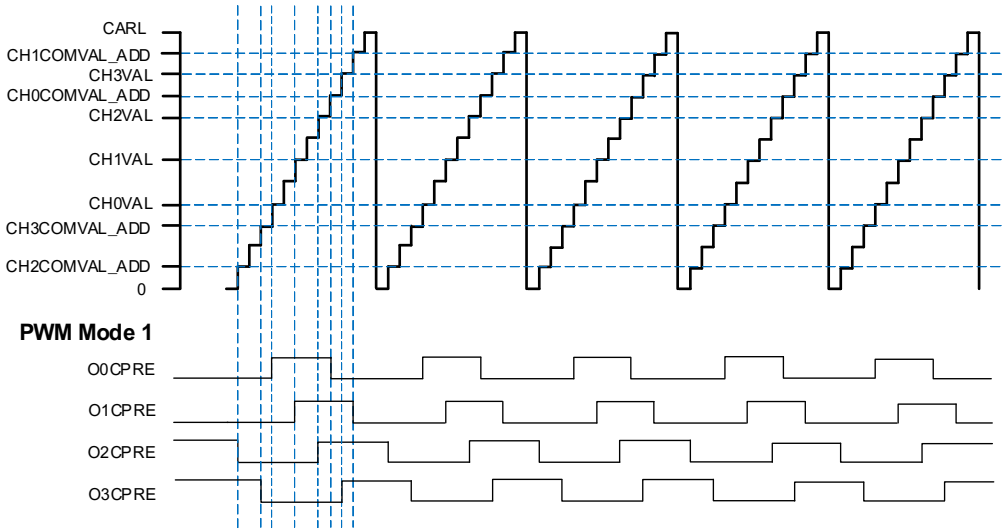
在某些情况下，CHxCOMVAL_ADD的匹配事件可以发生在下一个计数周期(CHxCOMVAL_ADD值在计数器到达CHxVAL值之后被写入，且CHxCOMVAL_ADD值小于或者等于CHxVAL值)。

图 22-20. 通道 x 输出 PWM 占空比随着 CHxCOMVAL_ADD 值而改变



如果多个通道配置为复合PWM模式，可以为每对通道x的匹配边沿设定一个偏移量(相对于其它通道)。这种特性在产生照明PWM控制信号时非常有用，因为在这种情况下，希望彼此边缘不重合，以消除噪声的产生。CHxVAL寄存器值是PWM脉冲相对于计数器周期开始的偏移。

图 22-21. 复合 PWM 模式下四通道输出



通道输出准备信号

当 TIMERx 用于输出匹配比较模式下，设置 CHxCOMCTL 位可以定义 OxCPRE 信号(通道 x 准备信号)类型。OxCPRE 信号有若干类型的输出功能，包括，设置 CHxCOMCTL=0x00 可以保持原始电平；设置 CHxCOMCTL=0x01 可以将 OxCPRE 信号设置为高电平；设置 CHxCOMCTL=0x02 可以将 OxCPRE 信号设置为低电平；设置 CHxCOMCTL=0x03，在计数器值和 TIMERx_CHxCV 寄存器的值匹配时，可以翻转输出信号。

PWM 模式 0 和 PWM 模式 1 是 OxCPRE 的另一种输出类型，设置 CHxCOMCTL 位域位 0x06 或 0x07 可以配置 PWM 模式 0/PWM 模式 1。在这些模式中，根据计数器值和 TIMERx_CHxCV 寄存器值的关系以及计数方向，OxCPRE 信号改变其电平。具体细节描述，请参考相应的位。

设置 CHxCOMCTL =0x04 或 0x05 可以实现 OxCPRE 信号的强制输出功能。输出比较信号能够直接由软件强置为有效或无效状态，而不依赖于 TIMERx_CHxCV 的值和计数器值之间间的比较结果。

设置 CHxCOMCEN=1，当由外部 ETI 引脚信号产生的 ETIFE 信号为高电平时，OxCPRE 被强制为低电平。在下一次更新事件到来时，OxCPRE 信号才会回到有效电平状态。

通道输出互补 PWM

CHx_O 和 CHx_ON 是一对互补输出通道，这两个信号不能同时有效。互补信号 CHx_O 和 CHx_ON 是由一组参数来决定：TIMERx_CHCTL2 寄存器中的 CHxEN 和 CHxNEN 位，TIMERx_CCHP 寄存器中和 TIMERx_CTL1 寄存器中的 POEN, ROS, IOS, ISOx 和 ISOxN 位。输出极性由 TIMERx_CHCTL2 寄存器中的 CHxP 和 CHxNP 位来决定。

表 22-3. 由参数控制的互补输出表

<table>
<tr><th colspan="5">互补参数</th><th colspan="2">输出状态</th></tr>
<tr><th>POEN</th><th>ROS</th><th>IOS</th><th>CHxEN</th><th>CHxNEN</th><th>CHx_O</th><th>CHx_ON</th></tr>
<tr><td rowspan="4">0</td><td rowspan="4">0/1</td><td rowspan="3">0</td><td rowspan="2">0</td><td>0</td><td colspan="2">CHx_O / CHx_ON = LOW
CHx_O / CHx_ON 输出禁能(1)</td></tr>
<tr><td>1</td><td colspan="2" rowspan="3">CHx_O/CHx_ON输出关闭状态(2):
通道先输出无效电平：CHx_O = CHxP，CHx_ON = CHxNP)；如果死区产生时钟未失效，在死区时间之后：
CHx_O = ISOx，CHx_ON = ISOxN (3)</td></tr>
<tr><td rowspan="2">1</td><td>0</td></tr>
<tr><td>1</td><td>1</td></tr>
<tr><td>1</td><td>x</td><td>x</td><td colspan="2">CHx_O/CHx_ON输出关闭状态:
通道先输出无效电平：CHx_O = CHxP，CHx_ON = CHxNP)；如果死区产生时钟未失效，在死区时间之后：
CHx_O = ISOx，CHx_ON = ISOxN</td></tr>
<tr><td rowspan="5">1</td><td rowspan="4">0</td><td rowspan="5">0/1</td><td rowspan="2">0</td><td>0</td><td colspan="2">CHx_O/CHx_ON = LOW
CHx_O/CHx_ON输出禁能</td></tr>
<tr><td>1</td><td>CHx_O = LOW
CHx_O输出禁能</td><td>CHx_ON=OxCPRE⊕(4)CHxNP
CHx_ON输出使能</td></tr>
<tr><td rowspan="2">1</td><td>0</td><td>CHx_O=OxCPRE⊕CHxP
CHx_O输出使能</td><td>CHx_ON = LOW
CHx_ON输出禁能</td></tr>
<tr><td>1</td><td>CHx_O=OxCPRE⊕CHxP
CHx_O输出使能</td><td>CHx_ON=(!OxCPRE)(5)⊕CHxNP
CHx_ON输出使能</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>CHx_O = CHxP
CHx_O输出关闭状态</td><td>CHx_ON = CHxNP
CHx_ON输出关闭状态</td></tr>
</table>

互补参数					输出状态	
POEN	ROS	IOS	CHxEN	CHxNEN	CHx_O	CHx_ON
				1	CHx_O = CHxP CHx_O输出关闭状态	CHx_O=OxCPRE⊕CHxNP CHx_ON输出使能
			1	0	CHx_O=OxCPRE⊕CHxP CHx_O输出使能	CHx_ON = CHxNP CHx_ON输出关闭状态
				1	CHx_O=OxCPRE⊕CHxP CHx_O输出使能	CHx_ON=(!OxCPRE)⊕CHx NP CHx_ON输出使能

注意:

（1） 输出禁能：CHx_O / CHx_ON 输出与对应引脚断开，对应引脚电平受 GPIO 上下拉配置控制，无上下拉时为悬空高阻态；

（2） 输出关闭状态：CHx_O / CHx_ON 输出无效电平(CHx_O = 0⊕CHxP = CHxP)；

（3） 详情见中止模式章节。

（4） ⊕：异或操作；

（5） (!OxCPRE)：OxCPRE 信号的互补信号。

互补 PWM 插入死区时间

设置 CHxEN 和 CHxNEN 为 1'b1 同时设置 POEN，死区插入就会被使能。DTCFG 位域定义了死区时间，死区时间对所有通道有效。死区时间的细节，请参考 TIMERx_CCHP 寄存器。

死区时间的插入，确保了通道互补的两路信号不会同时有效。

在 PWM0 模式，当通道 x 匹配发生时(TIMERx 计数器= CxCV)，OxCPRE 反转。在*图 22-22. 带死区时间的互补输出*中的 A 点，CHx_O 信号在死区时间内为低电平，直到死区时间过后才变为高电平，而 CHx_ON 信号立刻变为低电平。同样，在 B 点，计数器再次匹配(TIMERx 计数器= CxCV)，OxCPRE 信号被清 0，CHx_O 信号被立即清零，CHx_ON 信号在死区时间内仍然是低电平，在死区时间过后才变为高电平。

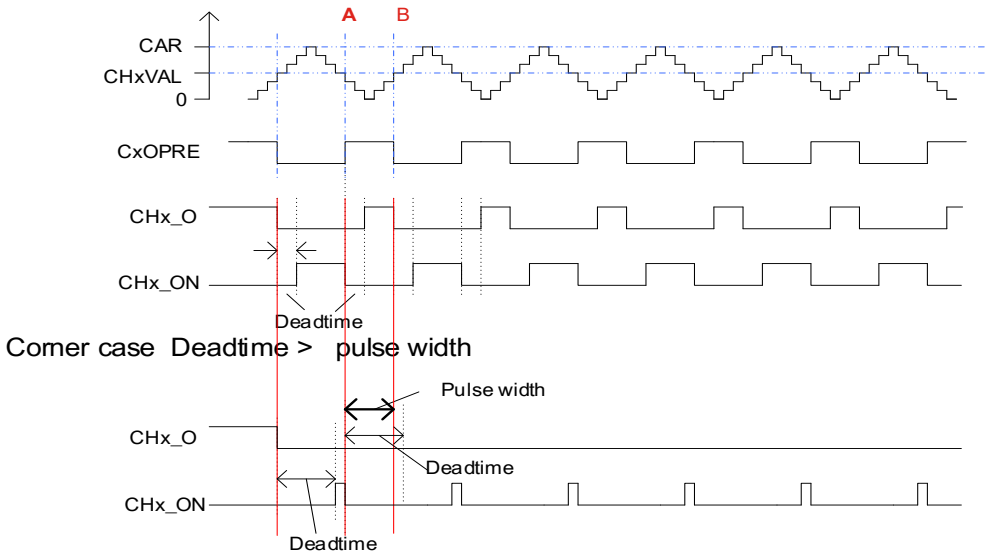
有时会有一些死角事件发生，例如：

- 如果死区延时大于或者等于CHx_O信号的占空比，CHx_O信号一直为无效值(如*图22-22.*

带死区时间的互补输出)。

- 如果死区延时大于或者等于CHx_ON信号的占空比，CHx_ON信号一直为无效值。

图 22-22. 带死区时间的互补输出



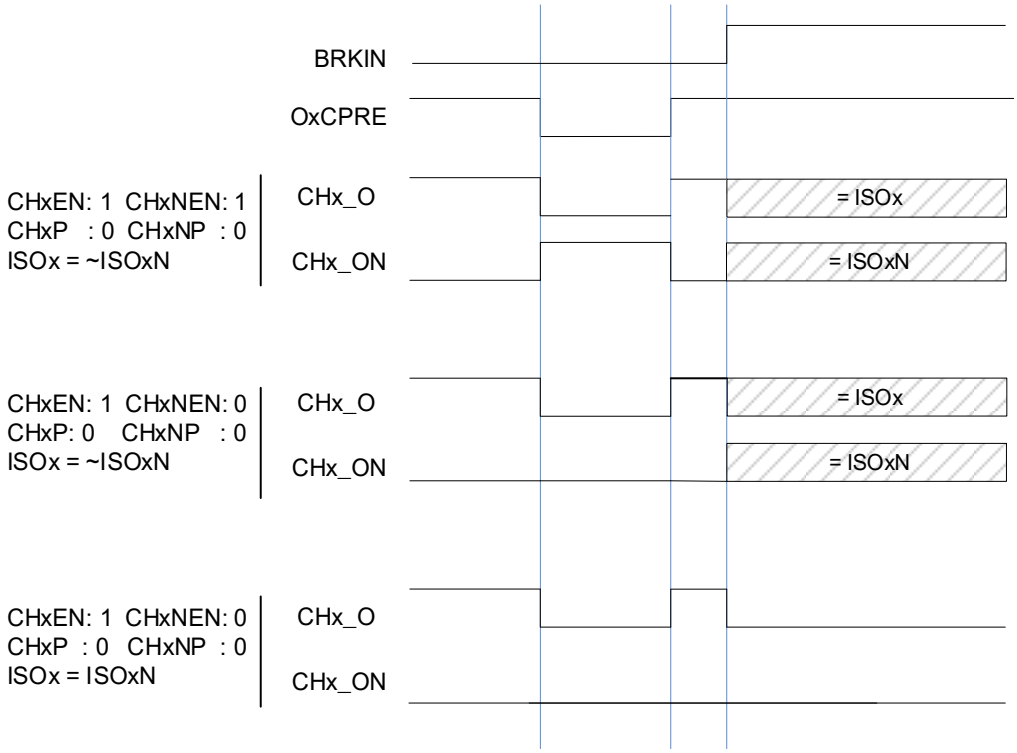
中止模式

使用中止模式时，输出 CHx_O 和 CHx_ON 信号电平被以下位控制，TIMERx_CCHP 寄存器的 POEN, IOS 和 ROS 位，TIMERx_CTL1 寄存器的 ISOx 和 ISOxN 位。当中止事件发生时，CHx_O 和 CHx_ON 信号输出不能同时设置为有效电平。中止源可以选择中止输入引脚，也可以选择 HXTAL 时钟失效事件。时钟失败事件由 RCU 中的时钟监视器(CKM)产生。将 TIMERx_CCHP 寄存器的 BRKEN 位置 1 可以使能中止功能。TIMERx_CCHP 寄存器的 BRKP 位决定了中止输入极性。

发生中止时，POEN 位被异步清除，一旦 POEN 位为 0，CHx_O 和 CHx_ON 被 TIMERx_CTL1 寄存器中的 ISOx 位和 ISOxN 驱动。如果 IOS=0，定时器释放输出使能，否则输出使能仍然为高。起初互补输出被置于复位状态，然后死区时间产生器重新被激活，以便在一个死区时间后驱动输出，输出电平由 ISOx 和 ISOxN 位配置。

发生中止时，TIMERx_INTF 寄存器的 BRKIF 位被置 1。如果 BRKIE=1，中断产生。

图 22-23. 通道响应中止输入(高电平有效)时，输出信号的行为



正交译码器

正交译码器功能使用由TIMERx_CH0和TIMERx_CH1引脚生成的CI0FE0和CI1FE1正交信号各自相互作用产生计数值。在每个输入源改变期间，DIR位会发生改变。输入源可以是只有CI0FE0，可以只有CI1FE1，或着可以同时有CI0FE0和 CI1FE1，通过设置SMC=0x01, 0x02或0x03来选择使用哪种模式。计数器计数方向改变的机制如*表22-4. 不同译码器模式下的计数方向*所示。正交译码器可以当作一个带有方向选择的外部时钟，这意味着计数器会在0和自动加载值之间连续的计数。因此，用户必须在计数器开始计数前配置TIMERx_CAR寄存器。

表 22-4. 不同译码器模式下的计数方向

计数模式	电平	CI0FE0		CI1FE1	
		上升	下降	上升	下降
译码器模式0 SMC[2:0]=3'b001	CI1FE1=1	向下	向上	-	-
	CI1FE1=0	向上	向下	-	-
译码器模式1 SMC [2:0]=3'b010	CI0FE0=1	-	-	向上	向下
	CI0FE0=0	-	-	向下	向上
译码器模式2 SMC [2:0]=3'b011	CI1FE1=1	向下	向上	X	X
	CI1FE1=0	向上	向下	X	X
	CI0FE0=1	X	X	向上	向下
	CI0FE0=0	X	X	向下	向上

注意： "-" 意思是"无计数"; "X" 意思是不可能。"0" 意思是低电平, "1" 意思是高电平

图 22-24. 在译码器模式 2 且 CI0FE0 极性不反相时计数器行为

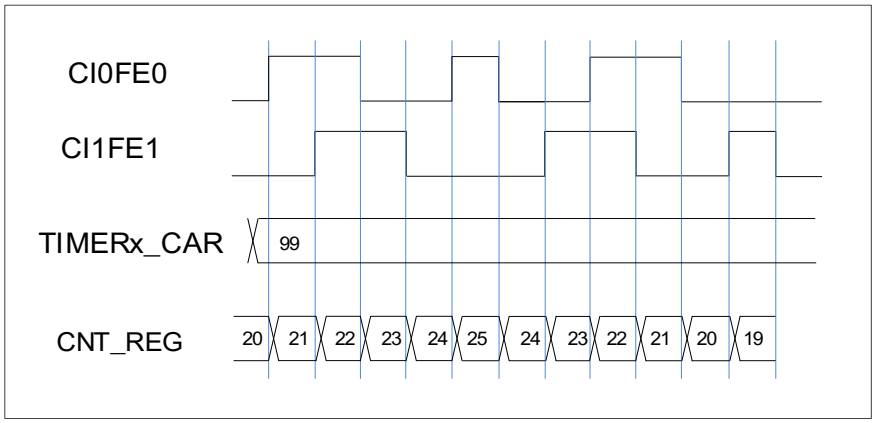
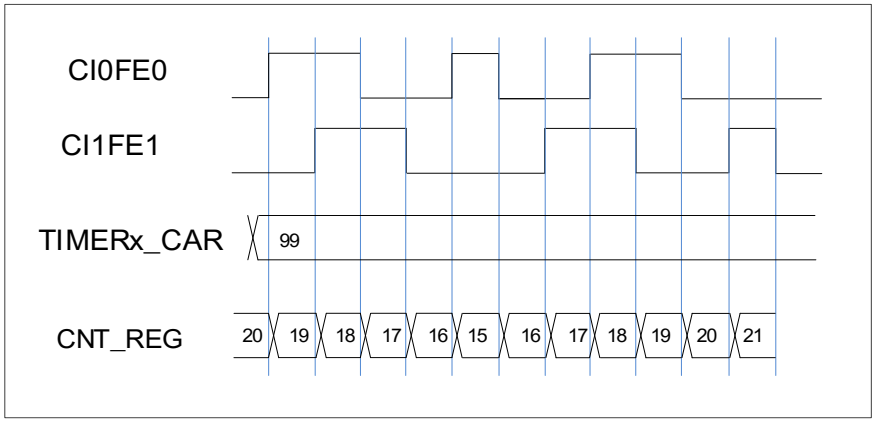


图 22-25. 在译码器模式 2 且 CI0FE0 极性反相时计数器行为



霍尔传感器接口功能

高级定时器支持霍尔传感器接口功能，该功能可以用来控制 BLDC 电机。

*图22-26. 霍尔传感器用在BLDC电机控制中*是定时器和电机的连接示意图。TIMER_in定时器(可以是高级定时器或者通用L0定时器)接收霍尔传感器的三路信号。

三个霍尔传感器信号与 TIMER_in 定时器的三路输入捕获引脚一一对应连接，每个霍尔传感器输入一路波形到输入引脚，分析三路霍尔信号可以计算出转子的位置和速度。

通过定时器内部连接，例如 TRGO-ITIx，TIMER_in 定时器和 TIMER_out 定时器可以连接在一起。TIMER_out 定时器根据 ITIx 触发信号输出 PWM 波，驱动 BLDC 电机，控制 BLDC 电机的速度。这样，TIMER_in 定时器和 TIMER_out 定时器的连接形成了一个反馈电路，可以根据需求改变配置。

TIMER_in 定时器需要具备输入异或功能，所以可以选择高级定时器和通用 L0 定时器。

TIMER_out 定时器需要具备互补输出和死区插入功能，所以可以选择高级定时器。另外，根据定时器的内部互连关系，可以选择成对的互连定时器，例如:

TIMER_in (TIMER0) -> TIMER_out (TIMER7 ITI0)

TIMER_in (TIMER1) -> TIMER_out (TIMER0 ITI1)

等等。

选择好合适的互连定时器，定时器和 BLDC 的线路也已经连接好，我们就可以配置定时器了。有以下关键配置：

- 设置TI0S，使能异或功能。三路输入信号的任何一路发生变化，CI0都会反转，CH0VAL此时会捕获计数器的当前值。
- 设置CCUC和CCSE，使能ITIx直接连接到换相功能。
- 根据需求配置PWM参数。

图 22-26. 霍尔传感器用在 BLDC 电机控制中

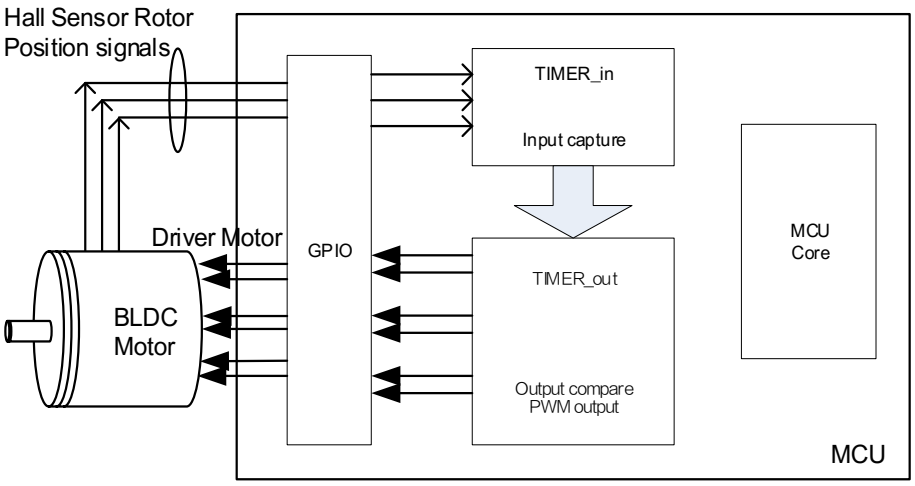
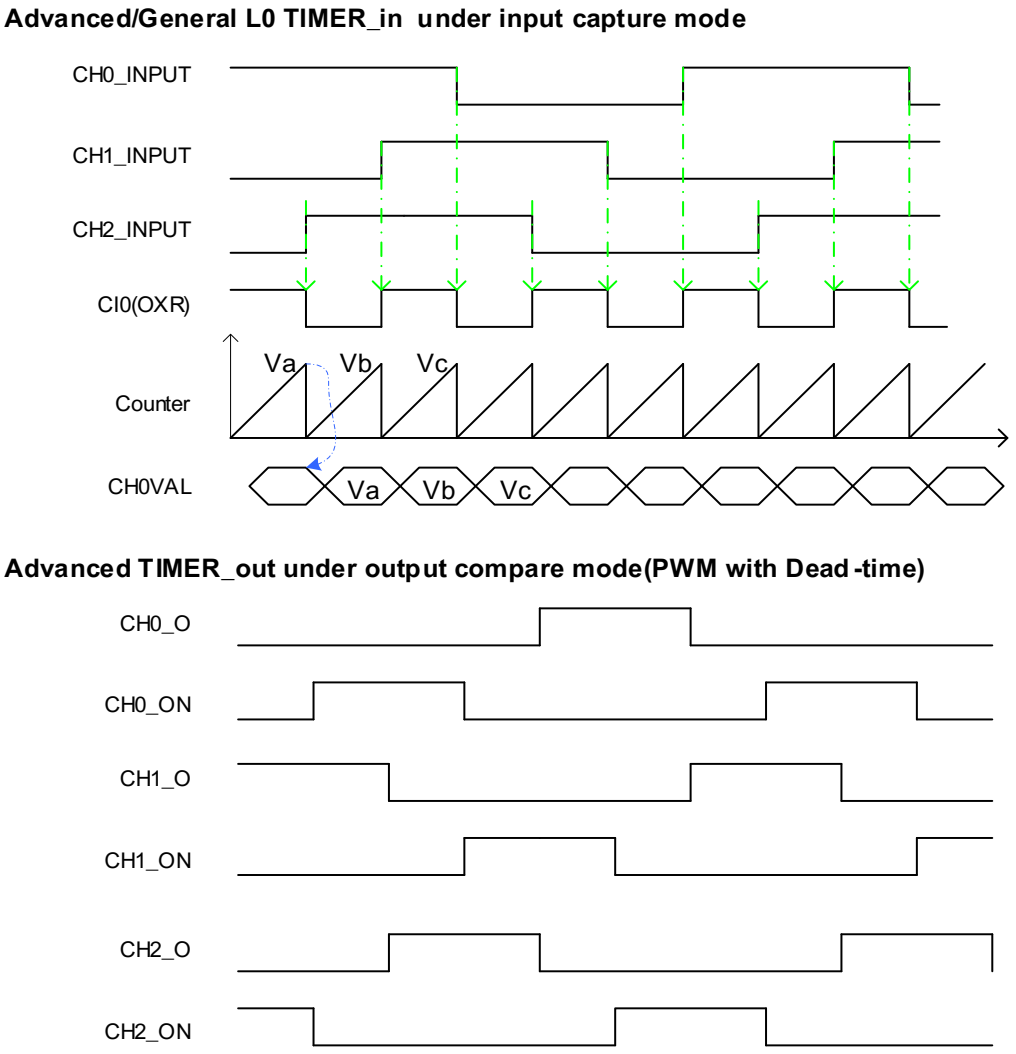


图 22-27. 两个定时器之间的霍尔传感器时序图

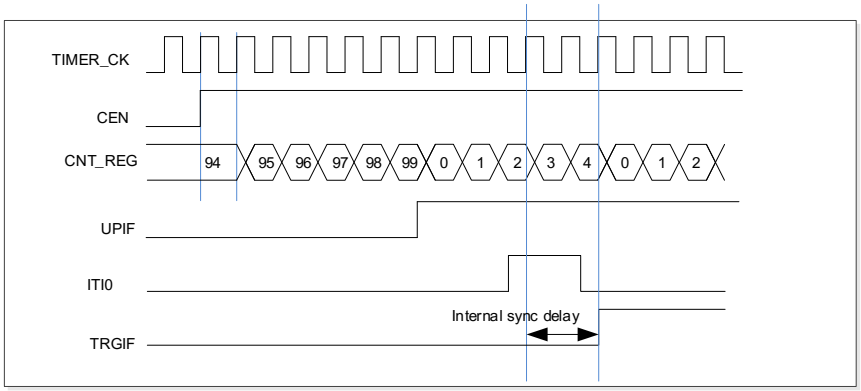
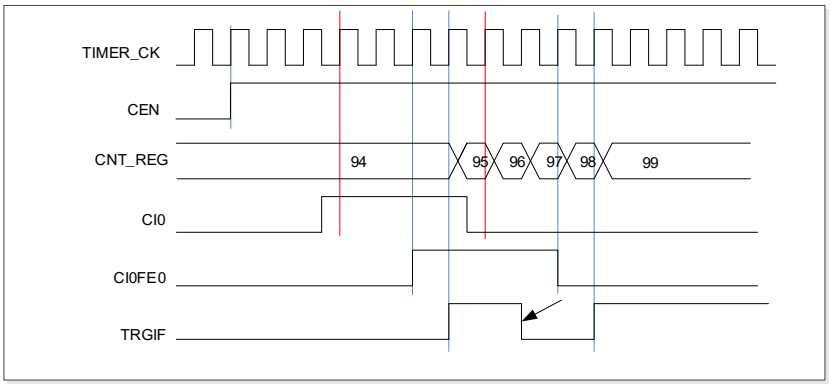


主-从管理

TIMERx 能在多种模式下同步外部触发，包括复位模式，暂停模式和事件模式，可以通过设置 TIMERx_SMCFG 寄存器中的 SMC [2:0]配置这些模式。这些模式的输入触发源可以通过设置 TIMERx_SMCFG 寄存器中的 TRGS [2:0]来选择。

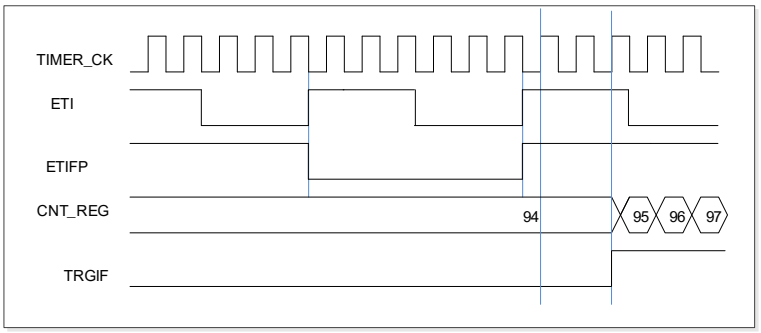
表 22-5. 从模式例子列表和举例

	模式选择	触发源选择	极性选择	滤波和预分频
列举	SMC[2:0] 3'b100(复位模式) 3'b101(暂停模式) 3'b110(事件模式)	TRGS[2:0] 000：ITI0 001：ITI1 010：ITI2 011：ITI3 100：CI0F_ED 101：CI0FE0	如果触发源是CI0FE0或者CI1FE1，配置CHxP和CHxNP来选择极性和反相。 如果触发源是ETIFP，配置ETP选择极性和反相。	若触发源为ITIx，滤波和预分频不可用。 若触发源为CIx，可配置CHxCAPFLT设置滤波，预分频不可用。 若触发源为ETIFP，滤波和预分频均可用。

<table>
<tr><th></th><th>模式选择</th><th>触发源选择</th><th>极性选择</th><th>滤波和预分频</th></tr>
<tr><td></td><td></td><td>110：CI1FE1
111：ETIFP</td><td></td><td></td></tr>
<tr><td rowspan="2">例1</td><td>复位模式
当触发输入上升沿到来时，计数器清零重启。</td><td>TRGS[2:0]=3'b000
选择ITI0为触发源。</td><td>若触发源是ITI0，极性选择不可用。</td><td>若触发源是ITI0，滤波和预分频不可用。</td></tr>
<tr><td colspan="4">图 22-28. 复位模式

</td></tr>
<tr><td rowspan="2">例2</td><td>暂停模式
当触发输入为低的时候，计数器暂停计数，当触发输入为高时，计数器计数。</td><td>TRGS[2:0]=3'b101
选择CI0FE0为触发源。</td><td>TI0S=0(非异或)[CH0NP=0，CH0P=0] CI0FE0不反相。捕获发生在上升沿 。</td><td>在这个例子中滤波被旁路。</td></tr>
<tr><td colspan="4">图 22-29. 暂停模式

</td></tr>
<tr><td>例3</td><td>事件模式
触发输入的上升沿计数器开始计数。</td><td>TRGS[2:0]=3'b111
选择ETIFP为触发源。</td><td>ETP = 0，ETI极性不改变。</td><td>ETPSC = 1，ETI 2分频。
ETFC = 0，ETI 无滤波。</td></tr>
</table>

	模式选择	触发源选择	极性选择	滤波和预分频

图 22-30. 事件模式



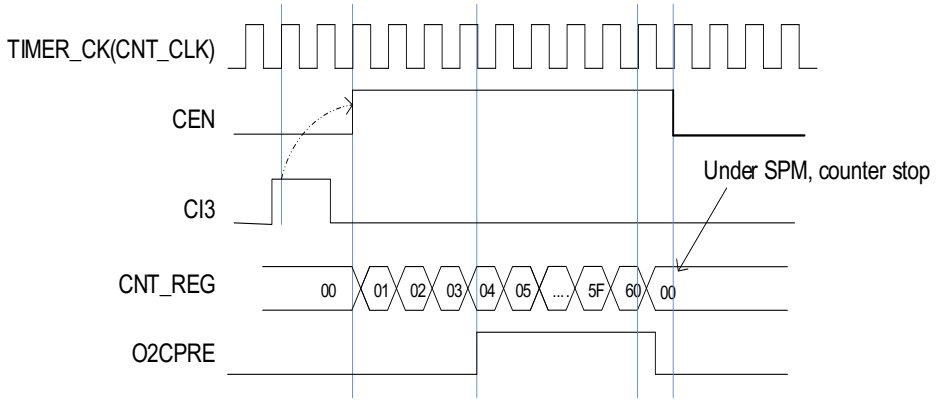
单脉冲模式

单脉冲模式与重复模式是相反的，设置 TIMERx_CTL0 寄存器的 SPM 位置 1，则使能单脉冲模式。当 SPM 置 1，计数器在下次更新事件到来后清零并停止计数。为了得到脉冲波，可以通过设置 CHxCOMCTL 配置 TIMERx 为 PWM 模式或者比较模式。

一旦设置定时器运行在单脉冲模式下，没有必要设置 TIMERx_CTL0 寄存器的定时器使能位 CEN=1 来使能计数器。触发信号沿或者软件写 CEN=1 都可以产生一个脉冲，此后 CEN 位一直保持为 1 直到更新事件发生或者 CEN 位被软件写 0。如果 CEN 位被软件清 0，计数器停止工作， 计数值被保持。

在单脉冲模式下，有效的外部触发边沿会将 CEN 位置 1，使能计数器。然而，执行计数值和 TIMERx_CHxCV 寄存器值的比较结果依然存在一些时钟延迟。为了最大限度减少延迟，用户可以将 TIMERx_CHCTL0/1 寄存器的 CHxCOMFEN 位置 1。单脉冲模式下，触发上升沿产生之后， OxCPRE 信号将被立即强制转换为与发生比较匹配时相同的电平，但是不用考虑比较结果。只有输出通道配置为 PWM0 或 PWM1 输出运行模式下时 CHxCOMFEN 位才可用，触发源来源于触发信号

图 22-31. 单脉冲模式，TIMERx_CHxCV = 0x04 TIMERx_CAR=0x60

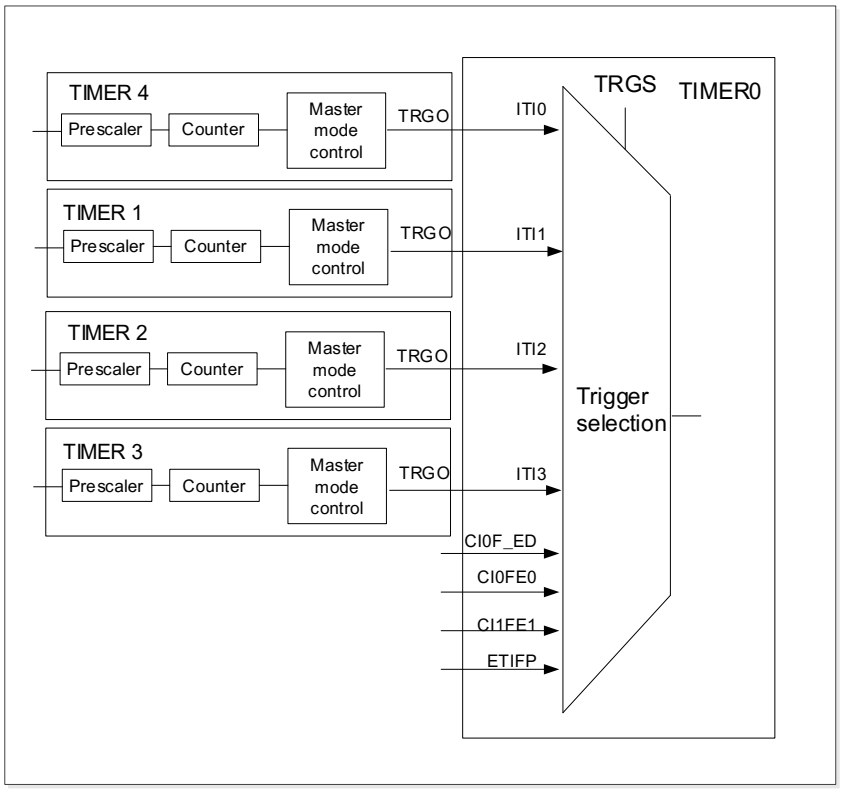


定时器互连

定时器之间可配置为内部级联，一个定时器配置为主模式输出TRGO信号，另一个定时器配置为从模式，TRGO信号包括复位事件、使能事件、更新事件、捕获比较脉冲事件、比较事件。从定时器接收到ITIx信号，并执行对应的操作，包括内部时钟模式、正交编码模式、复位模式、暂停模式、事件模式、外部时钟模式。

*图 22-32. 定时器 0 主/从模式的例子*显示了当定时器 0 配置为从模式时的触发选择。

图 22-32. 定时器 0 主/从模式的例子



其他定时器互连的例子：

- 定时器2作为定时器0的预分频器

参考*图 22-32. 定时器 0 主/从模式的例子*连接配置定时器 2 为定时器 0 的预分频器，步骤如下：

1. 配置定时器 2 为主模式，选择其更新事件(UPE)为触发输出(配置 TIMER2_CTL1 寄存器的 MMC=3'b010)。定时器 2 在每次计数器溢出时，输出一个周期信号；
2. 配置定时器 2 周期(TIMER2_CAR 寄存器)；
3. 选择定时器 0 输入触发源为定时器 2(配置 TIMERx_SMCFG 寄存器的 TRGS=3'b001)
4. 配置定时器 0 在外部时钟模式 0 (配置 TIMERx_SMCFG 寄存器的 SMC=3'b111)；

5. 写 1 到 CEN 位启动定时器 0 (TIMER0_CTL0 寄存器)；

6. 写 1 到 CEN 位启动定时器 2 (TIMER2_CTL0 寄存器)。

■ 使用一个外部触发来同步两个定时器

配置定时器 2 的使能信号触发定时器 0 的开启，配置定时器 2 的 CI0 输入信号上升沿来触发定时器 2。为了确保两个定时器同步开启，定时器 2 必须配置在主/从模式。步骤如下：

1. 配置定时器 2 工作在从模式来获取来自 CI0 的触发输入(配置 TIMER2_SMCFG 寄存器的 TRGS=3'b100)；

2. 配置定时器 2 工作在事件模式(配置 TIMER2_SMCFG 寄存器的 SMC=3'b110)；

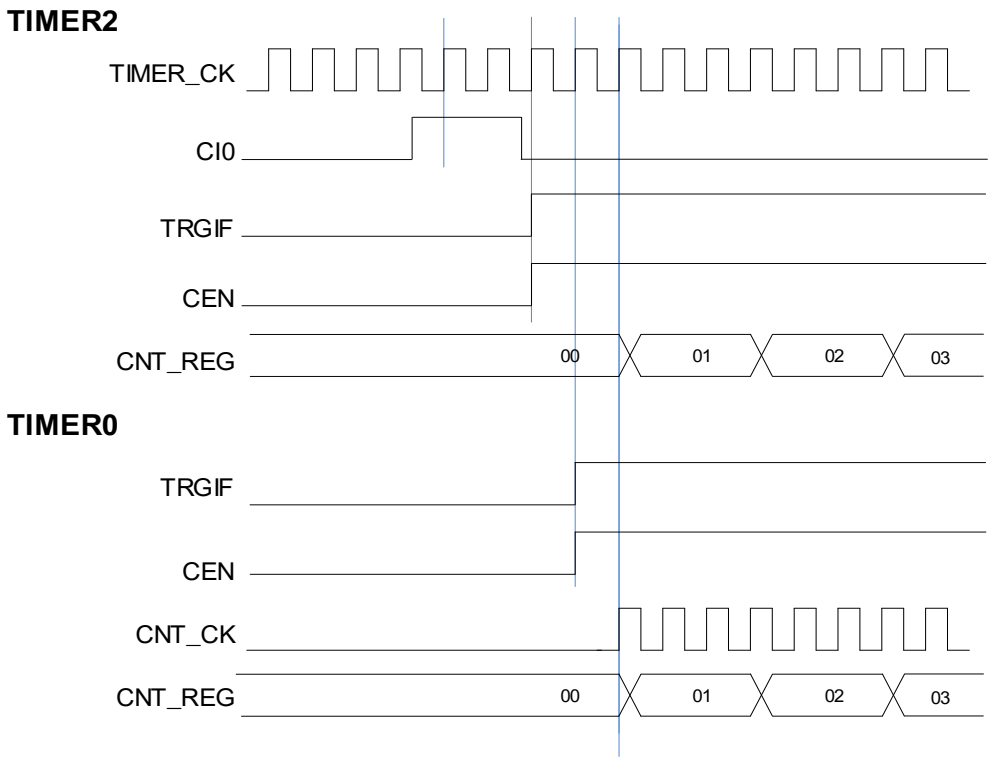
3. 写 MSM=1(TIMER2_SMCFG 寄存器)来配置定时器 2 工作在主/从模式；

4. 配置定时器 0 的触发输入来自定时器 2 (配置 TIMERx_SMCFG 寄存器的 TRGS=3'b010)；

5. 配置定时器 0 工作在事件模式(配置 TIMER0_SMCFG 寄存器的 SMC=3'b110)。

当定时器 2 的 CI0 信号产生上升沿时，两个定时器的计数器在内部时钟下开始同步计数，二者的 TRGIF 标志位都被置 1。

图 22-33. 用定时器 2 的 CI0 输入来触发定时器 0 和定时器 2



定时器 DMA 模式

定时器 DMA 模式是指通过 DMA 模块配置定时器的寄存器。有两个跟定时器 DMA 模式相关的寄存器：TIMERx_DMACFG 和 TIMERx_DMATB。当然，必须要使能 DMA 请求，一些内部中断事件可以产生 DMA 请求。当中断事件发生，TIMERx 会给 DMA 发送请求。DMA 配置成

M2P 模式，PADDR 是 TIMERx_DMATB 寄存器地址，DMA 就会访问 TIMERx_DMATB 寄存器。实际上，TIMERx_DMATB 寄存器只是一个缓冲，定时器会将 TIMERx_DMATB 映射到一个内部寄存器，这个内部寄存器由 TIMERx_DMACFG 寄存器中的 DMATA 来指定。如果 TIMERx_DMACFG 寄存器的 DMATC 位域值为 0，表示 1 次传输，定时器的发送 1 个 DMA 请求就可以完成。如果 TIMERx_DMACFG 寄存器的 DMATC 位域值不为 1，例如其值为 3，表示 4 次传输，定时器就需要再多发 3 次 DMA 请求。在这 3 次请求下，DMA 对 TIMERx_DMATB 寄存器的访问会映射到访问定时器的 DMATA+0x4, DMATA+0x8, DMATA+0xc 寄存器。总之，发生一次 DMA 内部中断请求，定时器会连续发送(DMATC+1)次请求。

如果再来 1 次 DMA 请求事件，TIMERx 将会重复上面的过程。

定时器调试模式

当 Cortex®-M33 内核停止，DBG_CTL2 寄存器中的 TIMERx_HOLD 配置位被置 1，定时器计数器停止。

22.1.4. TIMERx 寄存器(x=0,7)

TIMER0 基地址：0x4001 0000

TIMER7 基地址：0x4001 0400

控制寄存器 0(TIMERx_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKDIV[1:0]		ARSE	CAM[1:0]		DIR	SPM	UPS	UPDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位/位域	名称	描述
31:10	保留	必须保持复位值。
9:8	CKDIV[1:0]	时钟分频 通过软件配置CKDIV，规定定时器时钟(CK_TIMER) 与死区时间和数字滤波器采样时钟(DTS)之间的分频系数。 00：$f_{DTS}=f_{CK_TIMER}$ 01：$f_{DTS}= f_{CK_TIMER} /2$ 10：$f_{DTS}= f_{CK_TIMER} /4$ 11：保留
7	ARSE	自动重载影子使能 0：禁能 TIMERx_CAR 寄存器的影子寄存器。 1：使能 TIMERx_CAR 寄存器的影子寄存器。
6:5	CAM[1:0]	计数器对齐模式选择 00：无中央对齐计数模式(边沿对齐模式)。 DIR位指定了计数方向 01：中央对齐向下计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，只有在向下计数时，CHxF位置1 10：中央对齐向上计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，只有在向上计数时，CHxF位置1 11：中央对齐上下计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，在向上和向下计数时，CHxF位都会置1 当计数器使能以后，该位不能从 0x00 切换到非 0x00
4	DIR	方向 0：向上计数

1：向下计数
当计数器配置为中央对齐计数模式或译码器模式时，该位只读。

3	SPM	单脉冲模式 0：单脉冲模式禁能。更新事件发生后，计数器继续计数 1：单脉冲模式使能。在下一次更新事件发生时，计数器停止计数
2	UPS	更新请求源 软件配置该位，选择更新事件源. 0：以下事件均会产生更新中断或DMA请求： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：下列事件会产生更新中断或DMA请求： 计数器溢出/下溢
1	UPDIS	禁止更新. 该位用来使能或禁能更新事件的产生 0：更新事件使能. 更新事件发生时，相应的影子寄存器被装入预装载值，以下事件均会产生更新事件： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：更新事件禁能. 注意：当该位被置 1 时，UPG 位被置 1 或者复位模式不会产生更新事件，但是计数器和预分频器被重新初始化
0	CEN	计数器使能 0：计数器禁能。 1：计数器使能。 在软件将 CEN 位置 1 后，外部时钟、暂停模式和译码器模式才能工作。

控制寄存器 1(TIMERx_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISO3N	ISO3	ISO2N	ISO2	ISO1N	ISO1	ISO0N	ISO0	TI0S	MMC[2:0]			DMAS	CCUC	保留	CCSE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw		rw

位/位域	名称	描述

31:16	保留	必须保持复位值。
15	ISO3N	通道 3 的互补通道空闲状态输出 参考 ISO0N 位。
14	ISO3	通道 3 的空闲状态输出 参考 ISO0 位。
13	ISO2N	通道 2 的互补通道空闲状态输出 参考 ISO0N 位。
12	ISO2	通道 2 的空闲状态输出 参考 ISO0 位。
11	ISO1N	通道 1 的互补通道空闲状态输出 参考 ISO0N 位。
10	ISO1	通道 1 的空闲状态输出 参考 ISO0 位。
9	ISO0N	通道 0 的互补通道空闲状态输出 0：当 POEN 复位，CH0_ON 设置低电平。 1：当 POEN 复位，CH0_ON 设置高电平。 此位只有在 TIMERx_CCHP 寄存器的 PROT [1:0]位为 00 的时候可以被更改。
8	ISO0	通道 0 的空闲状态输出 0：当 POEN 复位，CH0_O 设置低电平。 1：当 POEN 复位，CH0_O 设置高电平。 如果 CH0_ON 生效，一个死区时间后 CH0_O 输出改变。此位只有在 TIMERx_CCHP 寄存器的 PROT [1:0]位为 00 的时候可以被更改。
7	TI0S	通道 0 触发输入选择 0：选择 TIMERx_CH0 引脚作为通道 0 的触发输入。 1：选择 TIMERx_CH0, CH1 和 CH2 引脚异或的结果作为通道 0 的触发输入。
6:4	MMC[2:0]	主模式控制 这些位控制 TRGO 信号的选择，TRGO 信号由主定时器发给从定时器用于同步功能 000：当产生一个定时器复位事件后，输出一个TRGO信号，定时器复位源为： 主定时器产生一个复位事件 TIMERx_SWEVG寄存器中UPG位置1 001：当产生一个定时器使能事件后，输出一个TRGO信号，定时器使能源为： CEN位置1 在暂停模式下，触发输入置1 010：当产生一个定时器更新事件后，输出一个TRGO信号，更新事件源由UPDIS和UPS位决定 011：当通道0在发生一次捕获或一次比较成功时，主模式控制器产生一个TRGO脉冲 100：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O0CPRE 101：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O1CPRE 110：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O2CPRE

		111：当产生一次比较事件时，输出一个 TRGO 信号，比较事件源来自 O3CPRE
3	DMAS	DMA请求源选择 0：当通道捕获/比较事件发生时，发送通道 x 的 DMA 请求。 1：当更新事件发生，发送通道 x 的 DMA 请求。
2	CCUC	换相控制影子寄存器更新控制 当换相控制影子寄存器(CHxEN, CHxNEN 和 CHxCOMCTL 位)使能(CCSE=1)，这些影子寄存器更新控制如下： 0：CMTG 位被置 1 时更新影子寄存器。 1：当 CMTG 位被置 1 或检测到 TRIGI 上升沿时，影子寄存器更新。 当通道没有互补输出时，此位无效。
1	保留	必须保持复位值。
0	CCSE	换相控制影子使能 0：影子寄存器 CHxEN, CHxNEN 和 CHxCOMCTL 位禁能。 1：影子寄存器 CHxEN, CHxNEN 和 CHxCOMCTL 位使能。 如果这些位已经被写入了，换相事件到来时这些位才被更新。 当通道没有互补输出时，此位无效。

从模式配置寄存器(TIMERx_SMCFG)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	SMC1	ETPSC[1:0]		ETFC[3:0]				MSM	TRGS[2:0]			保留	SMC[2:0]		
rw	rw	rw		rw				rw	rw			rw	rw		

位/位域	名称	描述
31:16	保留	必须保持复位值
15	ETP	外部触发极性 该位指定 ETI 信号的极性 0：ETI 高电平或上升沿有效 . 1：ETI 低电平或下降沿有效 .
14	SMC1	SMC 的一部分为了使能外部时钟模式 1 在外部时钟模式 1，计数器由 ETIF 信号上的任意有效边沿驱动 0：外部时钟模式 1 禁能 1：外部时钟模式 1 使能 当从模式配置为复位模式，暂停模式和事件模式时，定时器仍然可以工作在外部时钟

模式 1。但是 TRGS 必须不能为 3'b111。
如果外部时钟模式 0 和外部时钟模式 1 同时被被配置，外部时钟的输入是 ETIF
注意：外部时钟模式 0 使能在寄存器的 SMC[2:0]位域。

13:12 ETPSC[1:0] 外部触发预分频
外部触发信号 ETIFP 的频率不能超过 TIMER_CK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETIFP 的频率。
00：预分频禁能
01：2 分频
10：4 分频
11：8 分频

11:8 ETFC[3:0] 外部触发滤波控制
外部触发信号可以通过数字滤波器进行滤波，该位域定义了数字滤波器的滤波能力。数字滤波器的基本原理是：以 f_{SAMP} 频率连续采样外部触发信号，同时记录采样相同电平的次数。当该次数达到配置的滤波能力时，则认为是一个有效的电平信号。

EXTFC[3:0]	次数	f_{SAMP}
4'b0000	Filter disabled.	
4'b0001	2	
4'b0010	4	f_{CK_TIMER}
4'b0011	8	
4'b0100	6	$f_{DTS_CK}/2$
4'b0101	8	
4'b0110	6	$f_{DTS_CK}/4$
4'b0111	8	
4'b1000	6	$f_{DTS_CK}/8$
4'b1001	8	
4'b1010	5	
4'b1011	6	$f_{DTS_CK}/16$
4'b1100	8	
4'b1101	5	
4'b1110	6	$f_{DTS_CK}/32$
4'b1111	8	

7 MSM 主-从模式
该位被用来同步被选择的定时器同时开始计数。通过 TRIGI 和 TRGO，定时器被连接在一起，TRGO 用做启动事件。
0：主从模式禁能
1：主从模式使能

6:4 TRGS[2:0] 触发选择
该位域用来指定选择哪一个信号作为用来同步计数器的触发输入源
000: ITI0
001: ITI1
010: ITI2
011: ITI3
100: CI0F_ED

		101: CI0FE0 110: CI1FE1 111: ETIFP 从模式被使能后这些位不能改
3	保留	必须保持复位值
2:0	SMC[2:0]	从模式控制 000：关闭从模式. 如果 CEN=1，则预分频器直接由内部时钟驱动 001：译码器模式 0. 根据 CI1FE1 的电平，计数器在 CI0FE0 的边沿向上/下计数 010：译码器模式 1. 根据 CI0FE0 的电平，计数器在 CI1FE1 的边沿向上/下计数 011：译码器模式 2. 根据另一个信号的输入电平，计数器在 CI0FE0 和 CI1FE1 的边沿向上/ 下计数 100：复位模式. 选中的触发输入的上升沿重新初始化计数器，并且产生更新事件 101：暂停模式. 当触发输入为高时，计数器的时钟开启。一旦触发输入变为低，则计数器时钟停止 110：事件模式.计数器在触发输入的上升沿启动。 111：外部时钟模式 0. 选中的触发输入的上升沿驱动计数器

DMA 和中断使能寄存器(TIMERx_DMAINTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3COMADDIE	CH2COMADDIE	CH1COMADDIE	CH0COMADDIE	保留											
rw	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TRGDEN	CMTDEN	CH3DEN	CH2DEN	CH1DEN	CH0DEN	UPDEN	BRKIE	TRGIE	CMTIE	CH3IE	CH2IE	CH1IE	CH0IE	UPIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	CH3COMADDIE	通道 3 附加比较中断使能 0：禁止通道 3 附加比较中断 1：使能通道 3 附加比较中断 **注意**：此中断使能位仅用于复合 PWM 模式。
30	CH2COMADDIE	通道 2 附加比较中断使能 0：禁止通道 2 附加比较中断 1：使能通道 2 附加比较中断 **注意**：此中断使能位仅用于复合 PWM 模式。
29	CH1COMADDIE	通道 1 附加比较中断使能 0：禁止通道 1 附加比较中断

		1：使能通道 1 附加比较中断 **注意**：此中断使能位仅用于复合 PWM 模式。
28	CH0COMADDIE	通道 0 附加比较中断使能 0：禁止通道 0 附加比较中断 1：使能通道 0 附加比较中断 **注意**：此中断使能位仅用于复合 PWM 模式。
27:15	保留	必须保持复位值。
14	TRGDEN	触发 DMA 请求使能 0：禁止触发 DMA 请求 1：使能触发 DMA 请求
13	CMTDEN	换相 DMA 更新请求使能 0：禁止换相 DMA 更新请求 1：使能换相 DMA 更新请求
12	CH3DEN	通道 3 比较/捕获 DMA 请求使能 0：禁止通道 3 比较/捕获 DMA 请求 1：使能通道 3 比较/捕获 DMA 请求
11	CH2DEN	通道 2 比较/捕获 DMA 请求使能 0：禁止通道 2 比较/捕获 DMA 请求 1：使能通道 2 比较/捕获 DMA 请求
10	CH1DEN	通道 1 比较/捕获 DMA 请求使能 0：禁止通道 1 比较/捕获 DMA 请求 1：使能通道 1 比较/捕获 DMA 请求
9	CH0DEN	通道 0 比较/捕获 DMA 请求使能 0：禁止通道 0 比较/捕获 DMA 请求 1：使能通道 0 比较/捕获 DMA 请求
8	UPDEN	更新 DMA 请求使能 0：禁止更新 DMA 请求 1：使能更新 DMA 请求
7	BRKIE	中止中断使能 0：禁止中止中断 1：使能中止中断
6	TRGIE	触发中断使能 0：禁止触发中断 1：使能触发中断
5	CMTIE	换相更新中断使能 0：禁止换相更新中断 1：使能换相更新中断
4	CH3IE	通道 3 比较/捕获中断使能

0：禁止通道 3 中断
1：使能通道 3 中断

3	CH2IE	通道 2 比较/捕获中断使能 0：禁止通道 2 中断 1：使能通道 2 中断
2	CH1IE	通道 1 比较/捕获中断使能 0：禁止通道 1 中断 1：使能通道 1 中断
1	CH0IE	通道 0 比较/捕获中断使能 0：禁止通道 0 中断 1：使能通道 0 中断
0	UPIE	更新中断使能 0：禁止更新中断 1：使能更新中断

中断标志寄存器(TIMERx_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3COMADDIF	CH2COMADDIF	CH1COMADDIF	CH0COMADDIF	保留											
rc_w0	rc_w0	rc_w0	rc_w0												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CH3OF	CH2OF	CH1OF	CH0OF	保留	BRKIF	TRGIF	CMTIF	CH3IF	CH2IF	CH1IF	CH0IF	UPIF
			rc_w0	rc_w0	rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位/位域	名称	描述
31	CH3COMADDIF	通道 3 附加比较中断标志 参见 CH0COMADDIF 描述。
30	CH2COMADDIF	通道 2 附加比较中断标志 参见 CH0COMADDIF 描述。
29	CH1COMADDIF	通道 1 附加比较中断标志 参见 CH0COMADDIF 描述。
28	CH0COMADDIF	通道 0 附加比较中断标志 此标志由硬件置 1 软件清 0。当通道 0 用于输出模式时，此标志位在一个比较事件发生时被置 1。 0：无通道 0 中断发生 1：通道 0 中断发生

		注意：此标志仅用于复合 PWM 模式。
27:13	保留	必须保持复位值。
12	CH3OF	通道 3 捕获溢出标志 参见 CH0OF 描述。
11	CH2OF	通道 2 捕获溢出标志 参见 CH0OF 描述。
10	CH1OF	通道 1 捕获溢出标志 参见 CH0OF 描述。
9	CH0OF	通道 0 捕获溢出标志 当通道 0 被配置为输入模式时，在 CH0IF 标志位已经被置 1 后，捕获事件再次发生时，该标志位可以由硬件置 1。该标志位由软件清 0。 0：无捕获溢出中断发生。 1：发生了捕获溢出中断。
8	保留	必须保持复位值。
7	BRKIF	中止中断标志位 当中止输入有效时，由硬件对该位置'1'。 当中止输入无效时，则该位可由软件清'0'。 0：无中止事件产生。 1：中止输入上检测到有效电平。
6	TRGIF	触发中断标志 当发生触发事件时，此标志会置 1，此位由软件清 0。当暂停模式使能时，触发输入的任意边沿都可以产生触发事件。否则，其它模式时，仅在触发输入端检测到有效边沿，产生触发事件。 0：无触发事件产生。 1：触发中断产生。
5	CMTIF	通道换相更新中断标志 当通道换相更新事件发生时此标志位被硬件置 1，此位由软件清 0。 0：无通道换相更新中断发生。 1：通道换相更新中断发生。
4	CH3IF	通道 3 比较/捕获中断标志 参见 CH0IF 描述。
3	CH2IF	通道 2 比较/捕获中断标志 参见 CH0IF 描述。
2	CH1IF	通道 1 比较/捕获中断标志 参见 CH0IF 描述。
1	CH0IF	通道 0 比较/捕获中断标志 此标志由硬件置 1 软件清 0。当通道 0 在输入模式下时，捕获事件发生时此标志位被置 1；当通道 0 在输出模式下时，此标志位在一个比较事件发生时被置 1。

当通道 0 在输入模式下时，读 TIMERx_CH0CV 会将此标志清 0。
0：无通道 0 中断发生。
1：通道 0 中断发生。

0 UPIF 更新中断标志
此位在任何更新事件发生时由硬件置 1，软件清 0。
0：无更新中断发生。
1：发生更新中断。

软件事件产生寄存器(TIMERx_SWEVG)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3COMADDG	CH2COMADDG	CH1COMADDG	CH0COMADDG	保留											
w	w	w	w												

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								BRKG	TRGG	CMTG	CH3G	CH2G	CH1G	CH0G	UPG
								w	w	w	w	w	w	w	w

位/位域	名称	描述
31	CH3COMADDG	通道 3 附加比较事件发生 参见 CH0COMADDG 描述。
30	CH2COMADDG	通道 2 附加比较事件发生 参见 CH0COMADDG 描述。
29	CH1COMADDG	通道 1 附加比较事件发生 参见 CH0COMADDG 描述。
28	CH0COMADDG	通道 0 附加比较事件发生 该位由软件置 1，用于在通道 0 产生一个比较事件，由硬件自动清 0。当此位被置 1，CH0COMADDIF 标志位被置 1，若开启对应的中断和 DMA，则发出相应的中断请求。 0：不产生通道 0 附加比较事件 1：发生通道 0 附加比较事件 **注意**：此位仅用于复合 PWM 模式。
27:8	保留	必须保持复位值。
7	BRKG	产生中止事件 该位由软件置 1，用于产生一个中止事件，由硬件自动清 0。当此位被置 1 时，POEN 位被清 0 且 BRKIF 位被置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA 传输。

0：不产生中止事件。
1：产生中止事件。

6 TRGG 触发事件产生
此位由软件置 1，由硬件自动清 0. 当此位被置 1，TIMERx_INTF 寄存器的 TRGIF 标志位被置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA 传输。
0：无触发事件产生。
1：产生触发事件。

5 CMTG 通道换相更新事件发生
此位由软件置 1，由硬件自动清 0. 当此位被置 1，通道捕获/比较控制寄存器(CHxEN, CHxNEN 和 CHxCOMCTL) 的互补输出被更新。
0：不产生通道控制更新事件。
1：产生通道控制更新事件。

4 CH3G 通道 3 捕获或比较事件发生
参见 CH0G 描述。

3 CH2G 通道 2 捕获或比较事件发生
参见 CH0G 描述。

2 CH1G 通道 1 捕获或比较事件发生
参见 CH0G 描述。

1 CH0G 通道 0 捕获或比较事件发生
该位由软件置 1，用于在通道 0 产生一个捕获/比较事件，由硬件自动清 0。当此位被置 1，CH0IF 标志位被置 1，若开启对应的中断和 DMA，则发出相应的中断和 DMA 请求。此外，如果通道 0 配置为输入模式，计数器的当前值被 TIMERx_CH0CV 寄存器捕获，如果 CH0IF 标志位已经为 1，则 CH0OF 标志位被置 1。
0：不产生通道 0 捕获或比较事件。
1：发生通道 0 捕获或比较事件。

0 UPG 更新事件产生
此位由软件置 1，被硬件自动清 0。当此位被置 1，如果选择了中央对齐或向上计数模式，计数器被清 0。否则(向下计数模式)计数器将载入自动重载值，预分频计数器将同时被清除。
0：无更新事件产生。
1：产生更新事件。

通道控制寄存器 0(TIMERx_CHCTL0)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		CH1COMADDSEN	CH0COMADDSEN	保留											

保留															
		rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1COMCEN	CH1COMCTL[2:0]			CH1COMSEN	CH1COMFEN	CH1MS[1:0]		CH0COMCEN	CH0COMCTL[2:0]			CH0COMSEN	CH0COMFEN	CH0MS[1:0]	
CH1CAPFLT[3:0]				CH1CAPPSC[1:0]				CH0CAPFLT[3:0]				CH0CAPPSC[1:0]			
rw				rw		rw		rw				rw		rw	

输出比较模式：

位/位域	名称	描述
31:30	保留	必须保持复位值。
29	CH1COMADDSEN	通道 1 附加输出比较影子寄存器使能 参考 CH0COMADDSEN 描述。
28	CH0COMADDSEN	通道 0 附加输出比较影子寄存器使能 当此位被置 1，TIMERx_CH0COMV_ADD 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 0 附加比较输出影子寄存器 1：使能通道 0 附加比较输出影子寄存器 仅在单脉冲模式下(TIMERx_CTL0 寄存器的 SPM =1)，可以在未确认预装载寄存器情况下使用 PWM 模式。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =000 时此位不能被改变。
27:16	保留	必须保持复位值。
15	CH1COMCEN	通道 1 输出比较清 0 使能 参见 CH0COMCEN 描述。
14:12	CH1COMCTL[2:0]	通道 1 输出比较模式 参见 CH0COMCTL 描述。
11	CH1COMSEN	通道 1 输出比较影子寄存器使能 参见 CH0COMSEN 描述。
10	CH1COMFEN	通道 1 输出比较快速使能 参见 CH0COMFEN 描述。
9:8	CH1MS[1:0]	通道 1 模式选择 这些位定义了通道的方向和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH1EN 位被清 0)时这些位才可以写。 00：通道 1 配置为输出 01：通道 1 配置为输入，IS1 映射在 CI1FE1 上 10：通道 1 配置为输入，IS1 映射在 CI0FE1 上 11：通道 1 配置为输入，IS1 映射在 ITS 上 注意：当 CH1MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入。
7	CH0COMCEN	通道 0 输出比较清 0 使能

当此位被置 1，当检测到 ETIFP 信号输入高电平时，O0CPRE 参考信号被清 0
0：禁止通道 0 输出比较清零
1：使能通道 0 输出比较清零

6:4 CH0COMCTL[2:0] 通道 0 输出比较模式
此位定义了输出准备信号 O0CPRE 的输出比较模式，而 O0CPRE 决定了 CH0_O、CH0_ON 的值。另外，O0CPRE 高电平有效，而 CH0_O、CH0_ON 通道的极性取决于 CH0P、CH0NP 位。
000：时基。输出比较寄存器 TIMERx_CH0CV 与计数器 TIMERx_CNT 间的比较对 O0CPRE 不起作用
001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为高。
010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为低。
011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 翻转。
100：强制为低。强制 O0CPRE 为低电平
101：强制为高。强制 O0CPRE 为高电平
110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。
111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。
注意：在复合 PWM 模式下(CH0CPWMEN = 1'b1 和 CH0MS = 3'b000)，通道 0 的 PWM 输出信号由 TIMERx_CH0CV 和 TIMERx_CH0COMV_ADD 寄存器共同确定。详细信息请参考***复合 PWM 模式***。
如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O0CPRE 电平才改变。
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00(比较模式)时此位不能被改变。

3 CH0COMSEN 通道 0 输出比较影子寄存器使能
当此位被置 1，TIMERx_CH0CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。
0：禁止通道 0 输出/比较影子寄存器
1：使能通道 0 输出/比较影子寄存器
仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器的情况下使用 PWM 模式
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00 时此位不能被改变。

2 CH0COMFEN 通道 0 输出比较快速使能
0：通道 0 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH0_O 设置为比较电平，激活 CH0_O 输出的最小延时为 5 个时钟周期。
1：通道 0 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH0_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH0_O

输出的最小延时为 3 个时钟周期。

1:0	CH0MS[1:0]	通道 0 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH0EN 位被清 0)时这些位才可写。 00：通道 0 配置为输出 01：通道 0 配置为输入，IS0 映射在 CI0FE0 上 10：通道 0 配置为输入，IS0 映射在 CI1FE0 上 11：通道 0 配置为输入，IS0 映射在 ITS 上 注意：当 CH0MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入

输入捕获模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	CH1CAPFLT[3:0]	通道 1 输入捕获滤波控制 参见 CH0CAPFLT 描述。
11:10	CH1CAPPSC[1:0]	通道 1 输入捕获预分频器 参见 CH0CAPPSC 描述。
9:8	CH1MS[1:0]	通道 1 模式选择 与输出模式相同。
7:4	CH0CAPFLT[3:0]	通道 0 输入捕获滤波控制 CI0 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。 数字滤波器的基本原理：根据 f_{SAMP} 对 CI0 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。 滤波器参数配置如下：

CH0CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000	无滤波器	
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$
4'b0111	8	
4'b1000	6	$f_{DTS}/8$
4'b1001	8	
4'b1010	5	$f_{DTS}/16$
4'b1011	6	
4'b1100	8	
4'b1101	5	$f_{DTS}/32$
4'b1110	6	

		4'b1111 8
3:2	CH0CAPPSC[1:0]	通道 0 输入捕获预分频器 这 2 位定义了通道 0 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH0EN =0 时，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。 01：每 2 个事件触发一次捕获。 10：每 4 个事件触发一次捕获。 11：每 8 个事件触发一次捕获。
1:0	CH0MS[1:0]	通道 0 模式选择 与输出比较模式相同。

通道控制寄存器 1(TIMERx_CHCTL1)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		CH1COMADDSEN	CH0COMADDSEN	保留											
保留															
		rw	rw												

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3COMCEN	CH3COMCTL[2:0]			CH3COMSEN	CH3COMFEN	CH3MS[1:0]		CH2COMCEN	CH2COMCTL[2:0]			CH2COMSEN	CH2COMFEN	CH2MS[1:0]	
CH3CAPFLT[3:0]				CH3CAPPSC[1:0]				CH2CAPFLT[3:0]				CH2CAPPSC[1:0]			
rw				rw		rw		rw				rw		rw	

输出比较模式：

位/位域	名称	描述
31:30	保留	必须保持复位值。
29	CH1COMADDSEN	通道 1 附加输出比较影子寄存器使能 参考 CH0COMADDSEN 描述。
28	CH0COMADDSEN	通道 0 附加输出比较影子寄存器使能 当此位被置 1，TIMERx_CH0COMV_ADD 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 0 附加比较输出影子寄存器 1：使能通道 0 附加比较输出影子寄存器 仅在单脉冲模式下(TIMERx_CTL0 寄存器的 SPM =1)，可以在未确认预装载寄存器情况下使用 PWM 模式。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =000 时此位不能被改变。
27:16	保留	必须保持复位值。
15	CH3COMCEN	通道 3 输出比较清 0 使能

参见 CH0COMCEN 描述。

14:12	CH3COMCTL[2:0]	通道 3 输出比较模式 参见 CH0COMCTL 描述。
11	CH3COMSEN	通道 3 输出比较影子寄存器使能 参见 CH0COMSEN 描述。
10	CH3COMFEN	通道 3 输出比较快速使能 参见 CH0COMFEN 描述。
9:8	CH3MS[1:0]	通道 3 模式选择 这些位定义了通道的方向和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH3EN 位被清 0)时这些位才可以写。 00：通道 3 配置为输出 01：通道 3 配置为输入，IS3 映射在 CI3FE3 上 10：通道 3 配置为输入，IS3 映射在 CI2FE3 上 11：通道 3 配置为输入，IS3 映射在 ITS 上 注意：当 CH3MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入
7	CH2COMCEN	通道 2 输出比较清 0 使能 当此位被置 1，当检测到 ETIFP 输入高电平时，O2CPRE 参考信号被清 0 0：使能通道 2 输出比较清零 1：禁止通道 2 输出比较清零
6:4	CH2COMCTL[2:0]	通道 2 输出比较模式 此位定义了输出准备信号 O2CPRE 的输出比较模式，而 O2CPRE 决定了 CH2_O、CH2_ON 的值。另外，O2CPRE 高电平有效，而 CH2_O、CH2_ON 通道的极性取决于 CH2P、CH2NP 位。 000：时基。输出比较寄存器 TIMERx_CH2CV 与计数器 TIMERx_CNT 间的比较对 O2CPRE 不起作用 001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 为高。 010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 为低。 011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 翻转。 100：强制为低。强制 O2CPRE 为低电平 101：强制为高。强制 O2CPRE 为高电平 110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH2CV 时，O2CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH2CV 时，O2CPRE 为低电平，否则为高电平。 111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH2CV 时，O2CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH2CV 时，O2CPRE 为高电平，否则为低电平。 **注意**：在复合 PWM 模式下(CH2CPWMEN = 1'b1 和 CH2MS = 3'b000)，通道 2 的

		PWM 输出信号由 TIMERx_CH2CV 和 TIMERx_CH2COMV_ADD 寄存器共同确定。详细信息请参考*复合 PWM 模式*。 如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O2CPRE 电平才改变。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH2MS =00(比较模式)时此位不能被改变。
3	CH2COMSEN	通道 0 输出比较影子寄存器使能 当此位被置 1，TIMERx_CH2CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 2 输出/比较影子寄存器 1：使能通道 2 输出/比较影子寄存器 仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器情况下使用 PWM 模式 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH2MS =00 时此位不能被改变。
2	CH2COMFEN	通道 2 输出比较快速使能 0：通道 2 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH2_O 设置为比较电平，激活 CH2_O 输出的最小延时为 5 个时钟周期。 1：通道 2 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH2_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH2_O 输出的最小延时为 3 个时钟周期。
1:0	CH2MS[1:0]	通道 2 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH2EN 位被清 0)时这些位才可写。 00：通道 2 配置为输出 01：通道 2 配置为输入，IS2 映射在 CI2FE2 上 10：通道 2 配置为输入，IS2 映射在 CI3FE2 上 11：通道 2 配置为输入，IS2 映射在 ITS 上. 注意：当 CH2MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入

输入捕获模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	CH3CAPFLT[3:0]	通道 3 输入捕获滤波控制 参见 CH0CAPFLT 描述。
11:10	CH3CAPPSC[1:0]	通道 3 输入捕获预分频器 参见 CH0CAPPSC 描述。
9:8	CH3MS[1:0]	通道 3 模式选择 与输出模式相同。
7:4	CH2CAPFLT[3:0]	通道 2 输入捕获滤波控制 CI2 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。

数字滤波器的基本原理：根据 f_{SAMP} 对 CI2 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。

滤波器参数配置如下：

CH2CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000		无滤波器
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$
4'b0111	8	
4'b1000	6	$f_{DTS}/8$
4'b1001	8	
4'b1010	5	$f_{DTS}/16$
4'b1011	6	
4'b1100	8	
4'b1101	5	$f_{DTS}/32$
4'b1110	6	
4'b1111	8	

3:2 CH2CAPPSC[1:0] 通道 2 输入捕获预分频器

这 2 位定义了通道 2 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH2EN =0 时，则预分频器复位。

00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。

01：每 2 个事件触发一次捕获。

10：每 4 个事件触发一次捕获。

11：每 8 个事件触发一次捕获。

1:0 CH2MS[1:0] 通道 2 模式选择

与输出比较模式相同。

通道控制寄存器 2(TIMERx_CHCTL2)

地址偏移：0x20

复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3NP	CH3NEN	CH3P	CH3EN	CH2NP	CH2NEN	CH2P	CH2EN	CH1NP	CH1NEN	CH1P	CH1EN	CH0NP	CH0NEN	CH0P	CH0EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits	Fields	Descriptions

31:16	保留	必须保持复位值。
15	CH3NP	通道 3 互补输出极性 参考 CH0NP 描述。
14	CH3NEN	通道 3 互补输出使能 参考 CH0NEN 描述。
13	CH3P	通道 3 极性 参考 CH0P 描述。
12	CH3EN	通道 3 使能 参考 CH0EN 描述。
11	CH2NP	通道 2 互补输出极性 参考 CH0NP 描述。
10	CH2NEN	通道 2 互补输出使能 参考 CH0NEN 描述。
9	CH2P	通道 2 极性 参考 CH0P 描述。
8	CH2EN	通道 2 使能 参考 CH0EN 描述。
7	CH1NP	通道 1 互补输出极性 参考 CH0NP 描述。
6	CH1NEN	通道 1 互补输出使能 参考 CH0NEN 描述。
5	CH1P	通道 1 极性 参考 CH0P 描述。
4	CH1EN	通道 1 使能 参考 CH0EN 描述。
3	CH0NP	通道 0 互补输出极性 当通道 0 配置为输出模式，此位定义了互补输出信号的极性。 0：通道0互补输出高电平为有效电平 1：通道0互补输出低电平为有效电平 当通道 0 配置为输入模式时，此位和 CH0P 联合使用，作为输入信号 CI0 的极性选择控制信号。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
2	CH0NEN	通道 0 互补输出使能 当通道 0 配置为输出模式时，将此位置 1 使能通道 0 的互补输出。 0：禁止通道 0 互补输出。 1：使能通道 0 互补输出。
1	CH0P	通道 0 极性

		当通道 0 配置为输出模式时，此位定义了输出信号极性。 0：通道0高电平为有效电平 1：通道0低电平为有效电平 当通道 0 配置为输入模式时，此位定义了 CI0 信号极性。 [CH0NP, CH0P] 将选择 CI0FE0 或者 CI1FE0 的有效边沿或者捕获极性。 [CH0NP==0, CH0P==0]：把 CIxFE0 的上升沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。 [CH0NP==0, CH0P==1]：把 CIxFE0 的下降沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 会被翻转。 [CH0NP==1, CH0P==0]：保留。 [CH0NP==1, CH0P==1]：把 CIxFE0 的上升沿和下降沿都作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
0	CH0EN	通道 0 捕获/比较使能 当通道 0 配置为输出模式时，将此位置 1 使能 CH0_O 信号有效。当通道 0 配置为输入模式时，将此位置 1 使能通道 0 上的捕获事件。 0：禁止通道 0。 1：使能通道 0。

计数器寄存器(TIMERx_CNT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	这些位是当前的计数值。写操作能改变计数器值。

预分频寄存器(TIMERx_PSC)

地址偏移： 0x28
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PSC[15:0]	计数器时钟预分频值 计数器时钟等于 TIMER_CK 时钟除以(PSC+1)，每次当更新事件产生时，PSC 的值被装入到对应的影子寄存器。

计数器自动重载寄存器(TIMERx_CAR)

地址偏移：0x2C
复位值：0x0000 FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CARL[15:0]	计数器自动重载值 这些位定义了计数器的自动重载值。

重复计数寄存器(TIMERx_CREP)

地址偏移：0x30
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								CREP[7:0]							
								rw							

位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	CREP[7:0]	重复计数器的值 这些位定义了更新事件的产生速率。重复计数器计数值减为 0 时产生更新事件。影子寄存器的更新速率也会受这些位影响(前提是影子寄存器被使能)。

通道 0 捕获/比较寄存器(TIMERx_CH0CV)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH0VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH0VAL[15:0]	通道 0 的捕获或比较值 当通道 0 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 0 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 1 捕获/比较寄存器(TIMERx_CH1CV)

地址偏移：0x38
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1VAL[15:0]															
rw															

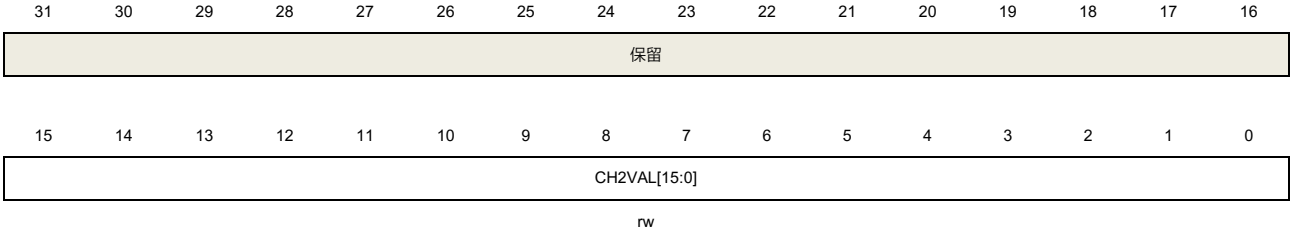
位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH1VAL[15:0]	通道 1 的捕获或比较值

当通道 1 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。
当通道 1 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 2 捕获/比较寄存器(TIMERx_CH2CV)

地址偏移：0x3C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

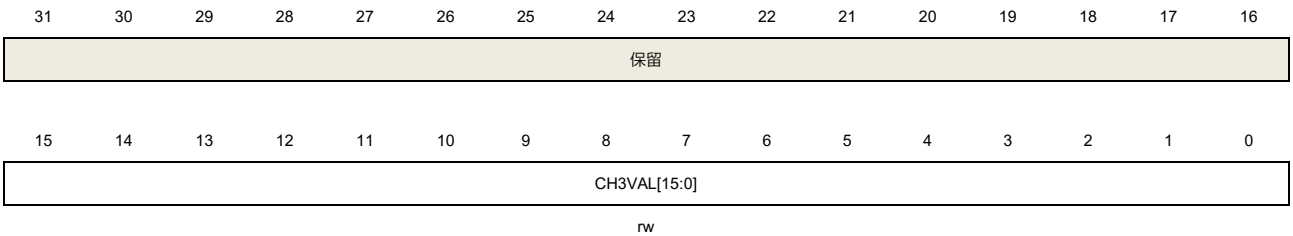


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH2VAL[15:0]	通道 2 的捕获或比较值 当通道 2 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 2 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 3 捕获/比较寄存器(TIMERx_CH3CV)

地址偏移：0x40
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH3VAL[15:0]	通道 3 的捕获或比较值 当通道 3 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器

为只读。
当通道 3 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

互补通道保护寄存器(TIMERx_CCHP)

地址偏移：0x44
复位值： 0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POEN	OAEN	BRKP	BRKEN	ROS	IOS	PROT[1:0]		DTCFG[7:0]							
rw	rw	rw	rw	rw	rw	rw		rw							

位/位域	名称	描述
31:16	保留	必须保持复位值
15	POEN	所有的通道输出使能 该位通过以下方式置 1： -写 1 置位 -如果 OAEN=1，则在下一次更新事件发生时置 1. 该位通过以下方式清 0： -写 0 清 0 -有效的中止输入(异步) 如果一个通道配置为输出模式，如果设置了相应的使能位(TIMERx_CHCTL2 寄存器的 CHxEN, CHxNEN 位)，则开启 CHx_O 和 CHx_ON 输出。 0：禁止通道输出 1：使能通道输出 注意：仅当 CHxMS[1:0]=2'b00 时该位有效
14	OAEN	自动输出使能 0：POEN 位只能使用软件方式置 1 1：如果中止输入无效，下一次更新事件发生时，POEN 位置 1 此位只有在 TIMERx_CCHP 寄存器的 PROT [1:0] =00 时才可修改。
13	BRKP	中止极性 此位定义了中止输入信号 BRKIN 的极性。 0：中止输入低电平有效 1：中止输入高电平有效
12	BRKEN	中止使能 此位置 1 使能中止事件和 CKM 时钟失败事件输入。

0：禁能中止输入
1：使能中止输入
此位只有在 TIMERx_CCHP 寄存器的 PROT [1:0] =00 时才可修改。

11 ROS

运行模式下"关闭状态"使能
当 POEN 位被置 1(运行模式)，此位可以被置 1 来使能通道(带有互补输出且配置为输出模式)的输出"关闭状态"。参见*表 22-5*。
0：输出"关闭状态"禁能。当 CHxEN 或者 CHxNEN 位被清零，对应通道为输出"禁能状态"。
1：输出"关闭状态"使能。当 CHxEN 或者 CHxNEN 位被清零，对应通道为输出"关闭状态"。
此位在 TIMERx_CCHP 寄存器的 PROT [1:0]=10 或 11 时不能被更改。

10 IOS

空闲模式下"关闭状态"使能
当 POEN 位被清 0(空闲模式)，此位可以被置 1 来使能通道(带有互补输出且配置为输出模式)的输出"关闭状态"。参见*表 22-6*。
0：输出"关闭状态"禁能。当 CHxEN 和 CHxNEN 位均被清零，对应通道为输出"禁能状态"。
1：输出"关闭状态"使能。不论 CHxEN 和 CHxNEN 位的值，对应通道为输出"关闭状态"。
此位在 TIMERx_CCHP 寄存器的 PROT [1:0]=10 或 11 时不能被更改。

9:8 PROT[1:0]

互补寄存器保护控制
这两位定义了寄存器的写保护特性。
00：禁能保护模式。无写保护。
01：PROT 模式 0。TIMERx_CTL1 寄存器中 ISOx/ISOxN 位，TIMERx_CCHP 寄存器中 BRKEN/BRKP/OAEN/DTCFG 位写保护。
10：PROT 模式 1。除了 PROT 模式 0 下的寄存器写保护外，还有 TIMERx_CHCTL2 寄存器中 CHxP/CHxNP 位(如果相应通道配置为输出模式)，TIMERx_CCHP 寄存器中 ROS/IOS 位写保护。
11：PROT 模式 2.。除了 PROT 模式 1 下的寄存器写保护外，还有 TIMERx_CHCTLR0/1 中 CHxCOMCTL/ CHxCOMSEN 位(如果相关通道配置为输出模式)写保护。
系统复位后这两位只能被写一次，一旦 TIMERx_CCHP 寄存器被写入，这两位被写保护。

7:0 DTCFG[7:0]

死区时间控制
DTCFG 值和死区时间的关系如下：

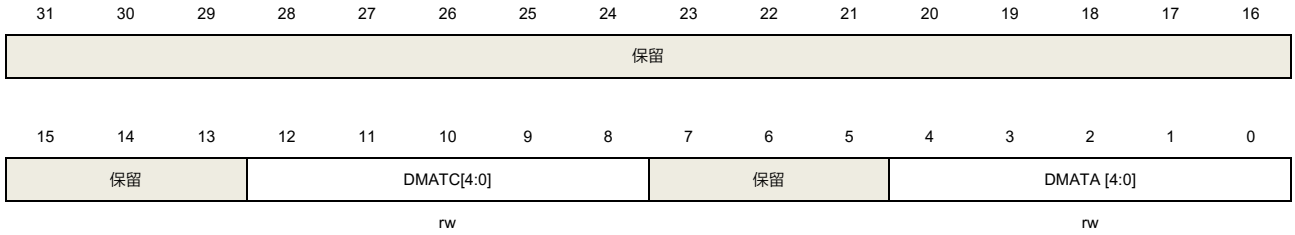
DTCFG[7:5]	The duration of dead-time
3'b0xx	DTCFG[7:0] * t_{DTS_CK}
3'b10x	(64+ DTCFG[5:0]) * t_{DTS_CK} *2
3'b110	(32+ DTCFG[4:0]) * t_{DTS_CK} *8
3'b111	(32+ DTCFG[4:0]) * t_{DTS_CK} *16

注意：
1. t_{DTS_CK} 是 DTS_CK 的周期，由 TIMERx_CTL0 中的 CKDIC[1:0]定义。
2. 此位只有在 TIMERx_CCHP 寄存器的 PROT [1:0]=00 时才可修改。

DMA 配置寄存器(TIMERx_DMACFG)

地址偏移：0x48
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

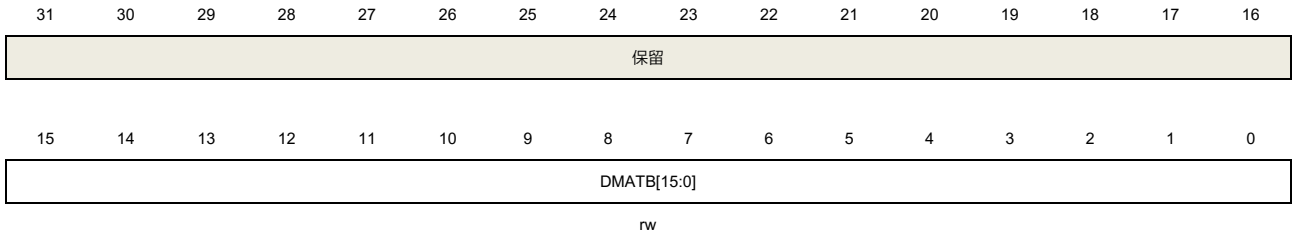


位/位域	名称	描述
31:13	保留	必须保持复位值。
12:8	DMATC [4:0]	DMA 传输计数 该位域定义了 DMA 访问(读写)TIMERx_DMATB 寄存器的数量 n，n = (DMATC [4:0] +1). DMATC [4:0] 从 5'b0_0000 到 5'b1_0001.
7:5	保留	必须保持复位值。
4:0	DMATA [4:0]	DMA 传输起始地址 该位域定义了 DMA 访问 TIMERx_DMATB 寄存器的第一个地址。当通过 TIMERx_DMA 第一次访问时，访问的就是该位域指定的地址。第二次访问 TIMERx_DMATB 时，将访问起始地址+0x4。

DMA 发送缓冲区寄存器(TIMERx_DMATB)

地址偏移：0x4C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

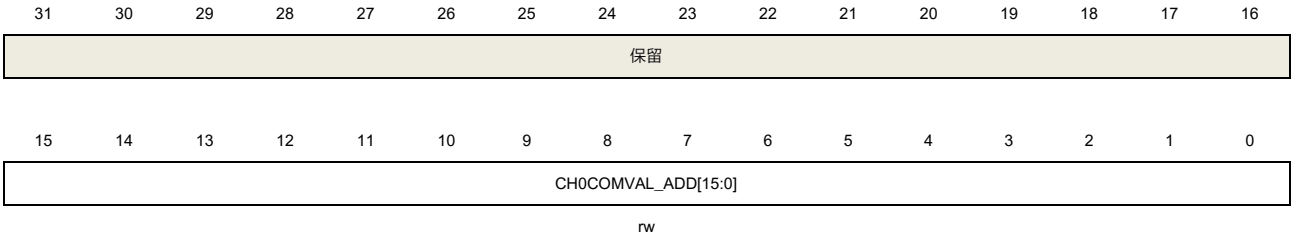


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	DMATB [15:0]	DMA 发送缓冲 对这个寄存器的读或写，(起始地址+传输次数*4)地址范围内的寄存器会被访问。传输次数由硬件计算，范围为 0 到 DMATC。

通道 0 附加比较寄存器(TIMERx_CH0COMV_ADD)

地址偏移：0x64
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

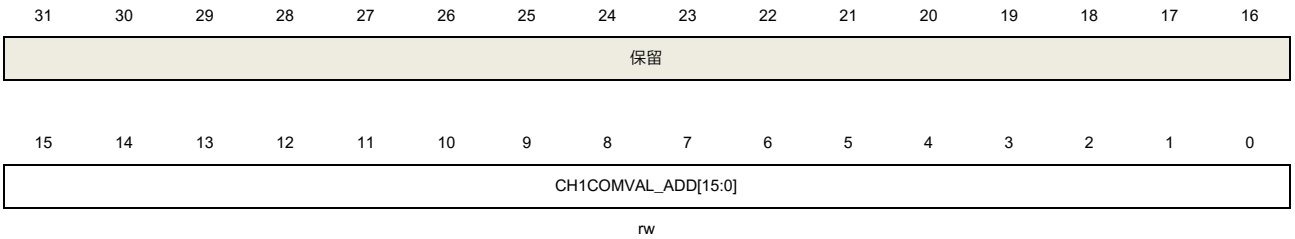


位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	CH0COMVAL_ADD [15:0]	通道0附加比较值 当通道0配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。 **注意**：该寄存器仅用于复合PWM模式(当CH0CPWMEN=1时)。

通道 1 附加比较寄存器(TIMERx_CH1COMV_ADD)

地址偏移：0x68
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



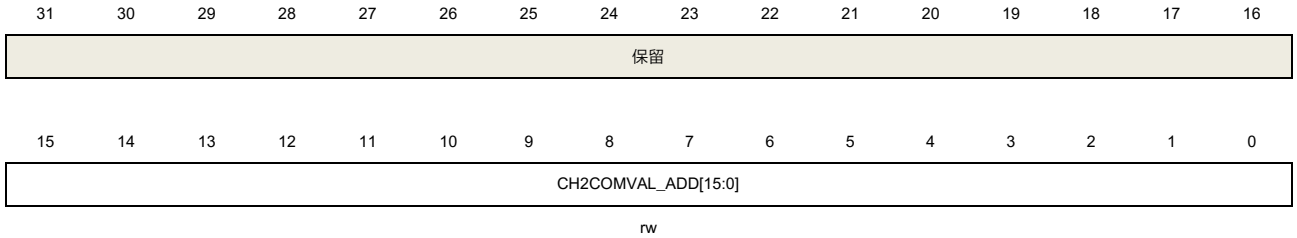
位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	CH1COMVAL_ADD [15:0]	通道1附加比较值 当通道1附加配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。 **注意**：该寄存器仅用于复合PWM模式(当CH0CPWMEN=1时)。

通道 2 附加比较寄存器(TIMERx_CH2COMV_ADD)

地址偏移：0x6C

复位值：0x0000 0000

该寄存器只能按字(32位)访问。



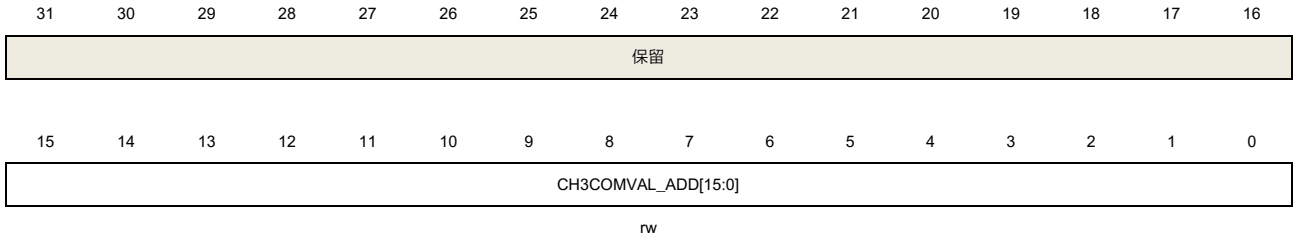
位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	CH2COMVAL_ADD [15:0]	通道2附加比较值 当通道2附加配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。 **注意**：该寄存器仅用于复合PWM模式(当CH0CPWMEN=1时)。

通道 3 附加比较寄存器(TIMERx_CH3COMV_ADD)

地址偏移：0x70

复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值
15:0	CH3COMVAL_ADD [15:0]	通道3附加比较值 当通道3附加配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。 **注意**：该寄存器仅用于复合PWM模式(当CH0CPWMEN=1时)。

控制寄存器 2(TIMERx_CTL2)

地址偏移：0x74

复位值：0x0FF0 00FF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3CPWMEN	CH2CPWMEN	CH1CPWMEN	CH0CPWMEN	保留											
rw	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31	CH3CPWMEN	通道 3 复合 PWM 模式使能 0：通道 3 复合 PWM 模式禁能 1：通道 3 复合 PWM 模式使能
30	CH2CPWMEN	通道 2 复合 PWM 模式使能 0：通道 2 复合 PWM 模式禁能 1：通道 2 复合 PWM 模式使能
29	CH1CPWMEN	通道 1 复合 PWM 模式使能 0：通道 1 复合 PWM 模式禁能 1：通道 1 复合 PWM 模式使能
28	CH0CPWMEN	通道 0 复合 PWM 模式使能 0：通道 0 复合 PWM 模式禁能 1：通道 0 复合 PWM 模式使能
27:0	保留	必须保持复位值

配置寄存器(TIMERx_CFG)

地址偏移：0xFC
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														CHVSEL	OUTSEL
														rw	rw

位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CHVSEL	写捕获比较寄存器选择位 此位由软件写 1 或清 0。 1：当写入捕获比较寄存器的值与寄存器当前值相等时，写入操作无效。

		0：无影响。
0	OUTSEL	输出值选择位 此位由软件写 1 或清 0。 1：如果 POEN 位与 IOS 位均为 0，则输出无效。 0：无影响。

22.2. 通用定时器 L0(TIMERx, x=1,2,3,4)

22.2.1. 简介

通用定时器 L0 是 4 通道定时器，支持输入捕获，输出比较，产生 PWM 信号控制电机和电源管理。通用定时器 L0 计数器是 16 位无符号计数器。

通用定时器是可编程的，可以被用来计数，其外部事件可以驱动其他定时器。

定时器和定时器之间是相互独立，但是他们可以被同步在一起形成一个更大的定时器，这些定时器的计数器一致地增加。

22.2.2. 主要特性

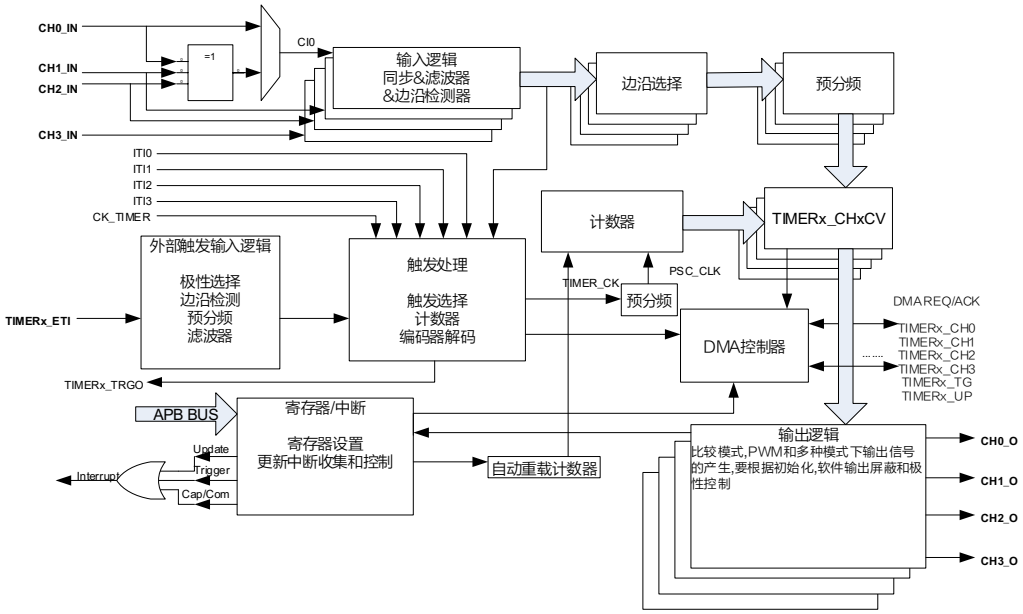
- 总通道数：4；
- 计数器宽度：16位(TIMER2&3)，32位(TIMER1&4)；
- 时钟源可选：内部时钟，内部触发，外部输入，外部触发；
- 多种计数模式：向上计数，向下计数和中央计数；
- 正交译码器接口：被用来追踪运动和分辨旋转方向和位置；
- 霍尔传感器接口：用来做三相电机控制；
- 可编程的预分频器：16位，运行时可以被改变；
- 每个通道可配置：输入捕获模式，输出比较模式，可编程的PWM模式，单脉冲模式；
- 自动重装载功能；
- 中断输出和DMA请求：更新事件，触发事件，比较/捕获事件；
- 多个定时器的菊链使得一个定时器可以同时启动多个定时器；
- 定时器的同步允许被选择的定时器在同一个时钟周期开始计数；
- 定时器主-从管理。

22.2.3. 功能描述

结构框图

*图 22-34. 通用定时器 L0 结构框图*提供了通用定时器 L0 的内部细节。

图 22-34. 通用定时器 L0 结构框图



时钟源配置

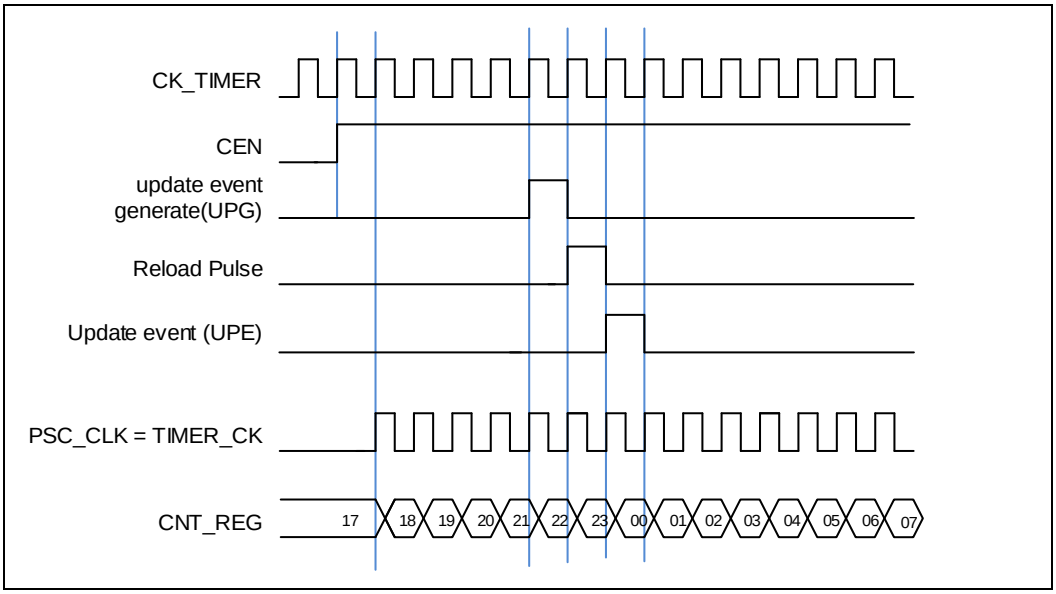
通用定时器 L0 可以由内部时钟源 CK_TIMER 或者由 SMC(TIMERx_SMCFG 寄存器位[2:0])控制的复用时钟源驱动。

- SMC[2:0]==3'b000，定时器选择内部时钟源(连接到RCU模块的CK_TIMER)

如果 SMC[2:0]==3'b000，默认用来驱动计数器预分频器的是内部时钟源 CK_TIMER。当 CEN 置位，CK_TIMER 经过预分频器(预分频值由 TIMERx_PSC 寄存器确定)产生 PSC_CLK。

如果将 TIMERx_SMCFG 寄存器的 SMC[2:0]设置为 0x1、0x2、0x3 和 0x7，预分频器被其他时钟源(由 TIMERx_SMCFG 寄存器的 TRGS [2:0]区域选择)驱动，在下文说明。当 SMC 位被设置为 0x4、0x5 和 0x6，计数器预分频器时钟源由内部时钟 CK_TIMER 驱动。

图 22-35. 内部时钟分频为 1 时，计数器的时序图



- SMC[2:0]==3'b111(外部时钟模式0)，定时器选择外部输入引脚作为时钟源

计数器预分频器可以在 TIMERx_CI0/ TIMERx_CI1 引脚的每个上升沿或下降沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x4，0x5 或 0x6 来选择。CIx 是 TIMERx_CIx 通过数字滤波器采样后的信号。

计数器预分频器也可以在内部触发信号 ITI0/1/2/3 的上升沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x0, 0x1, 0x2 或者 0x3。

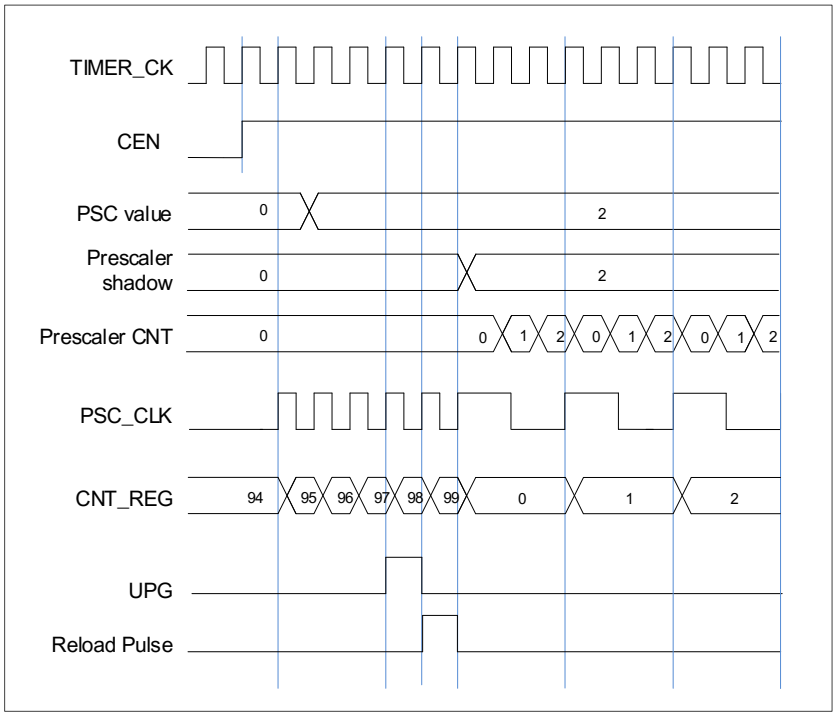
- SMC==1'b1(外部时钟模式1)，定时器选择外部输入引脚ETI作为时钟源

计数器预分频器可以在外部引脚 ETI 的每个上升沿或下降沿计数。这种模式可以通过设置 TIMERx_SMCFG 寄存器中的 SMC1 位为 1 来选择。另一种选择 ETI 信号作为时钟源方式是，设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x7。注意 ETI 信号是通过数字滤波器采样 ETI 引脚得到的。。如果选择 ETIF 信号为时钟源，触发控制器包括边沿监测电路将在每个 ETI 信号上升沿产生一个时钟脉冲来为计数器预分频器提供时钟。

时钟预分频器

预分频器可以将定时器的时钟(TIMER_CK)频率按 1 到 65536 之间的任意值分频，分频后的时钟 PSC_CLK 驱动计数器计数。分频系数受预分频寄存器 TIMERx_PSC 控制，这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

图 22-36. 当 PSC 数值从 0 变到 2 时，计数器的时序图



计数器向上计数模式

在这种模式，计数器的计数方向是向上计数。计数器从 0 开始向上连续计数到自动加载值(定义在 TIMERx_CAR 寄存器中)，一旦计数器计数到自动加载值，会重新从 0 开始向上计数并产生上溢事件。在向上计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 0。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被清 0，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(计数器自动重载寄存器，预分频寄存器)都将被更新。

下面的这些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同预分频因子下的行为。

图 22-37. 向上计数时序图，PSC=0/2

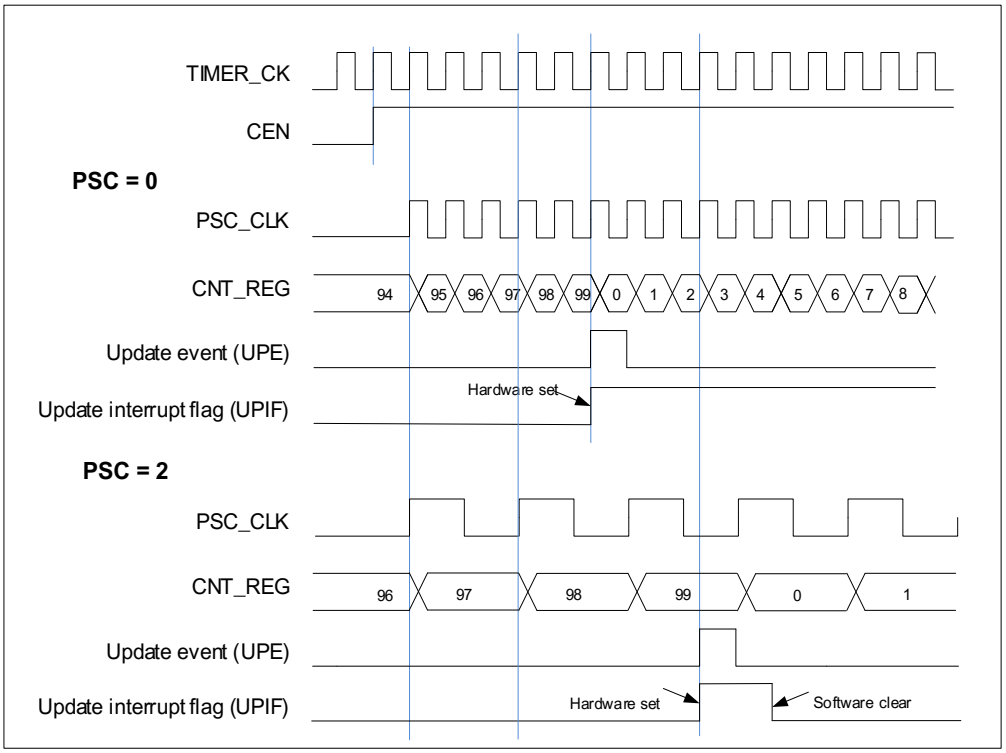
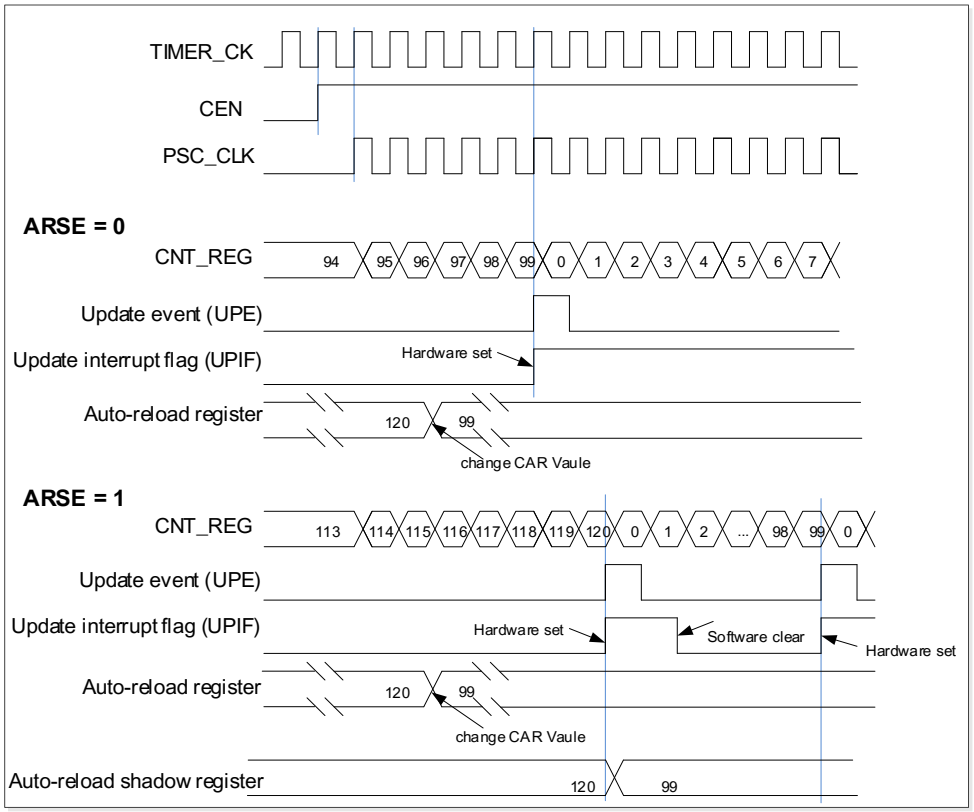


图 22-38. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值



计数器向下计数模式

在这种模式，计数器的计数方向是向下计数。计数器从自动加载值(定义在 TIMERx_CAR 寄存器中)向下连续计数到 0。一旦计数器计数到 0，计数器会重新从自动加载值开始计数并产生下溢事件。在向下计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 1。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被初始化为自动加载值，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(计数器自动重载寄存器，预分频寄存器)都将被更新。

下面这些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同时钟频率下的行为。

图 22-39. 向下计数时序图，PSC=0/2

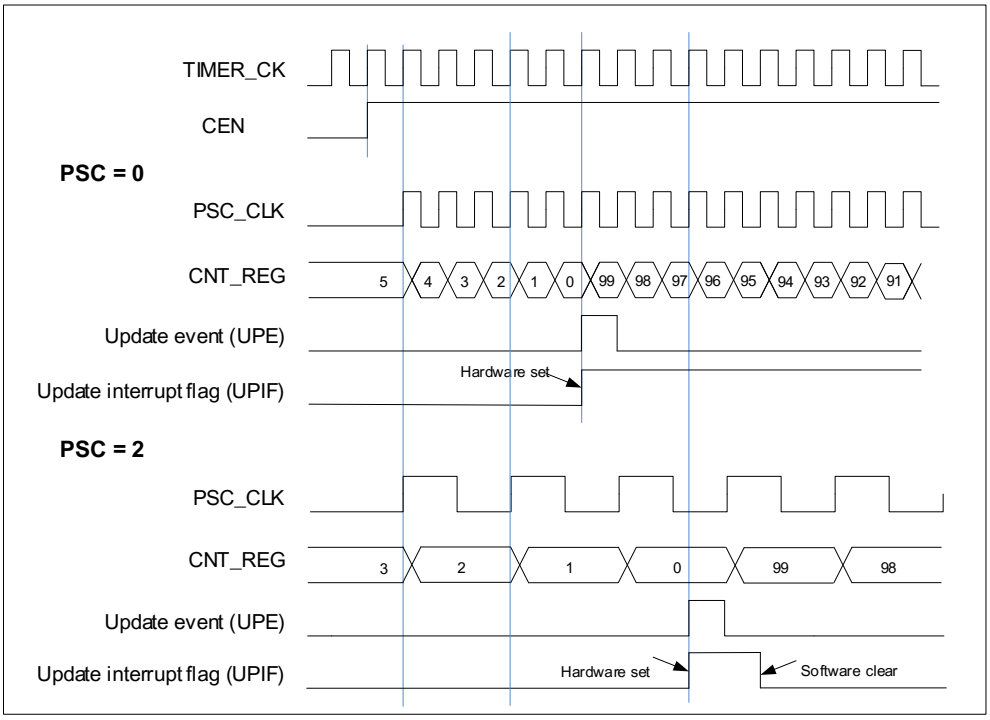
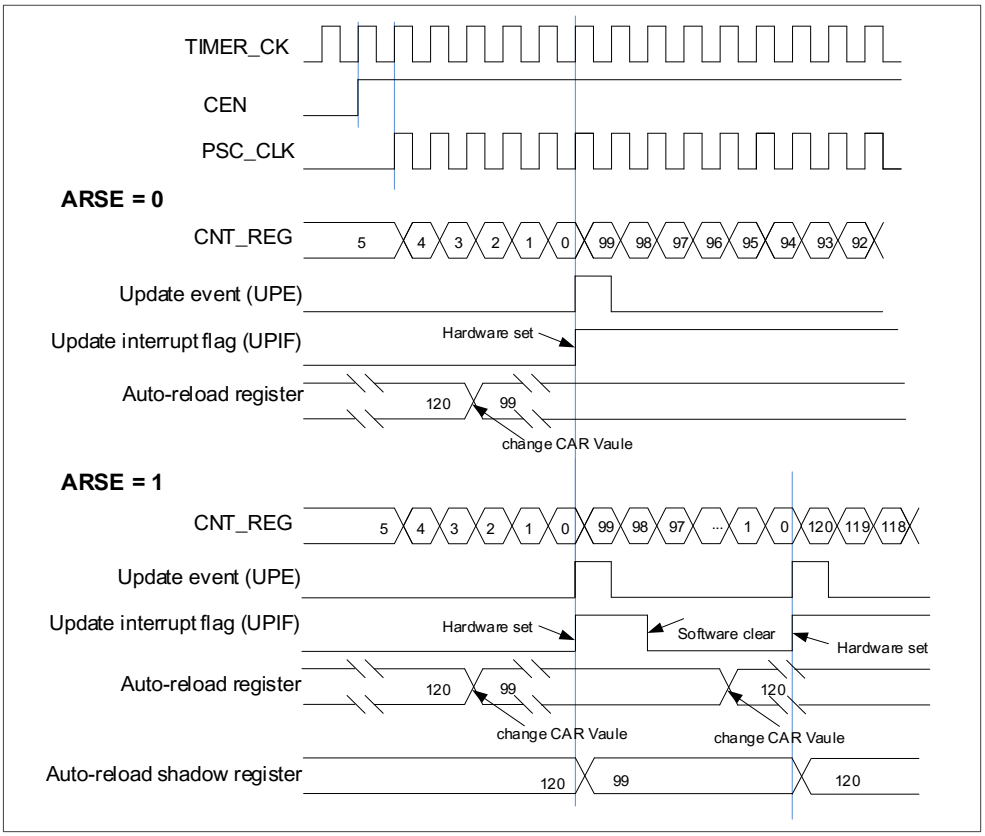


图 22-40. 向下计数时序图，在运行时改变 TIMERx_CAR 寄存器值



计数器中央对齐模式

在中央对齐模式下，计数器交替的从 0 开始向上计数到自动加载值，然后再向下计数到 0。。向上计数模式中， 定时器模块在计数器计数到(自动加载值-1)产生一个上溢事件；向下计数模式中，定时器模块在计数器计数到 1 时产生一个下溢事件。在中央计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 只读，表明了的计数方向。

将 TIMERx_SWEVG 寄存器的 UPG 位置 1 可以初始化计数值为 0，并产生一个更新事件，而无需考虑计数器在中央模式下是向上计数还是向下计数。

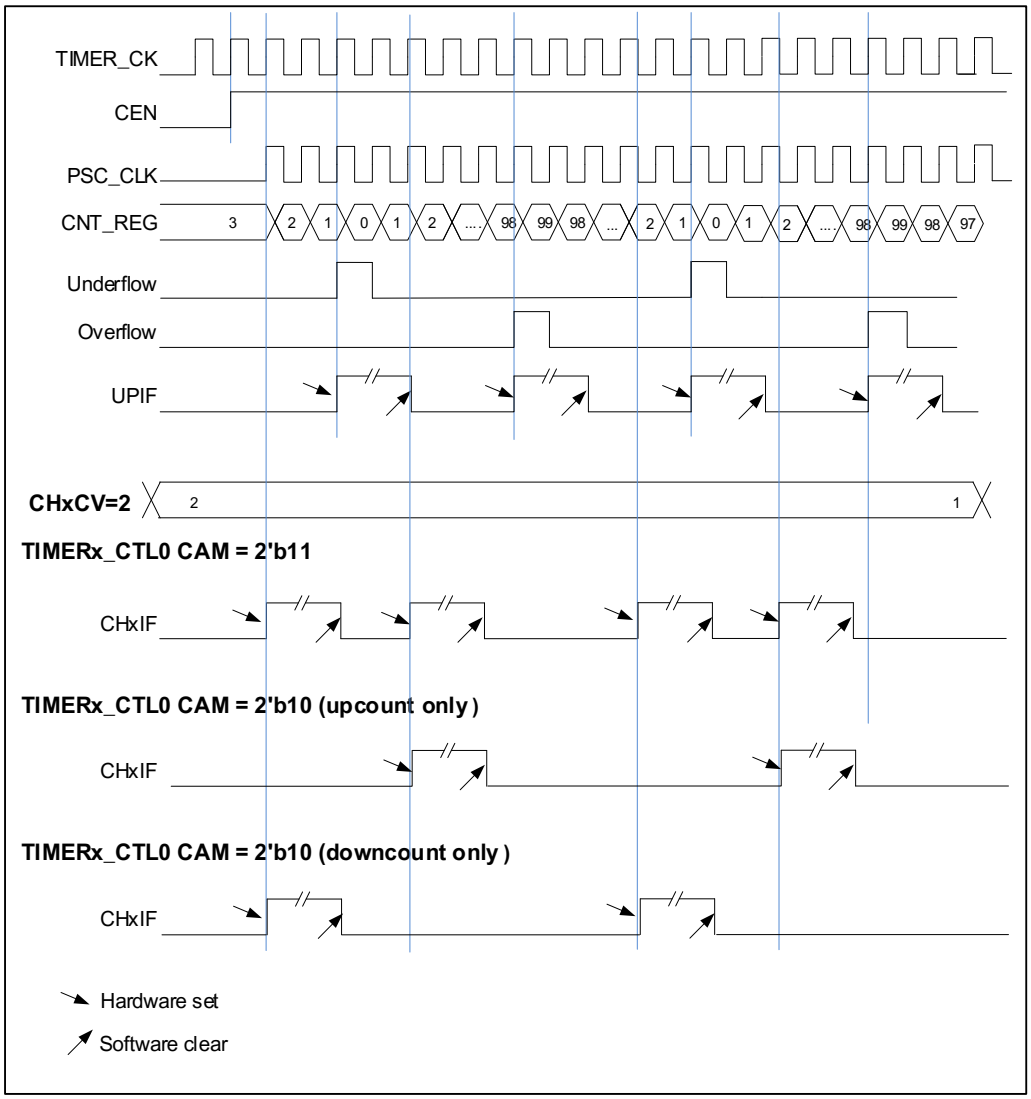
上溢或者下溢时，TIMERx_INTF 寄存器中的 UPIF 位都会被置 1，然而 CHxIF 位置 1 与 TIMERx_CTL0 寄存器中 CAM 的值有关。具体细节参考*图 22-41. 中央计数模式计数器时序图*

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(计数器自动重载寄存器，预分频寄存器)都将被更新。

下面这些图给出了一些例子，当 TIMERx_CAR=0x99，TIMERx_PSC=0x0 时，计数器的行为

图 22-41. 中央计数模式计数器时序图



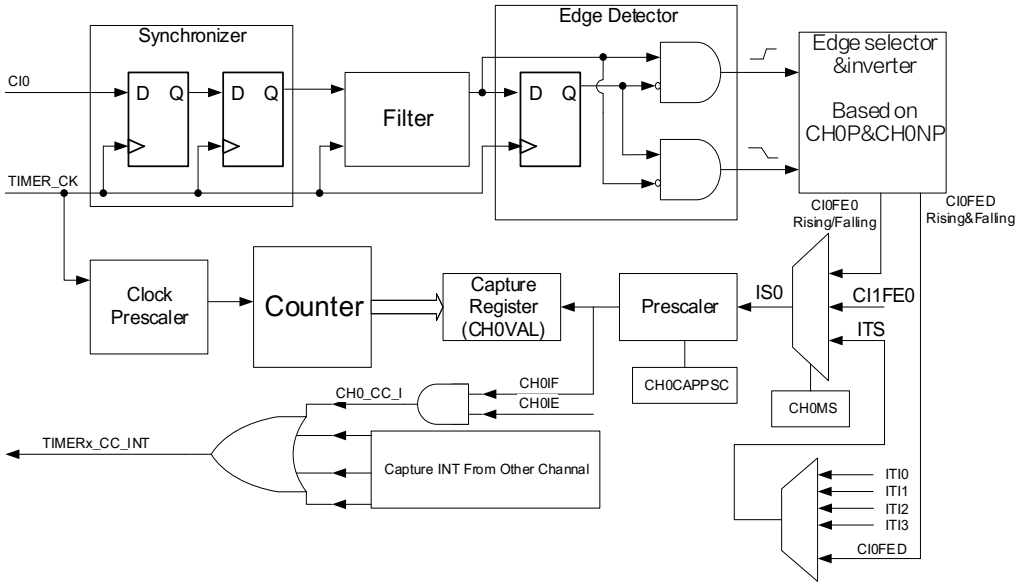
输入捕获和输出比较通道

通用定时器 L0 拥有四个独立的通道用于捕获输入或比较输出是否匹配。每个通道都围绕一个通道捕获比较寄存器建立，包括一个输入级，通道控制器和输出级。

- 通道输入捕获功能

通道输入捕获功能允许通道测量一个波形时序，频率，周期，占空比等。输入级包括一个数字滤波器，一个通道极性选择，边沿检测和一个通道预分频器。如果在输入引脚上出现被选择的边沿，TIMERx_CHxCV 寄存器会捕获计数器当前的值，同时 CHxIF 位被置 1，如果 CHxIE = 1 则产生通道中断。

图 22-42. 通道输入捕获原理



通道输入信号 CIx 有两种选择，一种是 TIMERx_CHx 信号，另一种是 TIMERx_CH0,TIMERx_CH1 和 TIMERx_CH2 异或之后的信号。通道输入信号 CIx 先被 TIMER_CK 信号同步，然后经过数字滤波器采样，产生一个被滤波后的信号。通过边沿检测器，可以选择检测上升沿或者下降沿。通过配置 CHxP 选择使用上升沿或者下降沿。配置 CHxMS.，可以选择其他通道的输入信号，内部触发信号。配置 IC 预分频器，使得若干个输入事件后才产生一个有效的捕获事件。捕获事件发生，CxCV 存储计数器的值。

配置步骤如下：

第一步： 滤波器配置(TIMERx_CHCTL0寄存器中CHxCAPFLT)：
根据输入信号和请求信号的质量，配置相应的CHxCAPFLT。

第二步： 边沿选择(TIMERx_CHCTL2寄存器中CHxP/CHxNP)：
配置CHxP/CHxNP选择上升沿或者下降沿。

第三步： 捕获源选择(TIMERx_CHCTL0寄存器中CHxMS)：
一旦通过配置CHxMS选择输入捕获源，必须确保通道配置在输入模式(CHxMS!=0x0)，而且TIMERx_CxCV寄存器不能再被写。

第四步： 中断使能(TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN)：
使能相应中断，可以获得中断和DMA请求。

第五步： 捕获使能(TIMERx_CHCTL2寄存器中CHxEN)。

结果： 当期望的输入信号发生时，TIMERx_CHxCV被设置成当前计数器的值，CHxIF为置1。如果CHxIF位已经为1，则CHxOF位置1。根据TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN的配置，相应的中断和DMA请求会被提出。

直接产生： 软件设置CHxG位，会直接产生中断和DMA请求。

输入捕获模式也可用来测量 TIMERx_CHx 引脚上信号的脉冲波宽度。例如，一个 PWM 波连接到 CI0。配置 TIMERx_CHCTL0 寄存器中 CH0MS 为 2'b01，选择通道 0 的捕获信号为 CI0 并设置上升沿捕获。配置 TIMERx_CHCTL0 寄存器中 CH1MS 为 2'b10，选择通道 1 捕获信号为 CI0 并设置下降沿捕获。计数器配置为复位模式，在通道 0 的上升沿复位。

TIMERX_CH0CV 寄存器测量 PWM 的周期值，TIMERx_CH1CV 寄存器测量 PWM 占空比值。

- 通道输出比较功能

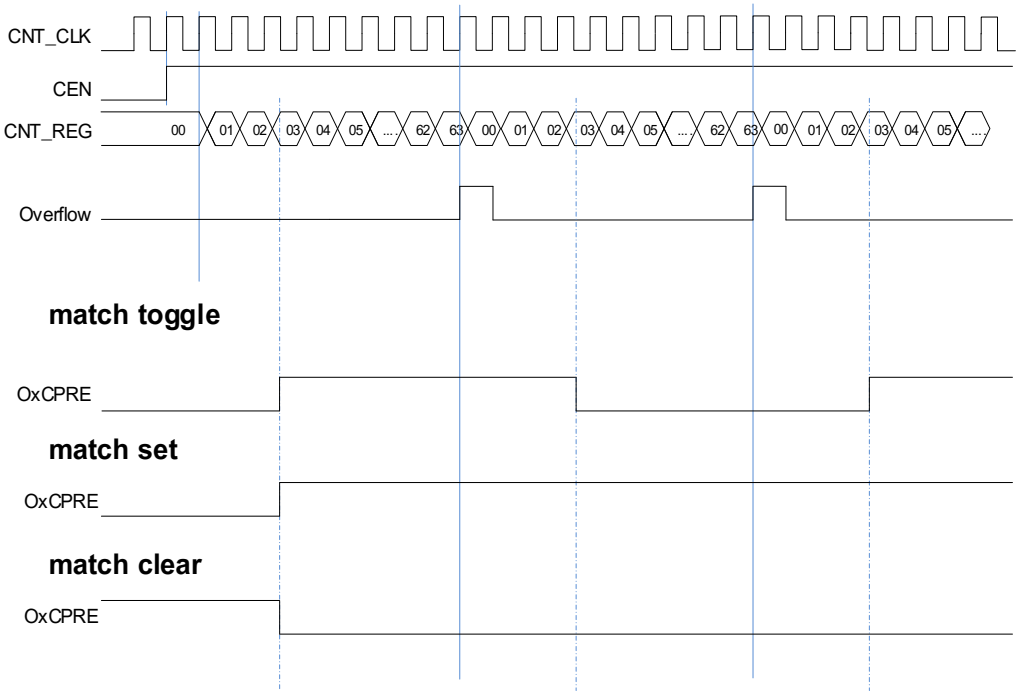
在输出比较模式，TIMERx 可以产生时控脉冲，其位置，极性，持续时间和频率都是可编程的。当一个输出通道的 CxCV 寄存器与计数器的值匹配时，根据 CHxCOMCTL 的配置，这个通道的输出可以被置高电平，被置低电平或者反转。当计数器的值与 CxCV 寄存器的值匹配时，CHxIF 位被置 1，如果 CHxIE = 1 则会产生中断，如果 CxCDE=1 则会产生 DMA 请求。

配置步骤如下：

第一步：时钟配置：
配置定时器时钟源，预分频器等。
第二步：比较模式配置：
设置CHxCOMSEN位来配置输出比较影子寄存器；
设置CHxCOMCTL位来配置输出模式(置高电平/置低电平/反转)；
设置CHxP/CHxNP位来选择有效电平的极性；
设置CHxEN使能输出。
第三步：通过CHxIE/CxCDE位配置中断/DMA请求使能。
第四步：通过TIMERx_CAR寄存器和TIMERx_CHxCV寄存器配置输出比较时基：
CxCV可以在运行时根据你所期望的波形而改变。
第五步：设置CEN位使能定时器。

*图 22-43. 三种输出比较模式*显示了三种比较输出模式：反转/置高电平/置低电平，CAR=0x63，CxCV=0x3。

图 22-43. 三种输出比较模式



输出 PWM 功能

在 PWM 输出模式下(PWM 模式 0 是配置 CHxCOMCTL 为 3'b110，PWM 模式 1 是配置 CHxCOMCTL 为 3'b111)，通道根据 TIMERx_CAR 寄存器和 TIMERx_CHxCV 寄存器的值，输出 PWM 波形。

根据计数模式，我们可以分为两种 PWM 波：EAPWM(边沿对齐 PWM)和 CAPWM(中央对齐 PWM)。

EAPWM 的周期由 TIMERx_CAR 寄存器值决定，占空比由 TIMERx_CHxCV 寄存器值决定。

*图 22-44. EAPWM 时序图*显示了 EAPWM 的输出波形和中断。

CAPWM 的周期由(2*TIMERx_CAR 寄存器值)决定，占空比由(2*TIMERx_CHxCV 寄存器值)决定。*图 22-45. CAPWM 时序图*显示了 CAPWM 的输出波形和中断。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值大于 TIMERx_CAR 寄存器的值，通道输出一直为有效电平。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值等于 0，通道输出一直为无效电平。

图 22-44. EAPWM 时序图

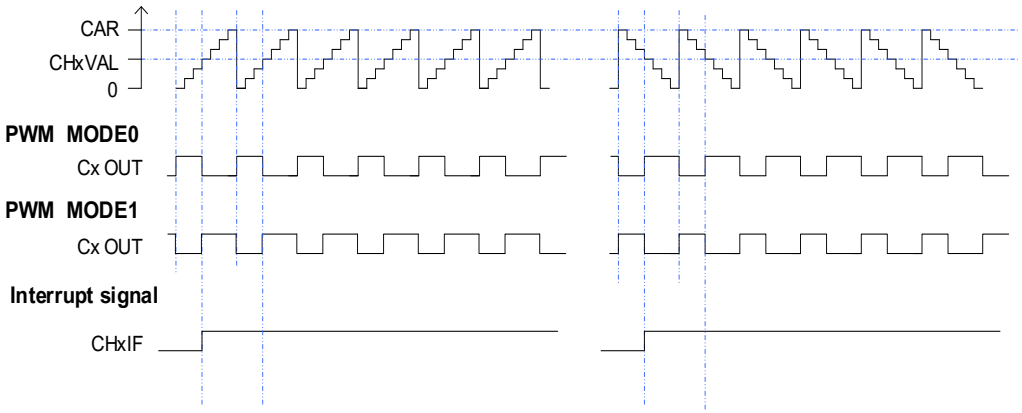
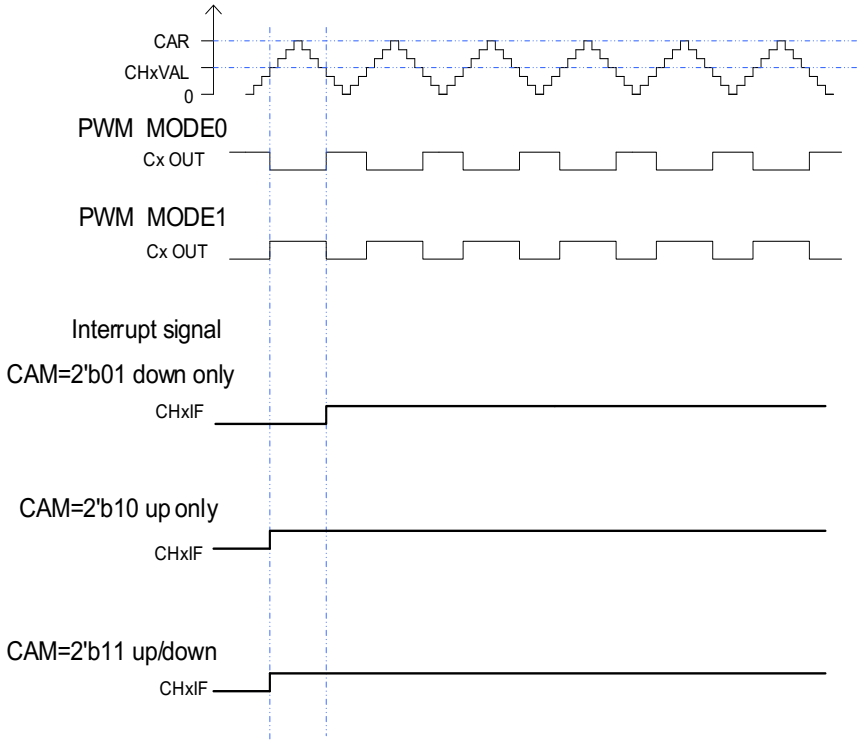


图 22-45. CAPWM 时序图



通道输出准备信号

当 TIMERx 用于输出匹配比较模式下，设置 CHxCOMCTL 位可以定义 OxCPRE 信号(通道 x 准备信号)类型。OxCPRE 信号有若干类型的输出功能，包括，设置 CHxCOMCTL=0x00 可以保持原始电平；设置 CHxCOMCTL=0x01 可以将 OxCPRE 信号设置为高电平；设置 CHxCOMCTL=0x02 可以将 OxCPRE 信号设置为低电平；设置 CHxCOMCTL=0x03，在计数器值和 TIMERx_CHxCV 寄存器的值匹配时，可以翻转输出信号。

PWM 模式 0 和 PWM 模式 1 是 OxCPRE 的另一种输出类型，设置 CHxCOMCTL 位域位 0x06 或 0x07 可以配置 PWM 模式 0/PWM 模式 1。在这些模式中，根据计数器值和 TIMERx_CHxCV 寄存器值的关系以及计数方向，OxCPRE 信号改变其电平。具体细节描述，请参考相应的位。

设置 CHxCOMCTL =0x04 或 0x05 可以实现 OxCPRE 信号的强制输出功能。输出比较信号能够直接由软件强置为有效或无效状态，而不依赖于 TIMERx_CHxCV 的值和计数器值之间间的比较结果。

设置 CHxCOMCEN=1，当由外部 ETI 引脚信号产生的 ETIFE 信号为高电平时，OxCPRE 被强制为低电平。在下一次更新事件到来时，OxCPRE 信号才会回到有效电平状态。

正交译码器

参考*正交译码器*。

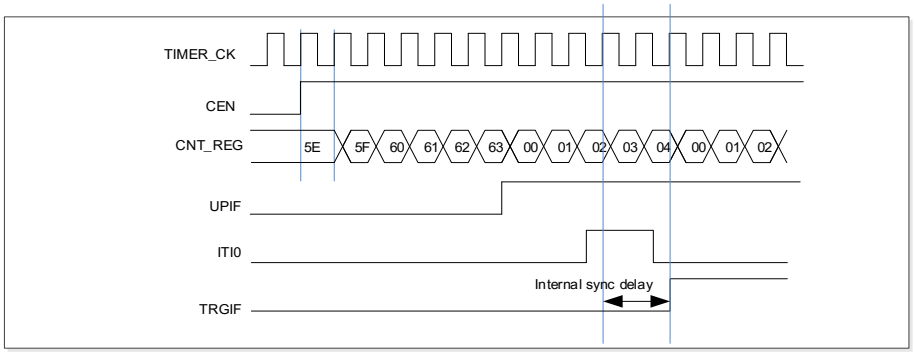
霍尔传感器接口功能

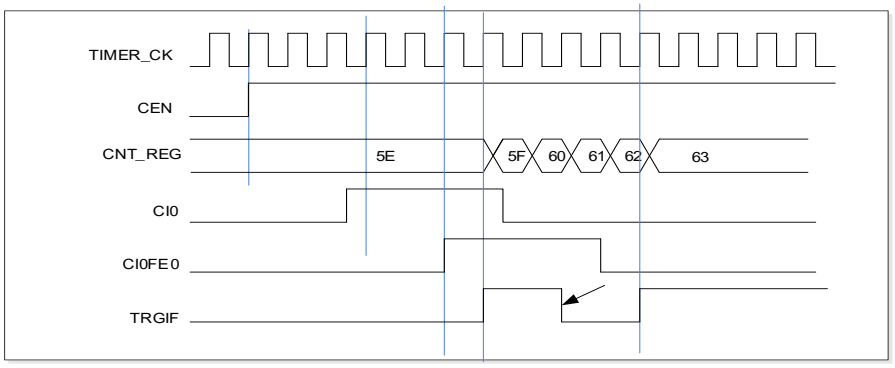
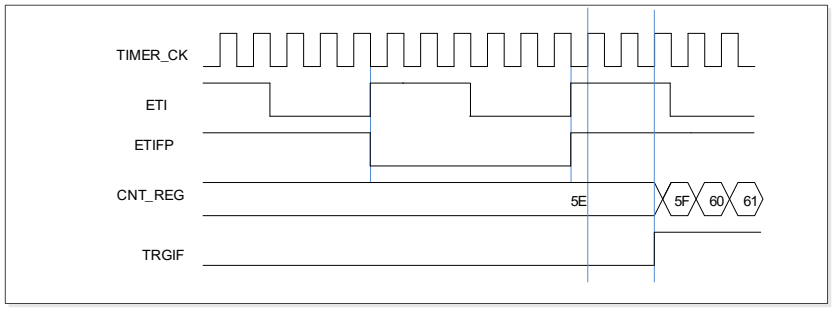
参考*霍尔传感器接口功能*。

主-从管理

TIMERx 能在多种模式下同步外部触发，包括复位模式，暂停模式和事件模式，可以通过设置 TIMERx_SMCFG 寄存器中的 SMC [2:0]配置这些模式。这些模式的输入触发源可以通过设置 TIMERx_SMCFG 寄存器中的 TRGS [2:0]来选择。

表 22-6. 从模式列表和举例

	模式选择	触发源选择	极性选择	滤波和预分频
列举	SMC[2:0] 3'b100(复位模式) 3'b101(暂停模式) 3'b110(事件模式)	TRGS[2:0] 000：ITI0 001：ITI1 010：ITI2 011：ITI3 100：CI0F_ED 101：CI0FE0 110：CI1FE1 111：ETIFP	如果触发源是CI0FE0或者CI1FE1，配置CHxP和CHxNP来选择极性和反相。 如果触发源是ETIFP，配置ETP选择极性和反相。	若触发源为ITIx，滤波和预分频不可用。 若触发源为CIx，可配置CHxCAPFLT设置滤波，预分频不可用。 若触发源为ETIFP，滤波和预分频均可用。
例1	**复位模式** 当触发输入上升沿到来时，计数器清零重启。	TRGS[2:0]=3'b000 选择ITI0为触发源。	若触发源是ITI0，极性选择不可用。	若触发源是ITI0，滤波和预分频不可用。
	图 22-46. 复位模式 			
例2	**暂停模式** 当触发输入为低的时候，计数器暂停计数，当触发输入为高时，计数器计数。	TRGS[2:0]=3'b101 选择CI0FE0为触发源。	TI0S=0(非异或)[CH0NP=0，CH0P=0] CI0FE0不反相。捕获发生在上升沿 。	在这个例子中滤波被旁路。

	模式选择	触发源选择	极性选择	滤波和预分频
	图 22-47. 暂停模式  			
例3	**事件模式** 触发输入的上升沿计数器开始计数。	TRGS[2:0]=3'b111 选择ETIFP为触发源。	ETP = 0，ETI极性不改变。	ETPSC = 1，ETI 2分频。 ETFC = 0，ETI 无滤波。
	图 22-48. 事件模式  			

单脉冲模式

参考*单脉冲模式*。

定时器互连

参考*高级定时器(TIMERx,x=0,7)*。

定时器 DMA 模式

定时器 DMA 模式是指通过 DMA 模块配置定时器的寄存器。有两个跟定时器 DMA 模式相关的寄存器：TIMERx_DMACFG 和 TIMERx_DMATB。当然，必须要使能 DMA 请求，一些内部中断事件可以产生 DMA 请求。当中断事件发生，TIMERx 会给 DMA 发送请求。DMA 配置成 M2P 模式，PADDR 是 TIMERx_DMATB 寄存器地址，DMA 就会访问 TIMERx_DMATB 寄存器。实际上，TIMERx_DMATB 寄存器只是一个缓冲，定时器会将 TIMERx_DMATB 映射到一个内部寄存器，这个内部寄存器由 TIMERx_DMACFG 寄存器中的 DMATA 来指定。如果 TIMERx_DMACFG 寄存器的 DMATC 位域值为 0，表示 1 次传输，定时器的发送 1 个 DMA 请

求就可以完成。如果 TIMERx_DMACFG 寄存器的 DMATC 位域值不为 1，例如其值为 3，表示 4 次传输，定时器就需要再多发 3 次 DMA 请求。在这 3 次请求下，DMA 对 TIMERx_DMATB 寄存器的访问会映射到访问定时器的 DMATA+0x4, DMATA+0x8, DMATA+0xc 寄存器。总之，发生一次 DMA 内部中断请求，定时器会连续发送(DMATC+1)次请求。

如果再来 1 次 DMA 请求事件，TIMERx 将会重复上面的过程。

定时器调试模式

当 Cortex®-M33 内核停止，DBG_CTL2 寄存器中的 TIMERx_HOLD 配置位被置 1，定时器计数器停止。

22.2.4. TIMERx 寄存器(x=1,2,3,4)

TIMER1 基地址：0x4000 0000

TIMER2 基地址：0x4000 0400

TIMER3 基地址：0x4000 0800

TIMER4 基地址：0x4000 0C00

控制寄存器 0(TIMERx_CTL0)

地址偏移：0x00

复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKDIV[1:0]		ARSE	CAM[1:0]		DIR	SPM	UPS	UPDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位/位域	名称	描述
31:10	保留	必须保持复位值。
9:8	CKDIV[1:0]	时钟分频 通过软件配置CKDIV，规定定时器时钟(CK_TIMER) 与死区时间和数字滤波器采样时钟(DTS)之间的分频系数。 00：$f_{DTS}=f_{CK_TIMER}$ 01：$f_{DTS}= f_{CK_TIMER} /2$ 10：$f_{DTS}= f_{CK_TIMER} /4$ 11：保留
7	ARSE	自动重载影子使能 0：禁能 TIMERx_CAR 寄存器的影子寄存器。 1：使能 TIMERx_CAR 寄存器的影子寄存器。
6:5	CAM[1:0]	计数器对齐模式选择 00：无中央对齐计数模式(边沿对齐模式)。 DIR位指定了计数方向 01：中央对齐向下计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，只有在向下计数时，CHxF位置1 10：中央对齐向上计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，只有在向上计数时，CHxF位置1 11：中央对齐上下计数置1模式。计数器在中央计数模式计数，通道被配置在输出模式(TIMERx_CHCTL0寄存器中CHxMS=00)，在向上和向下计数时，CHxF位都会置1

当计数器使能以后，该位不能从 0x00 切换到非 0x00

4	DIR	方向 0：向上计数 1：向下计数 当计数器配置为中央对齐计数模式或译码器模式时，该位只读。
3	SPM	单脉冲模式 0：单脉冲模式禁能。更新事件发生后，计数器继续计数 1：单脉冲模式使能。在下一次更新事件发生时，计数器停止计数
2	UPS	更新请求源 软件配置该位，选择更新事件源. 0：以下事件均会产生更新中断或DMA请求： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：下列事件会产生更新中断或DMA请求： 计数器溢出/下溢
1	UPDIS	禁止更新. 该位用来使能或禁能更新事件的产生 0：更新事件使能. 更新事件发生时，相应的影子寄存器被装入预装载值，以下事件均会产生更新事件： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：更新事件禁能. 注意：当该位被置 1 时，UPG 位被置 1 或者复位模式不会产生更新事件，但是计数器和预分频器被重新初始化
0	CEN	计数器使能 0：计数器禁能。 1：计数器使能。 在软件将CEN位置1后，外部时钟、暂停模式和译码器模式才能工作。

控制寄存器 1(TIMERx_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TI0S	MMC[2:0]			DMAS	保留.		

rw rw rw

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	TI0S	通道0触发输入选择 0：选择 TIMERx_CH0 引脚作为通道 0 的触发输入。 1：选择 TIMERx_CH0, CH1 和 CH2 引脚异或的结果作为通道 0 的触发输入。
6:4	MMC[2:0]	主模式控制l 这些位控制TRGO信号的选择，TRGO信号由主定时器发给从定时器用于同步功能。 000：当产生一个定时器复位事件后，输出一个TRGO信号，定时器复位源为： 主定时器产生一个复位事件 TIMERx_SWEVG寄存器中UPG位置1 001：当产生一个定时器使能事件后，输出一个TRGO信号，定时器使能源为： CEN位置1 在暂停模式下，触发输入置1 010：当产生一个定时器更新事件后，输出一个TRGO信号，更新事件源由UPDIS和UPS位决定 011：当通道0在发生一次捕获或一次比较成功时，主模式控制器产生一个TRGO脉冲 100：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O0CPRE 101：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O1CPRE 110：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O2CPRE 111：当产生一次比较事件时，输出一个 TRGO 信号，比较事件源来自 O3CPRE
3	DMAS	DMA 请求源选择 0：当通道捕获/比较事件发生时，发送通道 x 的 DMA 请求。 1：当更新事件发生，发送通道 x 的 DMA 请求。
2:0	保留	必须保持复位值。

从模式配置寄存器(TIMERx_SMCFG)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	SMC1	ETPSC[1:0]		ETFC[3:0]				MSM	TRGS[2:0]			保留.	SMC[2:0]		
rw	rw	rw		rw				rw	rw				rw		

位/位域	名称	描述
31:16	保留	必须保持复位值

15 ETP

外部触发极性

该位指定 ETI 信号的极性

0：ETI 高电平或上升沿有效 .

1：ETI 低电平或下降沿有效 .

14 SMC1

SMC 的一部分为了使能外部时钟模式 1

在外部时钟模式 1，计数器由 ETIFP 信号上的任意有效边沿驱动

0：外部时钟模式 1 禁能

1：外部时钟模式 1 使能

当从模式配置为复位模式，暂停模式和事件模式时，定时器仍然可以工作在外部时钟模式 1。但是 TRGS 必须不能为 3'b111。

如果外部时钟模式 0 和外部时钟模式 1 同时被被配置，外部时钟的输入是 ETIF。

注意：外部时钟模式 0 使能在寄存器的 SMC[2:0]位域。

13:12 ETPSC[1:0]

外部触发预分频

外部触发信号 ETIFP 的频率不能超过 TIMER_CK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETIFP 的频率。

00：预分频禁能

01：2 分频

10：4 分频

11：8 分频

11:8 ETFC[3:0]

外部触发滤波控制

外部触发信号可以通过数字滤波器进行滤波，该位域定义了数字滤波器的滤波能力。数字滤波器的基本原理是：以 f_{SAMP} 频率连续采样外部触发信号，同时记录采样相同电平的次数。当该次数达到配置的滤波能力时，则认为是一个有效的电平信号。

EXTFC[3:0]	次数	f_{SAMP}
4'b0000	Filter disabled.	
4'b0001	2	
4'b0010	4	f_{CK_TIMER}
4'b0011	8	
4'b0100	6	$f_{DTS_CK}/2$
4'b0101	8	
4'b0110	6	$f_{DTS_CK}/4$
4'b0111	8	
4'b1000	6	$f_{DTS_CK}/8$
4'b1001	8	
4'b1010	5	
4'b1011	6	$f_{DTS_CK}/16$
4'b1100	8	
4'b1101	5	
4'b1110	6	$f_{DTS_CK}/32$
4'b1111	8	

7 MSM

主-从模式

该位被用来同步被选择的定时器同时开始计数。通过 TRIGI 和 TRGO，定时器被连接在一起，TRGO 用做启动事件。

0：主从模式禁能
1：主从模式使能

6:4	TRGS[2:0]	触发选择 该位域用来指定选择哪一个信号作为用来同步计数器的触发输入源 000: ITI0 001: ITI1 010: ITI2 011: ITI3 100: CI0F_ED 101: CI0FE0 110: CI1FE1 111: ETIFP 从模式被使能后这些位不能改
3	保留	必须保持复位值
2:0	SMC[2:0]	从模式控制 000：关闭从模式. 如果 CEN=1，则预分频器直接由内部时钟驱动 001：译码器模式 0. 根据 CI1FE1 的电平，计数器在 CI0FE0 的边沿向上/下计数 010：译码器模式 1. 根据 CI0FE0 的电平，计数器在 CI1FE1 的边沿向上/下计数 011：译码器模式 2. 根据另一个信号的输入电平，计数器在 CI0FE0 和 CI1FE1 的边沿向上/ 下计数 100：复位模式. 选中的触发输入的上升沿重新初始化计数器，并且产生更新事件. 101：暂停模式. 当触发输入为高时，计数器的时钟开启。一旦触发输入变为低，则计数器时钟停止 110：事件模式.计数器在触发输入的上升沿启动。 111：外部时钟模式 0. 选中的触发输入的上升沿驱动计数器

DMA 和中断使能寄存器(TIMERx_DMAINTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TRGDEN	保留	CH3DEN	CH2DEN	CH1DEN	CH0DEN	UPDEN	保留	TRGIE	保留	CH3IE	CH2IE	CH1IE	CH0IE	UPIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

位/位域	名称	描述
31:15	保留	必须保持复位值。
14	TRGDEN	触发 DMA 请求使能

		0：禁止触发 DMA 请求。 1：使能触发 DMA 请求。
13	保留	必须保持复位值。
12	CH3DEN	通道 3 比较/捕获 DMA 请求使能 0：禁止通道 3 比较/捕获 DMA 请求。 1：使能通道 3 比较/捕获 DMA 请求。
11	CH2DEN	通道 2 比较/捕获 DMA 请求使能 0：禁止通道 2 比较/捕获 DMA 请求。 1：使能通道 2 比较/捕获 DMA 请求。
10	CH1DEN	通道 1 比较/捕获 DMA 请求使能 0：禁止通道 1 比较/捕获 DMA 请求。 1：使能通道 1 比较/捕获 DMA 请求。
9	CH0DEN	通道 0 比较/捕获 DMA 请求使能 0：禁止通道 0 比较/捕获 DMA 请求。 1：使能通道 0 比较/捕获 DMA 请求。
8	UPDEN	更新 DMA 请求使能 0：禁止更新 DMA 请求。 1：使能更新 DMA 请求。
7	保留	必须保持复位值。
6	TRGIE	触发中断使能 0：禁止触发中断。 1：使能触发中断。
5	保留	必须保持复位值。
4	CH3IE	通道 3 比较/捕获中断使能 0：禁止通道 3 中断。 1：使能通道 3 中断。
3	CH2IE	通道 2 比较/捕获中断使能 0：禁止通道 2 中断。 1：使能通道 2 中断。
2	CH1IE	通道 1 比较/捕获中断使能 0：禁止通道 1 中断。 1：使能通道 1 中断。
1	CH0IE	通道 0 比较/捕获中断使能 0：禁止通道 0 中断。 1：使能通道 0 中断。
0	UPIE	更新中断使能 0：禁止更新中断。

1：使能更新中断。

中断标志寄存器(TIMERx_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CH3OF	CH2OF	CH1OF	CH0OF	保留		TRGIF	保留	CH3IF	CH2IF	CH1IF	CH0IF	UPIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位/位域	名称	描述
31:13	保留	必须保持复位值。
12	CH3OF	通道 3 捕获溢出标志 参见 CH0OF 描述。
11	CH2OF	通道 2 捕获溢出标志 参见 CH0OF 描述。
10	CH1OF	通道 1 捕获溢出标志 参见 CH0OF 描述。
9	CH0OF	通道 1 捕获溢出标志 当通道 0 被配置为输入模式时，在 CH0IF 标志位已经被置 1 后，捕获事件再次发生时，该标志位可以由硬件置 1。该标志位由软件清 0。 0：无捕获溢出中断发生。 1：发生了捕获溢出中断。
8:7	保留	必须保持复位值。
6	TRGIF	触发中断标志 当发生触发事件时，此标志会置 1，此位由软件清 0。当暂停模式使能时，触发输入的任意边沿都可以产生触发事件。否则，其它模式时，仅在触发输入端检测到有效边沿，产生触发事件。 0：无触发事件产生。 1：触发中断产生。
5	保留	必须保持复位值。
4	CH3IF	通道 3 比较/捕获中断标志 参见 CH0IF 描述。
3	CH2IF	通道 2 比较/捕获中断标志

参见 CH0IF 描述。

2 CH1IF 通道 1 比较/捕获中断标志
参见 CH0IF 描述。

1 CH0IF 通道 0 比较/捕获中断标志
此标志由硬件置 1 软件清 0。当通道 0 在输入模式下时，捕获事件发生时此标志位被置 1；当通道 0 在输出模式下时，此标志位在一个比较事件发生时被置 1。
当通道 0 在输入模式下时，读 TIMERx_CH0CV 会将此标志清 0。
0：无通道 0 中断发生。
1：通道 0 中断发生。

0 UPIF 更新中断标志
此位在任何更新事件发生时由硬件置 1，软件清 0。
0：无更新中断发生。
1：发生更新中断。

软件事件产生寄存器(TIMERx_SWEVG)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TRGG	保留	CH3G	CH2G	CH1G	CH0G	UPG
									w		w	w	w	w	w

位/位域	名称	描述
31:7	保留	必须保持复位值。
6	TRGG	触发事件产生 此位由软件置 1，由硬件自动清 0. 当此位被置 1，TIMERx_INTF 寄存器的 TRGIF 标志位被置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA 传输。 0：无触发事件产生。 1：产生触发事件。
5	保留	必须保持复位值。
4	CH3G	通道 3 捕获或比较事件发生 参见 CH0G 描述。
3	CH2G	通道 2 捕获或比较事件发生 参见 CH0G 描述。
2	CH1G	通道 1 捕获或比较事件发生

参见 CH0G 描述。

1	CH0G	通道 0 捕获或比较事件发生 该位由软件置 1，用于在通道 0 产生一个捕获/比较事件，由硬件自动清 0。当此位被置 1，CH0IF 标志位被置 1，若开启对应的中断和 DMA，则发出相应的中断和 DMA 请求。此外，如果通道 0 配置为输入模式，计数器的当前值被 TIMERx_CH0CV 寄存器捕获，如果 CH0IF 标志位已经为 1，则 CH0OF 标志位被置 1。 0：不产生通道 0 捕获或比较事件。 1：发生通道 0 捕获或比较事件。
0	UPG	更新事件产生 此位由软件置 1，被硬件自动清 0。当此位被置 1，如果选择了中央对齐或向上计数模式，计数器被清 0。否则(向下计数模式)计数器将载入自动重载值，预分频计数器将同时被清除。 0：无更新事件产生。 1：产生更新事件。

通道控制寄存器 0(TIMERx_CHCTL0)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1COMCEN	CH1COMCTL[2:0]			CH1COMSEN	CH1COMFEN	CH1MS[1:0]		CH0COMCEN	CH0COMCTL[2:0]			CH0COMSEN	CH0COMFEN	CH0MS[1:0]	
CH1CAPFLT[3:0]				CH1CAPPSC[1:0]				CH0CAPFLT[3:0]				CH0CAPPSC[1:0]			
rw				rw		rw		rw				rw		rw	

输出比较模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	CH1COMCEN	通道 1 输出比较清 0 使能 参见 CH0COMCEN 描述。
14:12	CH1COMCTL[2:0]	通道 1 输出比较模式 参见 CH0COMCTL 描述。
11	CH1COMSEN	通道 1 输出比较影子寄存器使能 参见 CH0COMSEN 描述。
10	CH1COMFEN	通道 1 输出比较快速使能 参见 CH0COMFEN 描述。

9:8	CH1MS[1:0]	通道 1 模式选择 这些位定义了通道的方向和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH1EN 位被清 0)时这些位才可以写。 00：通道 1 配置为输出 01：通道 1 配置为输入，IS1 映射在 CI1FE1 上 10：通道 1 配置为输入，IS1 映射在 CI0FE1 上 11：通道 1 配置为输入，IS1 映射在 ITS 上 注意：当 CH1MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入。
7	CH0COMCEN	通道 0 输出比较清 0 使能 当此位被置 1，当检测到 ETIFP 信号输入高电平时，O0CPRE 参考信号被清 0 0：禁止通道 0 输出比较清零 1：使能通道 0 输出比较清零
6:4	CH0COMCTL[2:0]	通道 0 输出比较模式 此位定义了输出准备信号 O0CPRE 的输出比较模式，而 O0CPRE 决定了 CH0_O、CH0_ON 的值。另外，O0CPRE 高电平有效，而 CH0_O、CH0_ON 通道的极性取决于 CH0P、CH0NP 位。 000：时基。输出比较寄存器 TIMERx_CH0CV 与计数器 TIMERx_CNT 间的比较对 O0CPRE 不起作用 001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为高。 010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为低。 011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 翻转。 100：强制为低。强制 O0CPRE 为低电平 101：强制为高。强制 O0CPRE 为高电平 110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。 111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。 如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O0CPRE 电平才改变。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00(比较模式)时此位不能被改变。
3	CH0COMSEN	通道 0 输出比较影子寄存器使能 当此位被置 1，TIMERx_CH0CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 0 输出/比较影子寄存器 1：使能通道 0 输出/比较影子寄存器 仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器的情况下使用 PWM 模式

当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00 时此位不能被改变。

2	CH0COMFEN	通道 0 输出比较快速使能 0：通道 0 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH0_O 设置为比较电平，激活 CH0_O 输出的最小延时为 5 个时钟周期。 1：通道 0 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH0_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH0_O 输出的最小延时为 3 个时钟周期。
1:0	CH0MS[1:0]	通道 0 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH0EN 位被清 0)时这些位才可写。 00：通道 0 配置为输出 01：通道 0 配置为输入，IS0 映射在 CI0FE0 上 10：通道 0 配置为输入，IS0 映射在 CI1FE0 上 11：通道 0 配置为输入，IS0 映射在 ITS 上 注意：当 CH0MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入

输入捕获模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	CH1CAPFLT[3:0]	通道 1 输入捕获滤波控制 参见 CH0CAPFLT 描述。
11:10	CH1CAPPSC[1:0]	通道 1 输入捕获预分频器 参见 CH0CAPPSC 描述。
9:8	CH1MS[1:0]	通道 1 模式选择 与输出模式相同。
7:4	CH0CAPFLT[3:0]	通道 0 输入捕获滤波控制 CI0 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。 数字滤波器的基本原理：根据 f_{SAMP} 对 CI0 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。 滤波器参数配置如下：

CH0CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000	无滤波器	
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$
4'b0111	8	
4'b1000	6	$f_{DTS}/8$

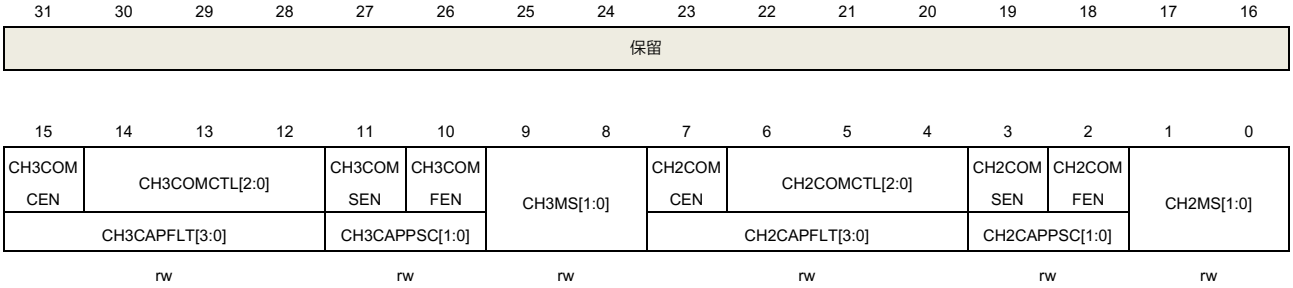
		4'b1001	8	
		4'b1010	5	
		4'b1011	6	$f_{DTS}/16$
		4'b1100	8	
		4'b1101	5	
		4'b1110	6	$f_{DTS}/32$
		4'b1111	8	

3:2	CH0CAPPSC[1:0]	通道 0 输入捕获预分频器 这 2 位定义了通道 0 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH0EN =0 时，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。 01：每 2 个事件触发一次捕获。 10：每 4 个事件触发一次捕获。 11：每 8 个事件触发一次捕获。
1:0	CH0MS[1:0]	通道 0 模式选择 与输出比较模式相同。

通道控制寄存器 1(TIMERx_CHCTL1)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



输出比较模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	CH3COMCEN	通道 3 输出比较清 0 使能 参见 CH0COMCEN 描述。
14:12	CH3COMCTL[2:0]	通道 3 输出比较模式 参见 CH0COMCTL 描述
11	CH3COMSEN	通道 3 输出比较影子寄存器使能 参见 CH0COMSEN 描述。
10	CH3COMFEN	通道 3 输出比较快速使能

参见 CH0COMFEN 描述。

9:8	CH3MS[1:0]	通道 3 模式选择 这些位定义了通道的方向和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH3EN 位被清 0)时这些位才可以写。 00：通道 3 配置为输出 01：通道 3 配置为输入，IS3 映射在 CI3FE3 上 10：通道 3 配置为输入，IS3 映射在 CI2FE3 上 11：通道 3 配置为输入，IS3 映射在 ITS 上 注意：当 CH3MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入
7	CH2COMCEN	通道 2 输出比较清 0 使能 当此位被置 1，当检测到 ETIFP 输入高电平时，O2CPRE 参考信号被清 0 0：使能通道 2 输出比较清零 1：禁止通道 2 输出比较清零
6:4	CH2COMCTL[2:0]	通道 2 输出比较模式 此位定义了输出准备信号 O2CPRE 的输出比较模式，而 O2CPRE 决定了 CH2_O、CH2_ON 的值。另外，O2CPRE 高电平有效，而 CH2_O、CH2_ON 通道的极性取决于 CH2P、CH2NP 位。 000：时基。输出比较寄存器 TIMERx_CH2CV 与计数器 TIMERx_CNT 间的比较对 O2CPRE 不起作用 001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 为高。 010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 为低。 011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH2CV 相同时，强制 O2CPRE 翻转。 100：强制为低。强制 O2CPRE 为低电平 101：强制为高。强制 O2CPRE 为高电平 110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH2CV 时，O2CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH2CV 时，O2CPRE 为低电平，否则为高电平。 111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH2CV 时，O2CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH2CV 时，O2CPRE 为高电平，否则为低电平。 如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O2CPRE 电平才改变。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH2MS =00(比较模式)时此位不能被改变。
3	CH2COMSEN	通道 0 输出比较影子寄存器使能 当此位被置 1，TIMERx_CH2CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 2 输出/比较影子寄存器

1：使能通道 2 输出/比较影子寄存器
仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器情况下使用 PWM 模式
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH2MS =00 时此位不能被改变。

2	CH2COMFEN	通道 2 输出比较快速使能 0：通道 2 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH2_O 设置为比较电平，激活 CH2_O 输出的最小延时为 5 个时钟周期。 1：通道 2 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH2_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH2_O 输出的最小延时为 3 个时钟周期。
1:0	CH2MS[1:0]	通道 2 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH2EN 位被清 0)时这些位才可写。 00：通道 2 配置为输出 01：通道 2 配置为输入，IS2 映射在 CI2FE2 上 10：通道 2 配置为输入，IS2 映射在 CI3FE2 上 11：通道 2 配置为输入，IS2 映射在 ITS 上. 注意：当 CH2MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入

输入捕获模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	CH3CAPFLT[3:0]	通道 3 输入捕获滤波控制 参见 CH0CAPFLT 描述。
11:10	CH3CAPPSC[1:0]	通道 3 输入捕获预分频器 参见 CH0CAPPSC 描述。
9:8	CH3MS[1:0]	通道 3 模式选择 与输出模式相同。
7:4	CH2CAPFLT[3:0]	通道 2 输入捕获滤波控制 CI2 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。 数字滤波器的基本原理：根据 f_{SAMP} 对 CI2 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。 滤波器参数配置如下：

CH2CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000	无滤波器	
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$

4'b0111	8	
4'b1000	6	$f_{DTS}/8$
4'b1001	8	
4'b1010	5	
4'b1011	6	$f_{DTS}/16$
4'b1100	8	
4'b1101	5	
4'b1110	6	$f_{DTS}/32$
4'b1111	8	

3:2 CH2CAPPSC[1:0] 通道 2 输入捕获预分频器

这 2 位定义了通道 2 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH2EN =0 时，则预分频器复位。

00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。

01：每 2 个事件触发一次捕获。

10：每 4 个事件触发一次捕获。

11：每 8 个事件触发一次捕获。

1:0 CH2MS[1:0] 通道 2 模式选择

与输出比较模式相同。

通道控制寄存器 2(TIMERx_CHCTL2)

地址偏移：0x20

复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		C4P	CH3EN	CH2NP	保留	CH2P	CH2EN	CH1NP	保留	CH1P	CH1EN	CH0NP	保留	CH0P	CH0EN
		rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw

位/位域	名称	描述
31:14	保留	必须保持复位值。
13	CH3P	通道 3 极性 参考 CH0P 描述。
12	CH3EN	通道 3 使能 参考 CH0EN 描述。
11	CH2NP	通道 2 互补输出极性 参考 CH0NP 描述。
10	保留	必须保持复位值。

9	CH2P	通道 2 极性 参考 CH0P 描述。
8	CH2EN	通道 2 使能 参考 CH0EN 描述。
7	CH1NP	通道 1 互补输出极性 参考 CH0NP 描述。
6	保留	必须保持复位值。
5	CH1P	通道 1 极性 参考 CH0P 描述。
4	CH1EN	通道 1 使能 参考 CH0EN 描述。
3	CH0NP	通道 0 互补输出极性 当通道 0 配置为输出模式，该位保持 0。 当通道 0 配置为输入模式时，此位和 CH0P 联合使用，作为输入信号 CI0 的极性选择控制信号。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
2	保留	必须保持复位值。
1	CH0P	通道 0 极性 当通道 0 配置为输出模式时，此位定义了输出信号极性。 0：通道0高电平为有效电平 1：通道0低电平为有效电平 当通道 0 配置为输入模式时，此位定义了 CI0 信号极性。 [CH0NP, CH0P] 将选择 CI0FE0 或者 CI1FE0 的有效边沿或者捕获极性。 [CH0NP==0, CH0P==0]：把 CIxFE0 的上升沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。 [CH0NP==0, CH0P==1]：把 CIxFE0 的下降沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 会被翻转。 [CH0NP==1, CH0P==0]：保留。 [CH0NP==1, CH0P==1]：把 CIxFE0 的上升沿和下降沿都作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
0	CH0EN	通道 0 捕获/比较使能 当通道 0 配置为输出模式时，将此位置 1 使能 CH0_O 信号有效。当通道 0 配置为输入模式时，将此位置 1 使能通道 0 上的捕获事件。 0：禁止通道 0。 1：使能通道 0。

计数器寄存器(TIMERx_CNT)(x=1,4)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:0	CNT[31:0]	这些位是当前的计数值。写操作能改变计数器值。

计数器寄存器(TIMERx_CNT)(x=2,3)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	这些位是当前的计数值。写操作能改变计数器值。

预分频寄存器(TIMERx_PSC)

地址偏移： 0x28
复位值： 0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PSC[15:0]	计数器时钟预分频值 计数器时钟等于 TIMER_CK 时钟除以(PSC+1)，每次当更新事件产生时，PSC 的值被装入到对应的影子寄存器。

计数器自动重载寄存器(TIMERx_CAR)(x=1,4)

地址偏移：0x2C
复位值：0xFFFF FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CARL[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															
rw															

位/位域	名称	描述
31:0	CARL[31:0]	计数器自动重载值 这些位定义了计数器的自动重载值。

计数器自动重载寄存器(TIMERx_CAR)(x=2,3)

地址偏移：0x2C
复位值：0x0000 FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CARL[15:0]	计数器自动重载值 这些位定义了计数器的自动重载值。

通道 0 捕获/比较值寄存器(TIMERx_CH0CV)(x=1,4)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH0VAL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH0VAL[15:0]															
rw															

位/位域	名称	描述
31:0	CH0VAL[31:0]	通道 0 的捕获或比较值 当通道 0 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 0 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 0 捕获/比较值寄存器(TIMERx_CH0CV)(x=2,3)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH0VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH0VAL[15:0]	通道 0 的捕获或比较值 当通道 0 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 0 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 1 捕获/比较值寄存器(TIMERx_CH1CV)(x=1,4)

地址偏移：0x38
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH1VAL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1VAL[15:0]															
rw															

位/位域	名称	描述
31:0	CH1VAL[31:0]	通道 1 的捕获或比较值 当通道 1 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 1 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 1 捕获/比较值寄存器(TIMERx_CH1CV)(x=2,3)

地址偏移：0x38
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH1VAL[15:0]	通道 1 的捕获或比较值 当通道 1 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 1 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 2 捕获/比较值寄存器(TIMERx_CH2CV)(x=1,4)

地址偏移：0x3C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH2VAL[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2VAL[15:0]															
rw															

位/位域	名称	描述
31:0	CH2VAL[31:0]	通道 2 的捕获或比较值 当通道 2 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 2 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 2 捕获/比较值寄存器(TIMERx_CH2CV)(x=2,3)

地址偏移：0x3C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH2VAL[15:0]	通道 2 的捕获或比较值 当通道 2 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 2 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 3 捕获/比较值寄存器(TIMERx_CH3CV)(x=1,4)

地址偏移：0x40
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3VAL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3VAL[15:0]															
rw															

位/位域	名称	描述
31:0	CH3VAL[31:0]	通道 3 的捕获或比较值 当通道 3 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 3 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 3 捕获/比较值寄存器(TIMERx_CH3CV)(x=2,3)

地址偏移：0x40
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

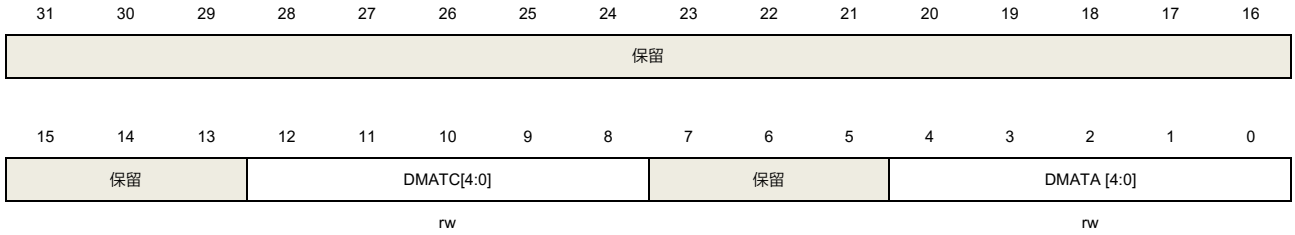
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH3VAL[15:0]	通道 3 的捕获或比较值 当通道 3 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 3 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

DMA 配置寄存器(TIMERx_DMACFG)

地址偏移：0x48
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

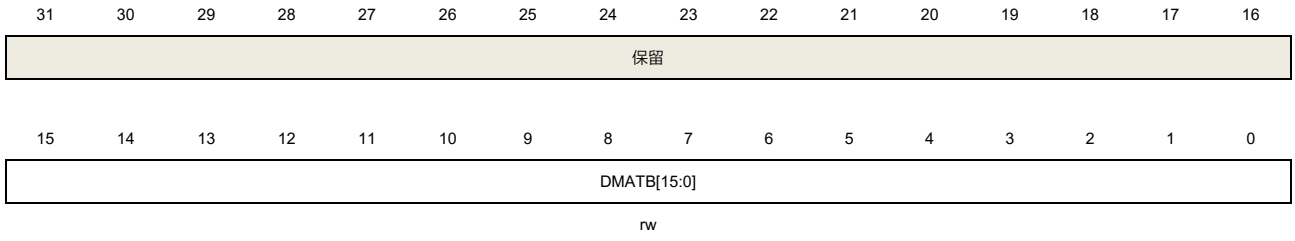


位/位域	名称	描述
31:13	保留	必须保持复位值。
12:8	DMATC [4:0]	DMA 传输计数 该位域定义了 DMA 访问(读写)TIMERx_DMATB 寄存器的数量 n，n = (DMATC [4:0] +1). DMATC [4:0] 从 5'b0_0000 到 5'b1_0001.
7:5	保留	必须保持复位值。
4:0	DMATA [4:0]	DMA 传输起始地址 该位域定义了 DMA 访问 TIMERx_DMATB 寄存器的第一个地址。当通过 TIMERx_DMA 第一次访问时，访问的就是该位域指定的地址。第二次访问 TIMERx_DMATB 时，将访问起始地址+0x4。

DMA 发送缓冲区寄存器(TIMERx_DMATB)

地址偏移：0x4C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

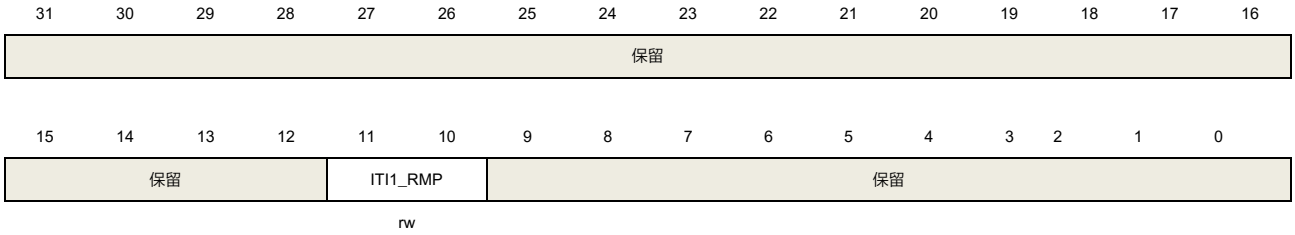


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	DMATB [15:0]	DMA 发送缓冲 对这个寄存器的读或写，(起始地址+传输次数*4)地址范围内的寄存器会被访问 传输次数由硬件计算，范围为 0 到 DMATC。

输入重映射寄存器(TIMERx_IRMP)(x=1)

地址偏移：0x50
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

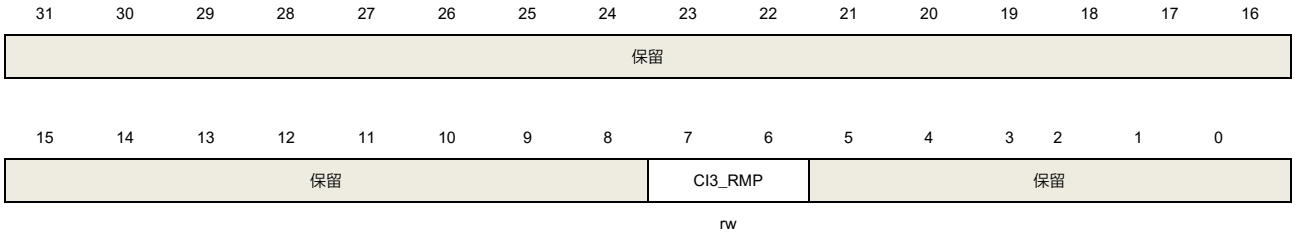


位/位域	名称	描述
31:12	保留	必须保持复位值。
11:10	ITI1_RMP	内部触发输入 1 重映射 00:TIMER7_TRGO 01:Ethernet PTP 10:USB FS SOF 11:USB HS SOF
9:0	保留	必须保持复位值。

输入重映射寄存器(TIMERx_IRMP)(x=4)

地址偏移：0x50
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



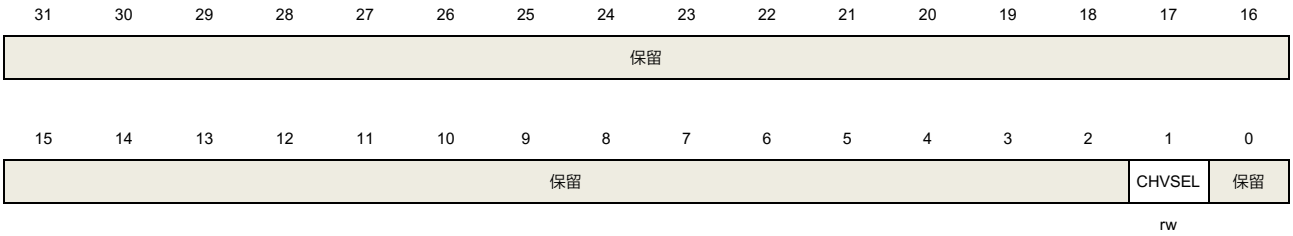
位/位域	名称	描述
31:8	保留	必须保持复位值。
7:6	CI3_RMP	通道 3 输入重映射 00：连接到 GPIO 引脚. 参考 GPIO 重映射表 01：IRC32K 10：LXTAL 11:RTC wakeup interrupt

5:0	保留	必须保持复位值。

配置寄存器(TIMERx_CFG)

地址偏移：0xFC
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CHVSEL	写捕获比较寄存器选择位 此位由软件写 1 或清 0。 1：当写入捕获比较寄存器的值与寄存器当前值相等时，写入操作无效 0：无影响
0	保留	必须保持复位值。

22.3. 通用定时器 L1(TIMERx, x=8,11)

22.3.1. 简介

通用定时器 L1(Timer8，11)是两通道定时器，支持输入捕获和输出比较，可以产生 PEM 信号控制电机和电源管理。通用定时器 L1 含有一个 16 位无符号计数器。

高级定时器是可编程的，可以被用来计数，其外部事件可以驱动其他定时器

定时器和定时器之间是相互独立，但是他们可以被同步在一起形成一个更大的定时器，这些定时器的计数器一致地增加。

22.3.2. 主要特性

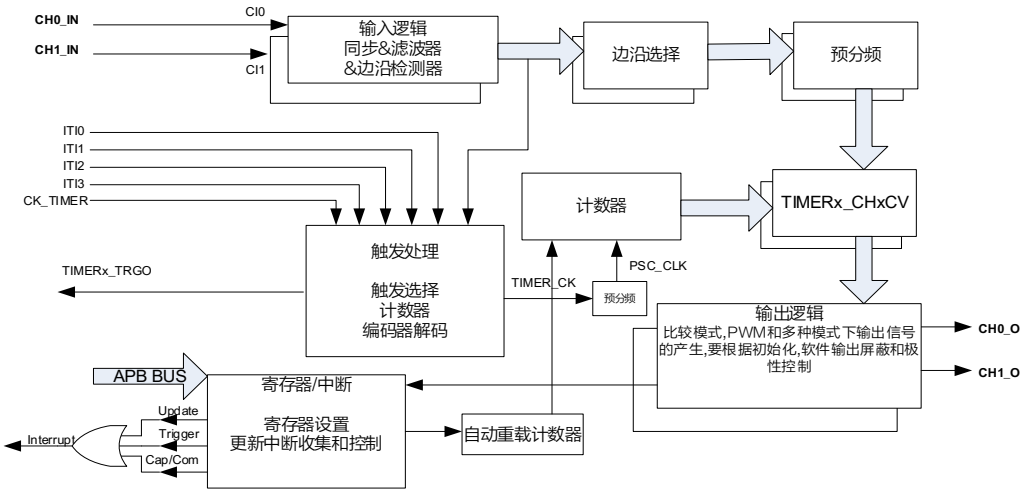
- 总通道数：2；
- 计数器宽度：16位；
- 时钟源可选：内部时钟，内部触发，外部输入，外部触发；
- 计数模式：向上计数；
- 可编程的预分频器：16位，运行时可以被改变；
- 每个通道可配置：输入捕获模式，输出比较模式，可编程的PWM模式，单脉冲模式；
- 自动重装载功能；
- 中断输出：更新事件，触发事件，比较/捕获事件和中止事件；
- 多个定时器的菊链使得一个定时器可以同时启动多个定时器；
- 定时器的同步允许被选择的定时器在同一个时钟周期开始计数；
- 定时器主-从管理。

22.3.3. 功能描述

结构框图

*图 22-49. 通用定时器 L1 结构框图*提供了通用定时器 L1 的内部配置细节。

图 22-49. 通用定时器 L1 结构框图



时钟源配置

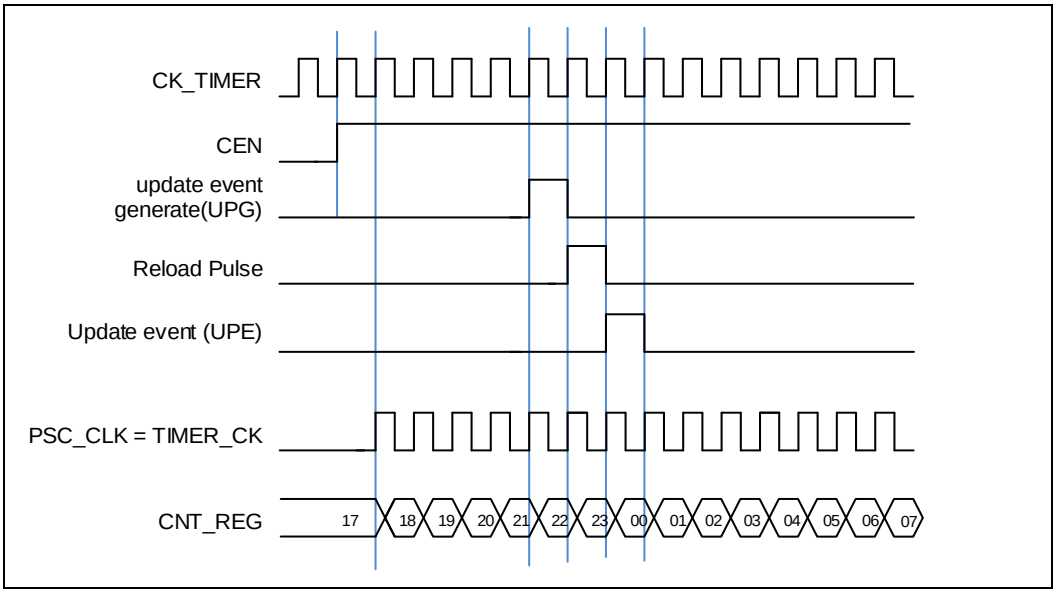
通用定时器 L1 可以由内部时钟源 CK_TIMER 或者由 SMC(TIMERx_SMCFG 寄存器位[2:0])控制的复用时钟源驱动。

- SMC[2:0]==3'b000，定时器选择内部时钟源(连接到RCU模块的CK_TIMER)

如果 SMC[2:0]==3'b000，默认用来驱动计数器预分频器的是内部时钟源 CK_TIMER。当 CEN 置位，CK_TIMER 经过预分频器(预分频值由 TIMERx_PSC 寄存器确定)产生 PSC_CLK。

如果将 TIMERx_SMCFG 寄存器的 SMC[2:0]设置为 0x1、0x2、0x3 和 0x7，预分频器被其他时钟源(由 TIMERx_SMCFG 寄存器的 TRGS [2:0]区域选择)驱动，在下文说明。当 SMC 位被设置为 0x4、0x5 和 0x6，计数器预分频器时钟源由内部时钟 CK_TIMER 驱动。

图 22-50. 内部时钟分频为 1 时，计数器的时序图



- SMC[2:0]==3'b111(外部时钟模式0)，定时器选择外部输入引脚作为时钟源

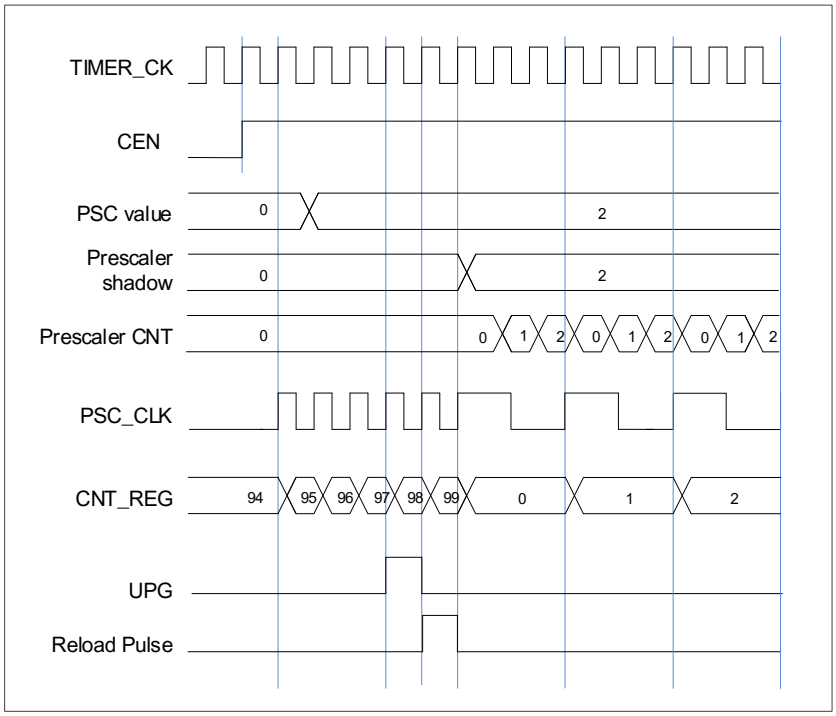
计数器预分频器可以在 TIMERx_CI0/ TIMERx_CI1 引脚的每个上升沿或下降沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x4，0x5 或 0x6 来选择。CIx 是 TIMERx_CIx 通过数字滤波器采样后的信号。

计数器预分频器也可以在内部触发信号 ITI0/1/2/3 的上升沿计数。这种模式可以通过设置 SMC [2:0]为 0x7 同时设置 TRGS [2:0]为 0x0, 0x1, 0x2 或者 0x3。

时钟预分频器

预分频器可以将定时器的时钟(TIMER_CK)频率按 1 到 65536 之间的任意值分频，分频后的时钟 PSC_CLK 驱动计数器计数。分频系数受预分频寄存器 TIMERx_PSC 控制，这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

图 22-51. 当 PSC 数值从 0 变到 2 时，计数器的时序图



计数器向上计数模式

在这种模式，计数器的计数方向是向上计数。计数器从 0 开始向上连续计数到自动加载值(定义在 TIMERx_CAR 寄存器中)，一旦计数器计数到自动加载值，会重新从 0 开始向上计数并产生上溢事件。在向上计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 0。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被清 0，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(计数器自动重载寄存器，预分频寄存器)都将被更新。

下面一些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同预分频因子下的行为。

图 22-52. 向上计数时序图，PSC=0/2

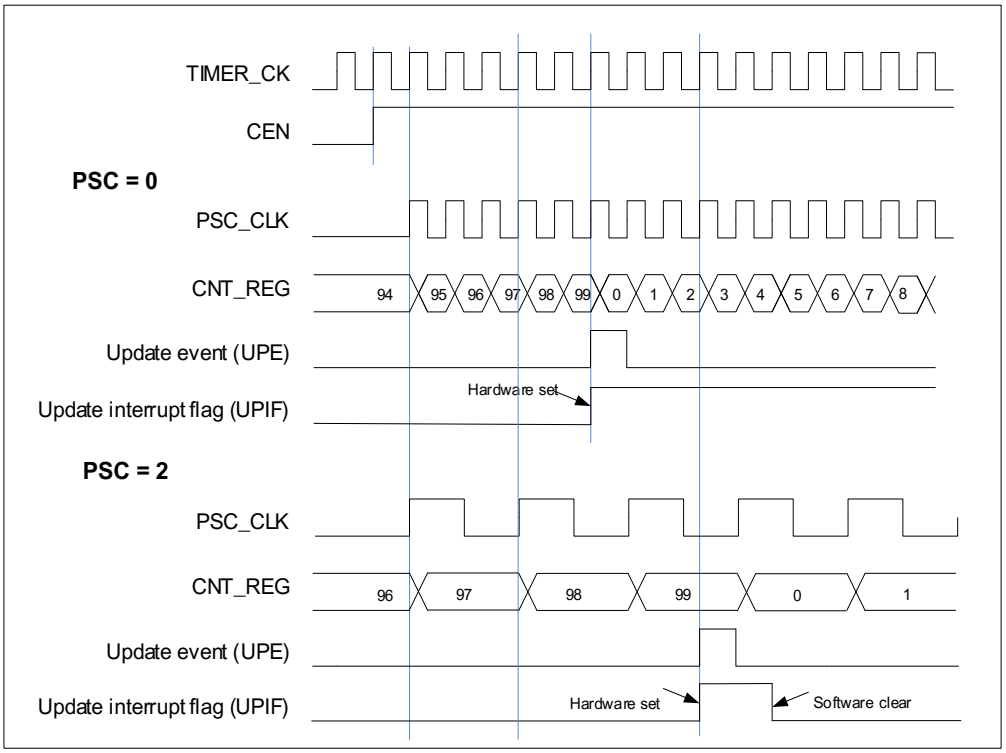
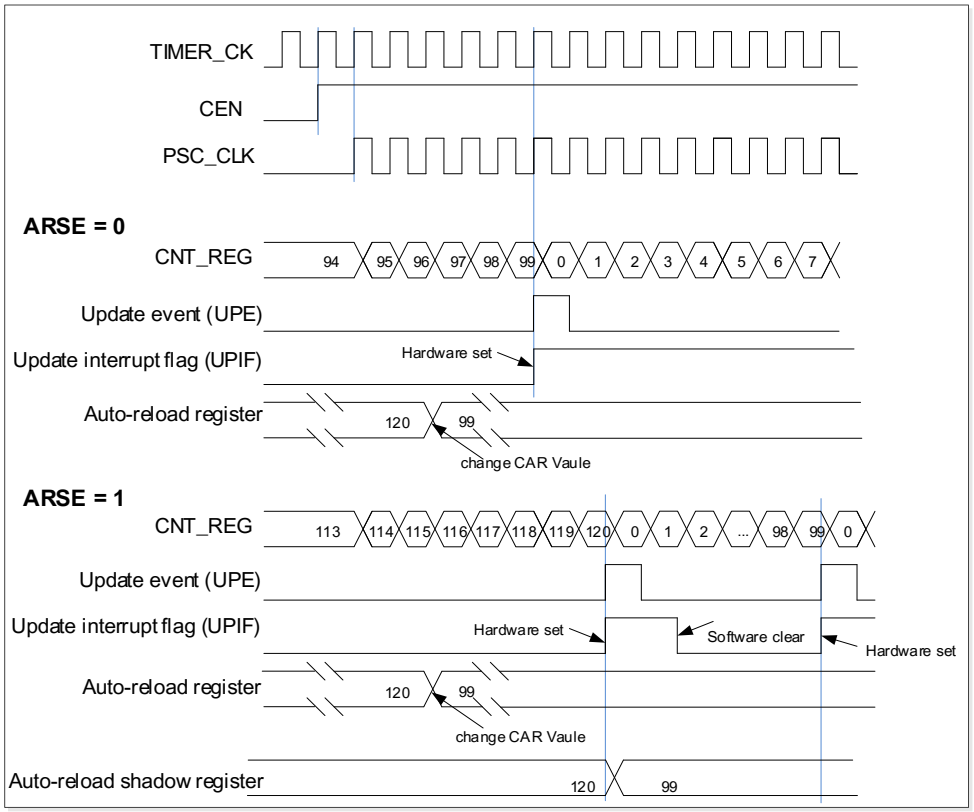


图 22-53. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值



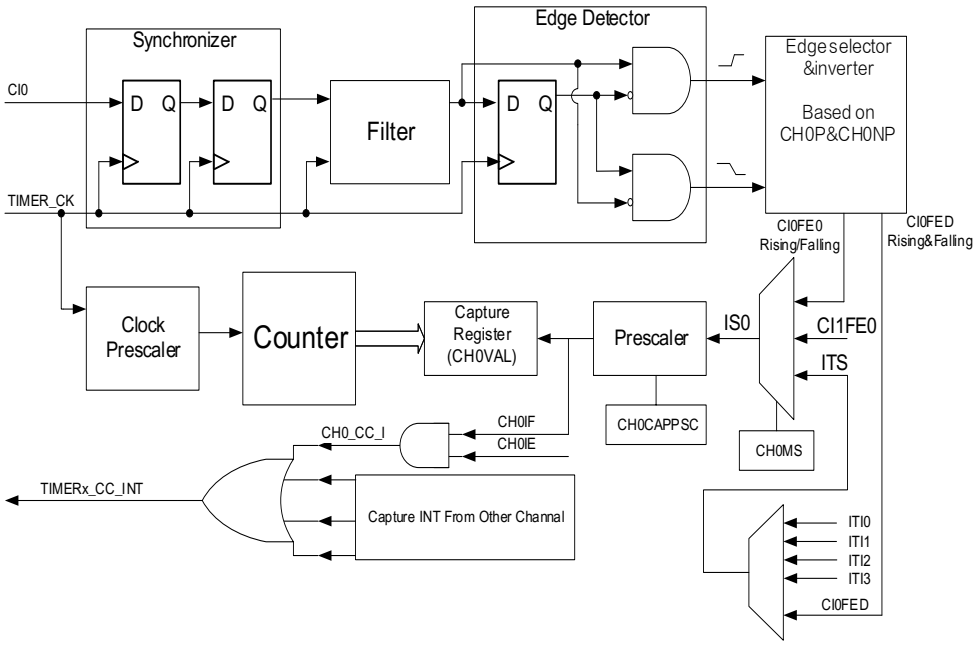
输入捕获和输出比较通道

通用定时器 L1 拥有两个个独立的通道用于捕获输入或比较输出是否匹配。每个通道都围绕一个通道捕获比较寄存器建立，包括一个输入级，通道控制器和输出级。

- 通道输入捕获功能

捕获模式允许通道测量一个波形时序，频率，周期，占空比等。输入级包括一个数字滤波器，一个通道极性选择，边沿检测和一个通道预分频器。如果在输入引脚上出现被选择的边沿，TIMERx_CHxCV 寄存器会捕获计数器当前的值，同时 CHxIF 位被置 1，如果 CHxIE = 1 则产生通道中断。

图 22-54. 通道输入捕获原理



通道输入信号 CIx 先被 TIMER_CK 信号同步，然后经过数字滤波器采样，产生一个被滤波后的信号。通过边沿检测器，可以选择检测上升沿或者下降沿。通过配置 CHxP 选择使用上升沿或者下降沿。配置 CHxMS.，可以选择其他通道的输入信号，内部触发信号。配置 IC 预分频器，使得若干个输入事件后才产生一个有效的捕获事件。捕获事件发生，CxCV 存储计数器的值。

第一步： 滤波器配置(TIMERx_CHCTL0寄存器中CHxCAPFLT)：
根据输入信号和请求信号的质量，配置相应的CHxCAPFLT。

第二步： 边沿选择(TIMERx_CHCTL2寄存器中CHxP/CHxNP)：
配置CHxP/CHxNP选择上升沿或者下降沿。

第三步： 捕获源选择(TIMERx_CHCTL0寄存器中CHxMS)：
一旦通过配置CHxMS选择输入捕获源，必须确保通道配置在输入模式(CHxMS!=0x0)，而且TIMERx_CxCV寄存器不能再被写。

第四步： 中断使能(TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN)：
使能相应中断，可以获得中断和DMA请求。

第五步： 捕获使能(TIMERx_CHCTL2寄存器中CHxEN)。

结果：当期望的输入信号发生时，TIMERx_CHxCV被设置成当前计数器的值，CHxIF为置1。如果CHxIF位已经为1，则CHxOF位置1。根据TIMERx_DMAINTEN寄存器中CHxIE和CHxDEN的配置，相应的中断和DMA请求会被提出。

直接产生：软件设置CHxG位，会直接产生中断和DMA请求。

通道输入捕获功能也可用来测量 TIMERx_CHx 引脚上信号的脉冲波宽度。例如，一个 PWM 波连接到 CI0。配置 TIMERx_CHCTL0 寄存器中 CH0MS 为 2'b01，选择通道 0 的捕获信号为 CI0 并设置上升沿捕获。配置 TIMERx_CHCTL0 寄存器中 CH1MS 为 2'b10，选择通道 1 捕获信号为 CI0 并设置下降沿捕获。计数器配置为复位模式，在通道 0 的上升沿复位。TIMERX_CH0CV 寄存器测量 PWM 的周期值，TIMERx_CH1CV 寄存器测量 PWM 占空比值。

- 通道输出比较功能

在输出比较模式，TIMERx 可以产生时控脉冲，其位置，极性，持续时间和频率都是可编程的。当一个输出通道的 CxCV 寄存器与计数器的值匹配时，根据 CHxCOMCTL 的配置，这个通道的输出可以被置高电平，被置低电平或者反转。当计数器的值与 CxCV 寄存器的值匹配时，CHxIF 位被置 1，如果 CHxIE = 1 则会产生中断，如果 CxCDE=1 则会产生 DMA 请求。

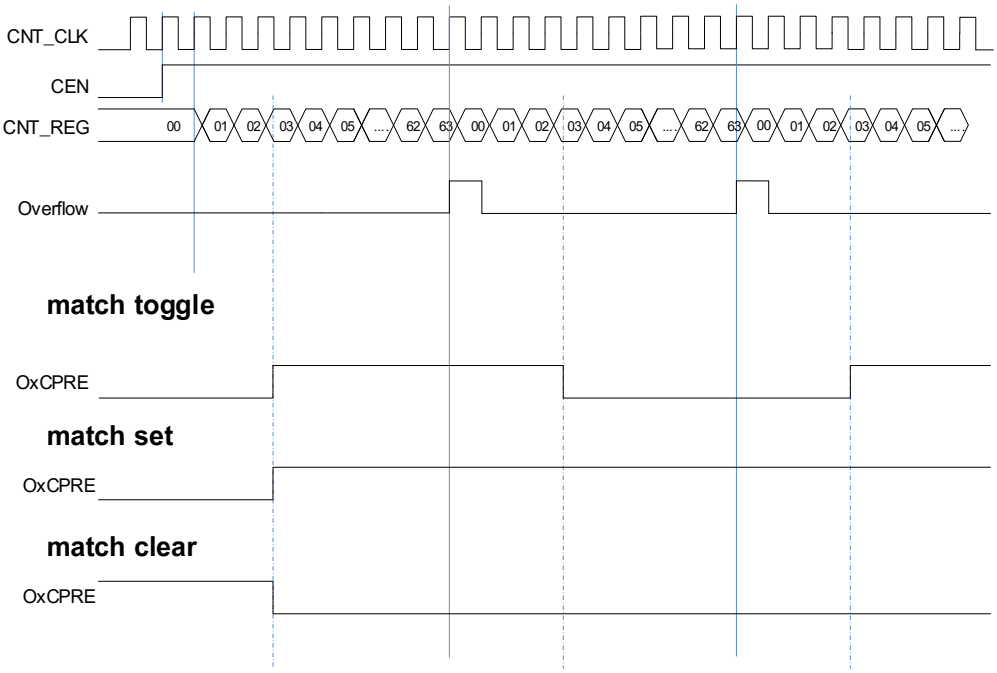
配置步骤如下：

第一步：时钟配置：
配置定时器时钟源，预分频器等。
第二步：比较模式配置：
设置CHxCOMSEN位来配置输出比较影子寄存器；
设置CHxCOMCTL位来配置输出模式(置高电平/置低电平/反转)；
设置CHxP/CHxNP位来选择有效电平的极性；
设置CHxEN使能输出。
第三步：通过CHxIE/CxCDE位配置中断/DMA请求使能。
第四步：通过TIMERx_CAR寄存器和TIMERx_CHxCV寄存器配置输出比较时基：
CxCV可以在运行时根据你所期望的波形而改变。
第五步：设置CEN位使能定时器。

*图 22-55. 三种输出比较模式*显示了三种比较输出模式：反转/置高电平/置低电平，CAR=0x63,

CxCV=0x3。

图 22-55. 三种输出比较模式



输出 PWM 功能

在 PWM 输出模式下(PWM 模式 0 是配置 CHxCOMCTL 为 3'b110，PWM 模式 1 是配置 CHxCOMCTL 为 3'b111)，通道根据 TIMERx_CAR 寄存器和 TIMERx_CHxCV 寄存器的值，输出 PWM 波形。

根据计数模式，我们可以分为两种 PWM 波：EAPWM(边沿对齐 PWM)和 CAPWM(中央对齐 PWM)。

EAPWM 的周期由 TIMERx_CAR 寄存器值决定，占空比由 TIMERx_CHxCV 寄存器值决定。

*图 22-56. EAPWM 时序图*显示了 EAPWM 的输出波形和中断。

CAPWM 的周期由(2*TIMERx_CAR 寄存器值)决定，占空比由(2*TIMERx_CHxCV 寄存器值)决定。*图 22-57. CAPWM 时序图*显示了 CAPWM 的输出波形和中断。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值大于 TIMERx_CAR 寄存器的值，通道输出一直为有效电平。

在 PWM0 模式下(CHxCOMCTL==3'b110)，如果 TIMERx_CHxCV 寄存器的值等于 0，通道输出一直为无效电平。

图 22-56. EAPWM 时序图

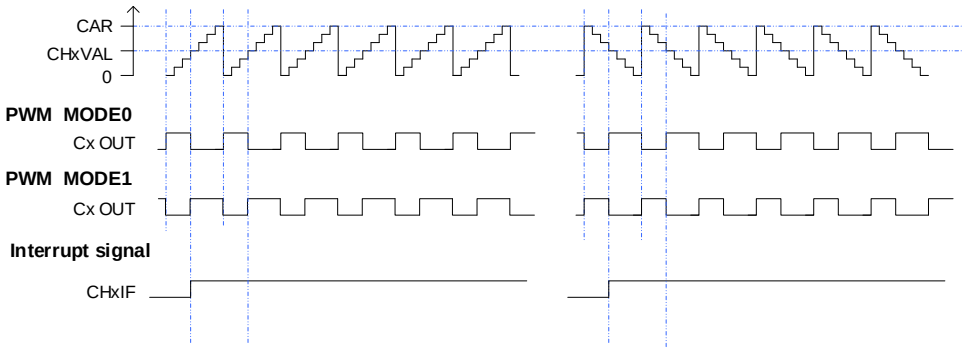
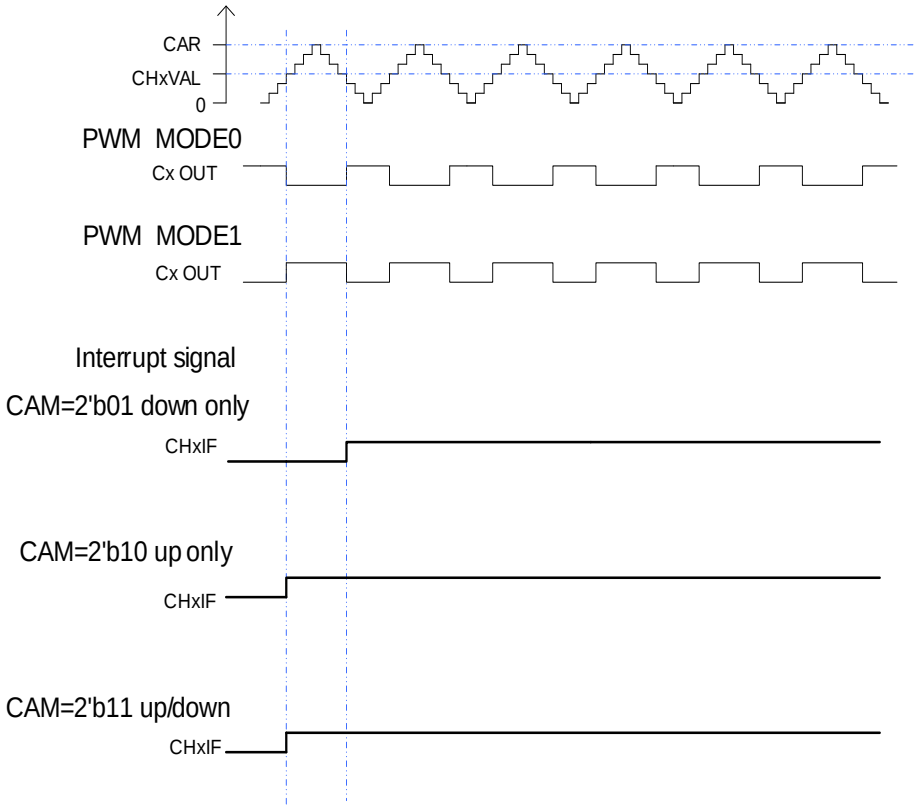


图 22-57. CAPWM 时序图



通道输出准备信号

当 TIMERx 用于输出匹配比较模式下，设置 CHxCOMCTL 位可以定义 OxCPRE 信号(通道 x 准备信号)类型。OxCPRE 信号有若干类型的输出功能，包括，设置 CHxCOMCTL=0x00 可以保持原始电平；设置 CHxCOMCTL=0x01 可以将 OxCPRE 信号设置为高电平；设置 CHxCOMCTL=0x02 可以将 OxCPRE 信号设置为低电平；设置 CHxCOMCTL=0x03，在计数器值和 TIMERx_CHxCV 寄存器的值匹配时，可以翻转输出信号。

PWM 模式 0 和 PWM 模式 1 是 OxCPRE 的另一种输出类型，设置 CHxCOMCTL 位域位 0x06 或 0x07 可以配置 PWM 模式 0/PWM 模式 1。在这些模式中，根据计数器值和 TIMERx_CHxCV 寄存器值的关系以及计数方向，OxCPRE 信号改变其电平。具体细节描述，请参考相应的位。

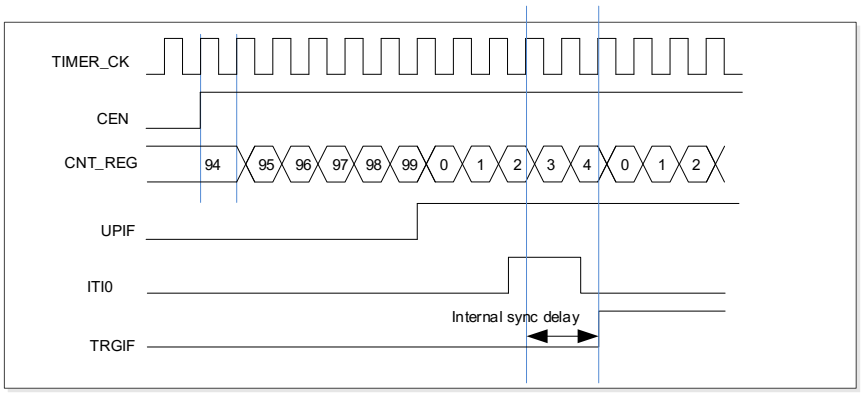
设置 CHxCOMCTL =0x04 或 0x05 可以实现 OxCPRE 信号的强制输出功能。输出比较信号能够直接由软件强置为有效或无效状态，而不依赖于 TIMERx_CHxCV 的值和计数器值之间间的比较结果。

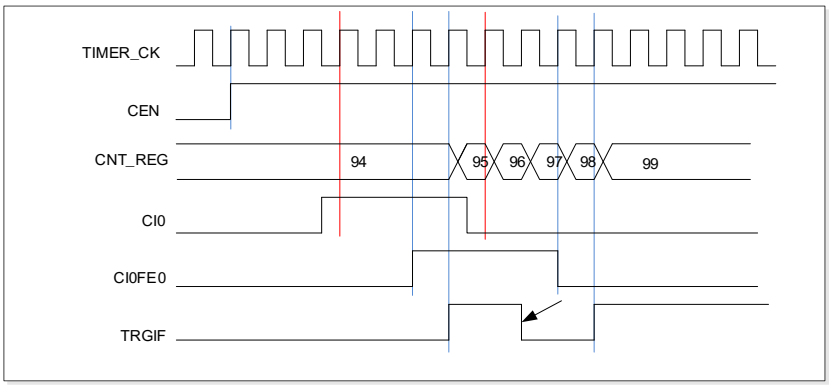
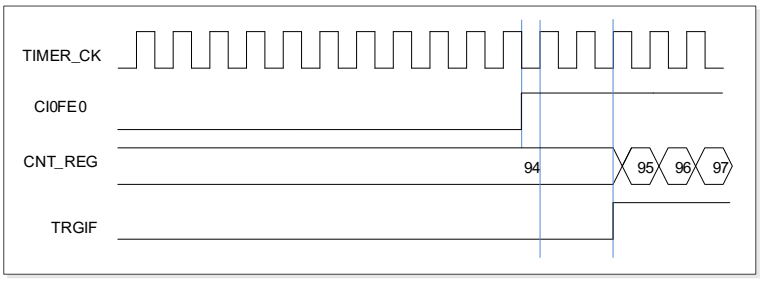
设置 CHxCOMCEN=1，当由外部 ETI 引脚信号产生的 ETIFE 信号为高电平时，OxCPRE 被强制为低电平。在下一次更新事件到来时，OxCPRE 信号才会回到有效电平状态。

主-从管理

TIMERx 能在多种模式下同步外部触发，包括复位模式，暂停模式和事件模式，可以通过设置 TIMERx_SMCFG 寄存器中的 SMC [2:0]配置这些模式。这些模式的输入触发源可以通过设置 TIMERx_SMCFG 寄存器中的 TRGS [2:0]来选择。

表 22-7. 从模式列表和举例

	模式选择	触发源选择	极性选择	滤波和预分频
列举	SMC[2:0] 3'b100(复位模式) 3'b101(暂停模式) 3'b110(事件模式)	TRGS[2:0] 000：ITI0 001：ITI1 010：ITI2 011：ITI3 100：CI0F_ED 101：CI0FE0 110：CI1FE1 111：ETIFP	如果触发源是CI0FE0或者CI1FE1，配置CHxP和CHxNP来选择极性和反相。 如果触发源是ETIFP，配置ETP选择极性和反相。	若触发源为ITIx，滤波和预分频不可用。 若触发源为CIx，可配置CHxCAPFLT设置滤波，预分频不可用。 若触发源为ETIFP，滤波和预分频均可用。
例1	**复位模式** 当触发输入上升沿到来时，计数器清零重启。	TRGS[2:0]=3'b000 选择ITI0为触发源。	若触发源是ITI0，极性选择不可用。	若触发源是ITI0，滤波和预分频不可用。
	图 22-58. 复位模式 			
例2	**暂停模式** 当触发输入为低的时	TRGS[2:0]=3'b101 选择CI0FE0为触发	TI0S=0(非异或)[CH0NP=0，	在这个例子中滤波被旁路。

	模式选择	触发源选择	极性选择	滤波和预分频
	候，计数器暂停计数，当触发输入为高时，计数器计数。	源。	CH0P=0] CI0FE0不反相。捕获发生在上升沿 。	
	图 22-59. 暂停模式 			
例3	**事件模式** 触发输入的上升沿计数器开始计数。	TRGIS[2:0]=3'b101 选择CI0FE0为触发源	CH0P==0，不反相.在上升沿捕获	在这个例子中滤波被旁路
	图 22-60. 事件模式 			

单脉冲模式

单脉冲模式与重复模式是相反的，设置 TIMERx_CTL0 寄存器的 SPM 位置 1，则使能单脉冲模式。当 SPM 置 1，计数器在下次更新事件到来后清零并停止计数。为了得到脉冲波，可以通过设置 CHxCOMCTL 配置 TIMERx 为 PWM 模式或者比较模式。

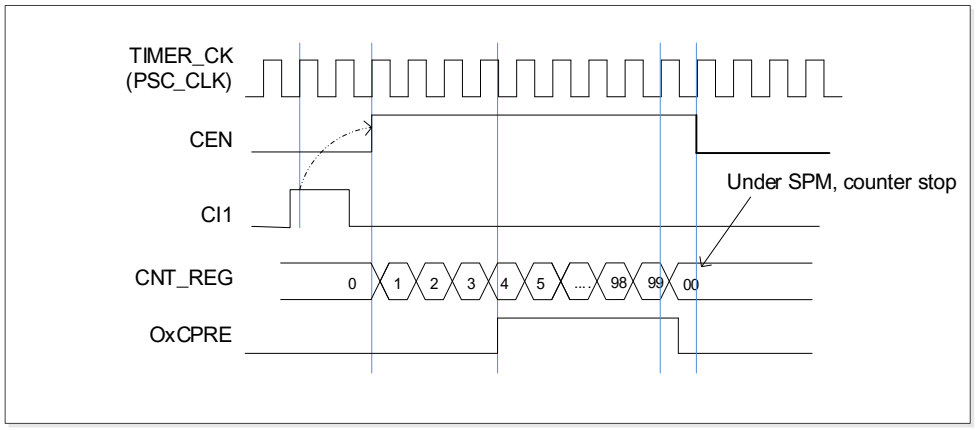
一旦设置定时器运行在单脉冲模式下，没有必要设置 TIMERx_CTL0 寄存器的定时器使能位 CEN=1 来使能计数器。触发信号沿或者软件写 CEN=1 都可以产生一个脉冲，此后 CEN 位一直保持为 1 直到更新事件发生或者 CEN 位被软件写 0。如果 CEN 位被软件清 0，计数器停止工作， 计数值被保持。

在单脉冲模式下，有效的外部触发边沿会将 CEN 位置 1，使能计数器。然而，执行计数值和 TIMERx_CHxCV 寄存器值的比较结果依然存在一些时钟延迟。为了最大限度减少延迟，用户可以将 TIMERx_CHCTL0/1 寄存器的 CHxCOMFEN 位置 1。单脉冲模式下，触发上升沿产生之后， OxCPRE 信号将被立即强制转换为与发生比较匹配时相同的电平，但是不用考虑比较结果。只有输出通道配置为 PWM0 或 PWM1 输出运行模式下时 CHxCOMFEN 位才可用，触

发源来源于触发信号

*图22-61. 单脉冲模式，TIMERx_CHxCV = 4 TIMERx_CAR=99*展示了一个例子。

图 22-61. 单脉冲模式，TIMERx_CHxCV = 4 TIMERx_CAR=99



定时器互连

参考*高级定时器(TIMERx,x=0,7)*。

定时器调试模式

当Cortex®-M33内核停止，DBG_CTL2寄存器中的TIMERx_HOLD配置位被置1，定时器计数器停止

22.3.4. TIMERx 寄存器(x=8,11)

TIMER8 基地址:0x4001 4000

TIMER11 基地址:0x4000 1800

控制寄存器 0(TIMERx_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKDIV[1:0]		ARSE	保留			SPM	UPS	UPDIS	CEN
						rw		rw				rw	rw	rw	rw

位/位域	名称	描述
31:10	保留	必须保持复位值。
9:8	CKDIV[1:0]	时钟分频 通过软件配置CKDIV，规定定时器时钟(CK_TIMER) 与死区时间和数字滤波器采样时钟(DTS)之间的分频系数。 00：$f_{DTS}=f_{CK_TIMER}$ 01：$f_{DTS}= f_{CK_TIMER} /2$ 10：$f_{DTS}= f_{CK_TIMER} /4$ 11：保留
7	ARSE	自动重载影子使能 0：禁能 TIMERx_CAR 寄存器的影子寄存器。 1：使能 TIMERx_CAR 寄存器的影子寄存器。
6:4	保留	必须保持复位值。
3	SPM	单脉冲模式 0：单脉冲模式禁能。更新事件发生后，计数器继续计数 1：单脉冲模式使能。在下一次更新事件发生时，计数器停止计数
2	UPS	更新请求源 软件配置该位，选择更新事件源. 0：以下事件均会产生更新中断或DMA请求： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：下列事件会产生更新中断或DMA请求：

		计数器溢出/下溢
1	UPDIS	禁止更新. 该位用来使能或禁能更新事件的产生 0：更新事件使能. 更新事件发生时，相应的影子寄存器被装入预装载值，以下事件均会产生更新事件： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：更新事件禁能. 注意：当该位被置 1 时，UPG 位被置 1 或者复位模式不会产生更新事件，但是计数器和预分频器被重新初始化
0	CEN	计数器使能 0: 计数器禁能。 1: 计数器使能。 在软件将CEN位置1后，外部时钟、暂停模式和译码器模式才能工作。

从模式配置寄存器(TIMERx_SMCFG)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								MSM	TRGS[2:0]			保留	SMC[2:0]		
								rw	rw				rw		

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	MSM	主-从模式 该位被用来同步被选择的定时器同时开始计数。通过 TRIGI 和 TRGO，定时器被连接在一起，TRGO 用做启动事件。 0: 主从模式禁能。 1: 主从模式使能。
6:4	TRGS[2:0]	触发选择 该位域用来指定选择哪一个信号作为用来同步计数器的触发输入源。 000: ITI0 001: ITI1 010: ITI2 011: ITI3

		100: CI0F_ED 101: CI0FE0 110: CI1FE1 111: 保留 从模式被使能后这些位不能改。
3	保留	必须保持复位值。
2:0	SMC[2:0]	从模式控制 000: 关闭从模式. 如果 CEN=1，则预分频器直接由内部时钟驱动。 001: 保留 010: 保留 011: 保留 100: 复位模式. 选中的触发输入的上升沿重新初始化计数器，并且产生更新事件。 101:暂停模式. 当触发输入为高时，计数器的时钟开启。一旦触发输入变为低，则计数器时钟停止。 110: 事件模式.计数器在触发输入的上升沿启动。 111: 外部时钟模式 0. 选中的触发输入的上升沿驱动计数器。

DMA 和中断使能寄存器(TIMERx_DMAINTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TRGIE	保留			CH1IE	CH0IE	UPIE
									rw		rw		rw	rw	rw

位/位域	名称	描述
31:7	保留	必须保持复位值。
6	TRGIE	触发中断使能 0：禁止触发中断。 1：使能触发中断。
5:3	保留	必须保持复位值。
2	CH1IE	通道 1 比较/捕获中断使能 0：禁止通道 1 中断。 1：使能通道 1 中断。
1	CH0IE	通道 0 比较/捕获中断使能 0：禁止通道 0 中断。

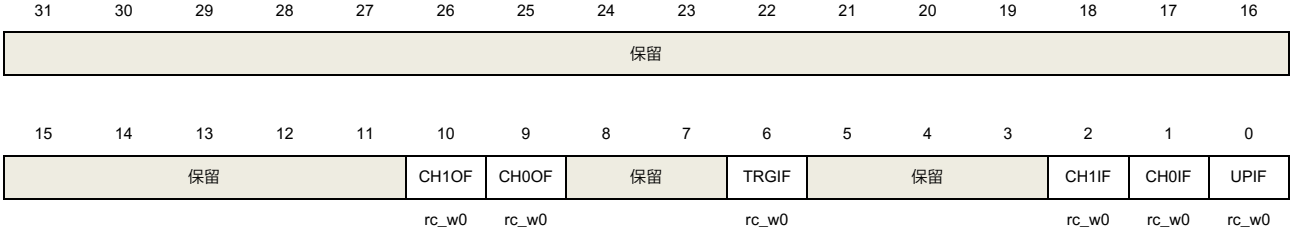
1：使能通道 0 中断。

0	UPIE	更新中断使能 0：禁止更新中断。 1：使能更新中断。

中断标志寄存器(TIMERx_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:11	保留	必须保持复位值。
10	CH1OF	通道 1 捕获溢出标志 参见 CH0OF 描述。
9	CH0OF	通道 0 捕获溢出标志 当通道 0 被配置为输入模式时，在 CH0IF 标志位已经被置 1 后，捕获事件再次发生时，该标志位可以由硬件置 1。该标志位由软件清 0。 0: 无捕获溢出中断发生。 1: 发生了捕获溢出中断。
8:7	保留	必须保持复位值。
6	TRGIF	触发中断标志 当发生触发事件时，此标志会置 1，此位由软件清 0。当暂停模式使能时，触发输入的任意边沿都可以产生触发事件。否则，其它模式时，仅在触发输入端检测到有效边沿，产生触发事件。 0：无触发事件产生。 1：触发中断产生。
5:3	保留	必须保持复位值。
2	CH1IF	通道 1 比较/捕获中断标志 参见 CH0IF 描述。
1	CH0IF	通道 0 比较/捕获中断标志 此标志由硬件置 1 软件清 0。当通道 0 在输入模式下时，捕获事件发生时此标志位被置 1；当通道 0 在输出模式下时，此标志位在一个比较事件发生时被置 1。

当通道 0 在输入模式下时，读 TIMERx_CH0CV 会将此标志清 0。
0：无通道 0 中断发生。
1：通道 0 中断发生。

0 UPIF 更新中断标志
此位在任何更新事件发生时由硬件置 1，软件清 0。
0：无更新中断发生。
1：发生更新中断。

软件事件产生寄存器(TIMERx_SWEVG)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TRGG	保留			CH1G	CH0G	UPG
									w				w	w	w

位/位域	名称	描述
31:7	保留	必须保持复位值。
6	TRGG	触发事件产生 此位由软件置 1，由硬件自动清 0. 当此位被置 1，TIMERx_INTF 寄存器的 TRGIF 标志位被置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA 传输。 0：无触发事件产生。 1：产生触发事件。
5:3	保留	必须保持复位值。
2	CH1G	通道 1 捕获或比较事件发生 参见 CH0G 描述。
1	CH0G	通道 0 捕获或比较事件发生 该位由软件置 1，用于在通道 0 产生一个捕获/比较事件，由硬件自动清 0。当此位被置 1，CH0IF 标志位被置 1，若开启对应的中断和 DMA，则发出相应的中断和 DMA 请求。此外，如果通道 0 配置为输入模式，计数器的当前值被 TIMERx_CH0CV 寄存器捕获，如果 CH0IF 标志位已经为 1，则 CH0OF 标志位被置 1。 0：不产生通道 0 捕获或比较事件。 1：发生通道 0 捕获或比较事件。
0	UPG	更新事件产生 此位由软件置 1，被硬件自动清 0。当此位被置 1，如果选择了中央对齐或向上计数模式，计数器被清 0。否则(向下计数模式)计数器将载入自动重载值，预分频计数器

将同时被清除。
0：无更新事件产生。
1：产生更新事件。

通道控制寄存器 0(TIMERx_CHCTL0)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留.	CH1COMCTL[2:0]			CH1COMSEN	CH1COMFEN	CH1MS[1:0]		保留.	CH0COMCTL[2:0]			CH0COMSEN	CH0COMFEN	CH0MS[1:0]	
CH1CAPFLT[3:0]				CH1CAPPSC[1:0]				CH0CAPFLT[3:0]				CH0CAPPSC[1:0]			
rw				rw		rw		rw				rw		rw	

输出比较模式：

位/位域	名称	描述
31:15	保留	必须保持复位值。
14:12	CH1COMCTL[2:0]	通道 1 输出比较模式 参见 CH0COMCTL 描述。
11	CH1COMSEN	通道 1 输出比较影子寄存器使能 参见 CH0COMSEN 描述。
10	CH1COMFEN	通道 1 输出比较快速使能 参见 CH0COMFEN 描述。
9:8	CH1MS[1:0]	通道 1 模式选择 这些位定义了通道的方向和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH1EN 位被清 0)时这些位才可以写。 00：通道 1 配置为输出 01：通道 1 配置为输入，IS1 映射在 CI1FE1 上 10：通道 1 配置为输入，IS1 映射在 CI0FE1 上 11：通道 1 配置为输入，IS1 映射在 ITS 上 注意：当 CH1MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入
7	保留	必须保持复位值。
6:4	CH0COMCTL[2:0]	通道 0 输出比较模式 此位定义了输出准备信号 O0CPRE 的输出比较模式，而 O0CPRE 决定了 CH0_O、CH0_ON 的值。另外，O0CPRE 高电平有效，而 CH0_O、CH0_ON 通道的极性取决于 CH0P、CH0NP 位。

000：时基。输出比较寄存器 TIMERx_CH0CV 与计数器 TIMERx_CNT 间的比较对 O0CPRE 不起作用
001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为高。
010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为低。
011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 翻转。
100：强制为低。强制 O0CPRE 为低电平
101：强制为高。强制 O0CPRE 为高电平
110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。
111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。
如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O0CPRE 电平才改变。
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00(比较模式)时此位不能被改变。

3	CH0COMSEN	通道 0 输出比较影子寄存器使能 当此位被置 1，TIMERx_CH0CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 0 输出/比较影子寄存器 1：使能通道 0 输出/比较影子寄存器 仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器的情况下使用 PWM 模式 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00 时此位不能被改变。
2	CH0COMFEN	通道 0 输出比较快速使能 0：通道 0 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH0_O 设置为比较电平，激活 CH0_O 输出的最小延时为 5 个时钟周期。 1：通道 0 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH0_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH0_O 输出的最小延时为 3 个时钟周期。
1:0	CH0MS[1:0]	通道 0 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH0EN 位被清 0)时这些位才可写。 00：通道 0 配置为输出 01：通道 0 配置为输入，IS0 映射在 CI0FE0 上 10：通道 0 配置为输入，IS0 映射在 CI1FE0 上 11：通道 0 配置为输入，IS0 映射在 ITS 上 注意：当 CH0MS[1:0]=11 时，需要通过 TRGS 位(位于 TIMERx_SMCFG 寄存器)选择内部触发输入

输入捕获模式：

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:12	CH1CAPFLT[3:0]	通道 1 输入捕获滤波控制 参见 CH0CAPFLT 描述。
11:10	CH1CAPPSC[1:0]	通道 1 输入捕获预分频器 参见 CH0CAPPSC 描述。
9:8	CH1MS[1:0]	通道 1 模式选择 与输出模式相同。
7:4	CH0CAPFLT[3:0]	通道 0 输入捕获滤波控制 CI0 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。 数字滤波器的基本原理：根据 f_{SAMP} 对 CI0 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。 滤波器参数配置如下：

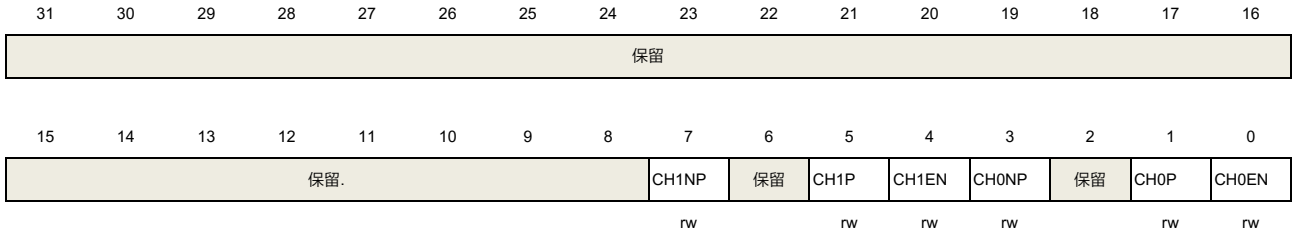
CH0CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000	无滤波器	
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$
4'b0111	8	
4'b1000	6	$f_{DTS}/8$
4'b1001	8	
4'b1010	5	$f_{DTS}/16$
4'b1011	6	
4'b1100	8	
4'b1101	5	$f_{DTS}/32$
4'b1110	6	
4'b1111	8	

3:2	CH0CAPPSC[1:0]	通道 0 输入捕获预分频器 这 2 位定义了通道 0 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH0EN =0 时，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。 01：每 2 个事件触发一次捕获。 10：每 4 个事件触发一次捕获。 11：每 8 个事件触发一次捕获。
1:0	CH0MS[1:0]	通道 0 模式选择 与输出比较模式相同。

通道控制寄存器 2(TIMERx_CHCTL2)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	名称
31:8	保留	必须保持复位值。
7	CH1NP	通道 1 互补输出极性 参考 CH0NP 描述。
6	保留	必须保持复位值。
5	CH1P	通道 1 极性 参考 CH0P 描述。
4	CH1EN	通道 1 使能 参考 CH0EN 描述。
3	CH0NP	通道 0 互补输出极性 当通道 0 配置为输出模式，此位定义了互补输出信号的极性。 0：通道0互补输出高电平为有效电平 1：通道0互补输出低电平为有效电平 当通道 0 配置为输入模式时，此位和 CH0P 联合使用，作为输入信号 CI0 的极性选择控制信号。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
2	保留	必须保持复位值。
1	CH0P	通道 0 极性 当通道 0 配置为输出模式时，此位定义了输出信号极性。 0：通道0高电平为有效电平 1：通道0低电平为有效电平 当通道 0 配置为输入模式时，此位定义了 CI0 信号极性。 [CH0NP, CH0P] 将选择 CI0FE0 或者 CI1FE0 的有效边沿或者捕获极性。 [CH0NP==0, CH0P==0]：把 CIxFE0 的上升沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。 [CH0NP==0, CH0P==1]：把 CIxFE0 的下降沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 会被翻转。 [CH0NP==1, CH0P==0]：保留。

[CH0NP==1, CH0P==1]：把 CIxFE0 的上升沿和下降沿都作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。

0	CH0EN	通道 0 捕获/比较使能 当通道 0 配置为输出模式时，将此位置 1 使能 CH0_O 信号有效。当通道 0 配置为输入模式时，将此位置 1 使能通道 0 上的捕获事件。 0：禁止通道 0。 1：使能通道 0。

计数器寄存器(TIMERx_CNT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	这些位是当前的计数值。写操作能改变计数器值。

预分频寄存器(TIMERx_PSC)

地址偏移： 0x28
复位值： 0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PSC[15:0]	计数器时钟预分频值 计数器时钟等于 TIMER_CK 时钟除以(PSC+1)，每次当更新事件产生时，PSC 的值

被装入到对应的影子寄存器。

计数器自动重载寄存器(TIMERx_CAR)

地址偏移：0x2C
复位值：0x0000 FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CARL[15:0]	计数器自动重载值 这些位定义了计数器的自动重载值。

通道 0 捕获/比较值寄存器(TIMERx_CH0CV)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH0VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH0VAL[15:0]	通道 0 的捕获或比较值 当通道 0 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 0 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

通道 1 捕获/比较值寄存器(TIMERx_CH1CV)

地址偏移：0x38
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1VAL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH1VAL[15:0]	通道 1 的捕获或比较值 当通道 1 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。 当通道 1 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

配置寄存器(TIMERx_CFG)

地址偏移：0xFC
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														CHVSEL	保留
														rw	

位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CHVSEL	写捕获比较寄存器选择位 此位由软件写 1 或清 0。 1：当写入捕获比较寄存器的值与寄存器当前值相等时，写入操作无效。 0：无影响。
0	保留	必须保持复位值。

22.4. 通用定时器 L2(TIMERx, x=9,10,12,13)

22.4.1. 简介

通用定时器 L2(TIMERx, x=9, 10, 12, 13)是单通道定时器，支持输入捕获和输出比较，产生 PWM 信号控制电机和电源管理。通用定时器 L2 含有一个 16 位无符号计数器。

高级定时器是可编程的，可以被用来计数，其外部事件可以驱动其他定时器

22.4.2. 主要特性

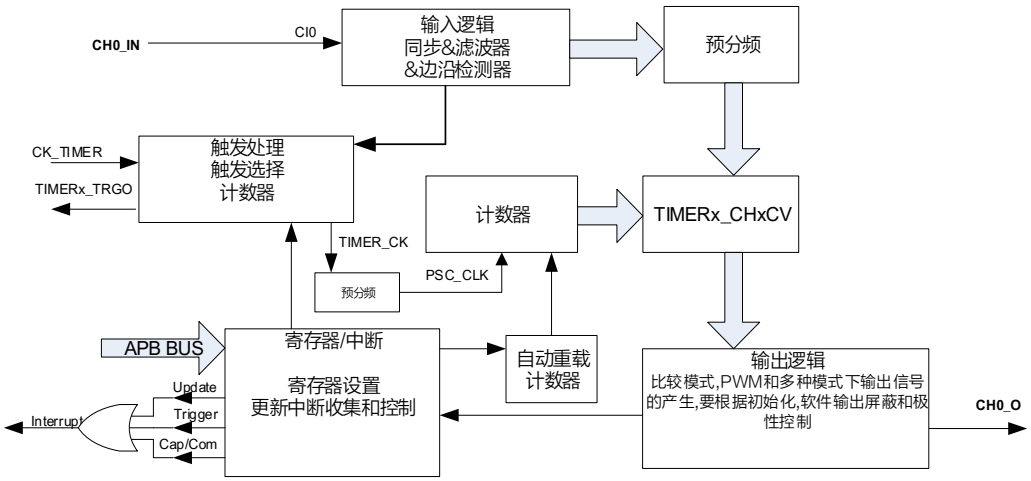
- 总通道数：1；
- 计数器宽度：16位；
- 时钟源只有内部时钟；
- 计数模式：向上计数，向下计数和中央计数；
- 可编程的预分频器：16位，运行时可以被改变；
- 每个通道可配置：输入捕获模式，输出比较模式，可编程的PWM模式，单脉冲模式；
- 自动重装载功能；
- 中断输出：更新事件，触发事件，比较/捕获事件和中止事件。

22.4.3. 功能描述

结构框图

*图 22-62. 通用定时器 L2 结构框图*提供了通用定时器 L2 的内部配置细节

图 22-62. 通用定时器 L2 结构框图



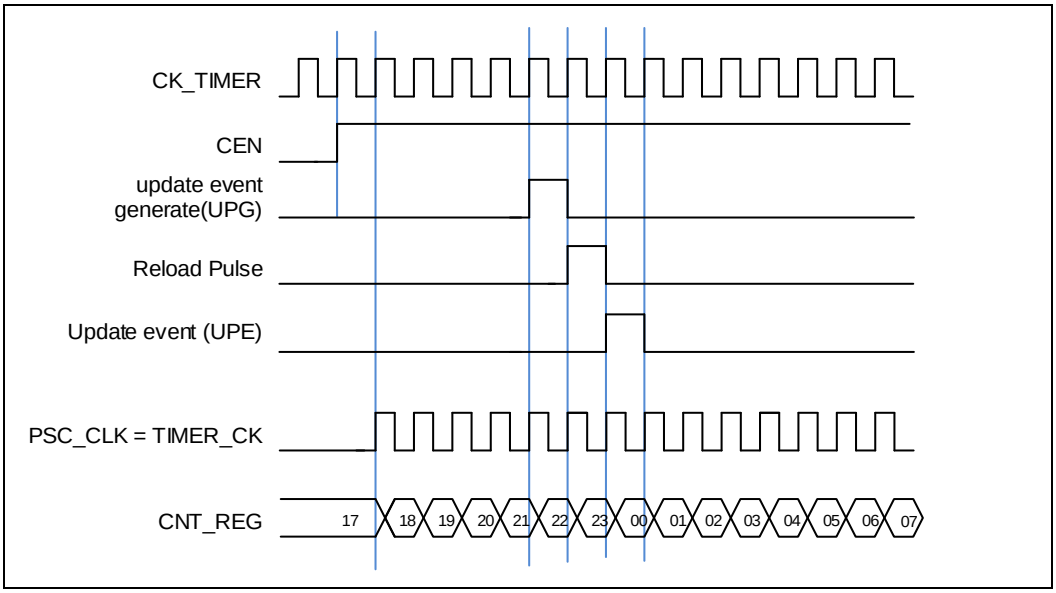
时钟源配置

通用定时器 L2 由内部时钟源 CK_TIMER 驱动

定时器时钟 TIMER_CK 连接到 RCU 模块的 CK_TIMER

通用定时器 L2 仅有一个时钟源 CK_TIMER，用来驱动计数器预分频器。当 CEN 置位，CK_TIMER 经过预分频器(预分频值由 TIMERx_PSC 寄存器确定)产生 PSC_CLK。

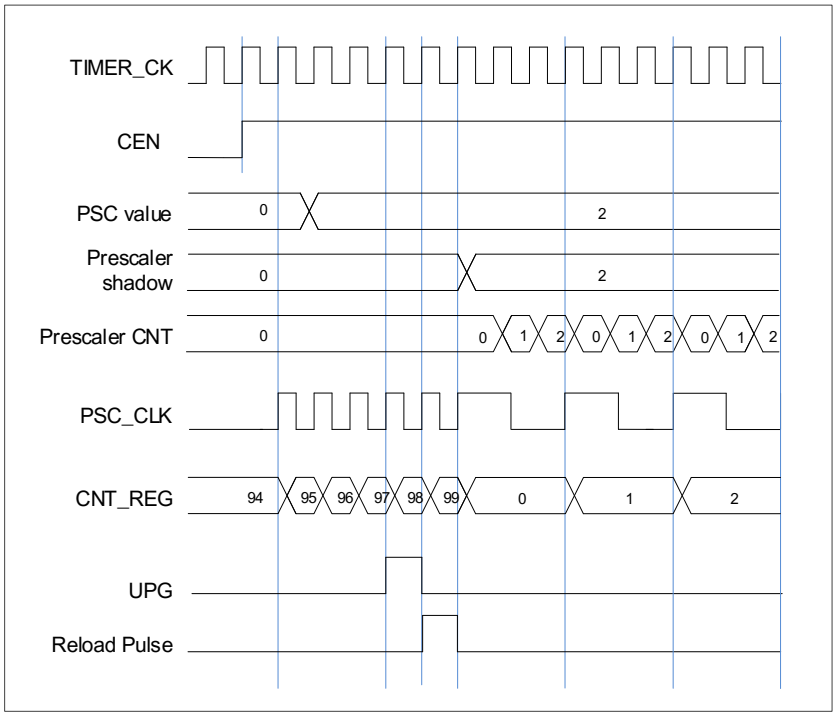
图 22-63. 内部时钟分频为 1 时，计数器的时序图



时钟预分频器

预分频器可以将定时器的时钟(TIMER_CK)频率按 1 到 65536 之间的任意值分频，分频后的时钟 PSC_CLK 驱动计数器计数。分频系数受预分频寄存器 TIMERx_PSC 控制，这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

图 22-64. 当 PSC 数值从 0 变到 2 时，计数器的时序图



计数器向上计数模式

在这种模式，计数器的计数方向是向上计数。计数器从 0 开始向上连续计数到自动加载值(定义在 TIMERx_CAR 寄存器中)，一旦计数器计数到自动加载值，会重新从 0 开始向上计数并产生上溢事件。在向上计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 0。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被清 0，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(重复计数器，计数器自动重载寄存器，预分频寄存器)都将被更新。

图 22-65. 向上计数时序图，PSC=0/2 和*图 22-66. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值*给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同预分频

因子下的行为。

图 22-65. 向上计数时序图，PSC=0/2

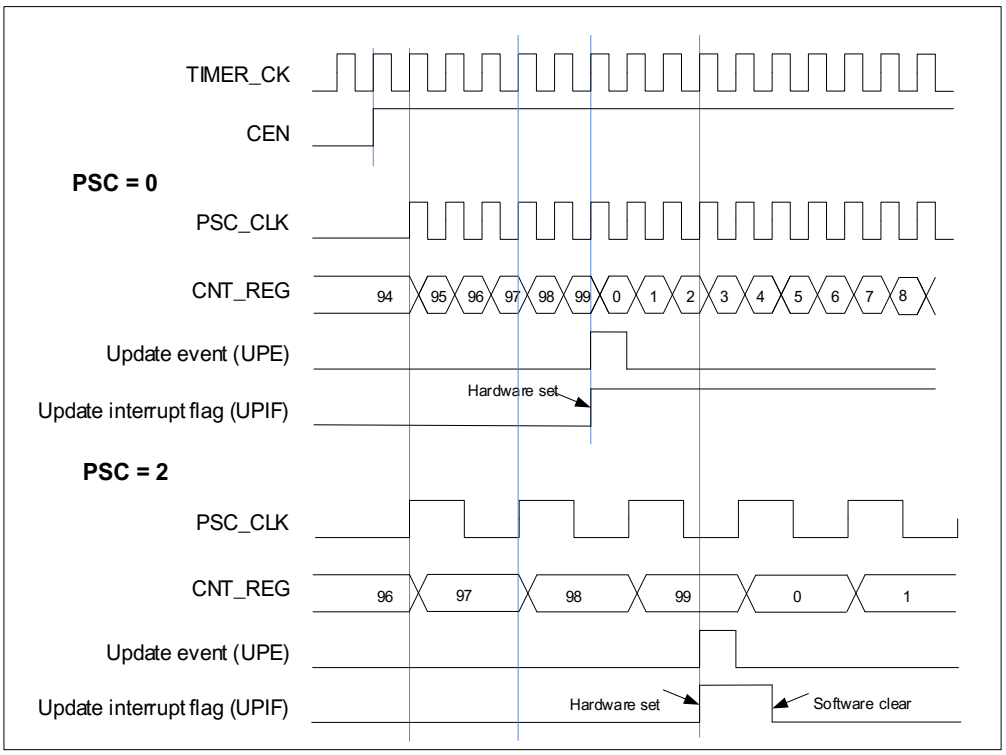
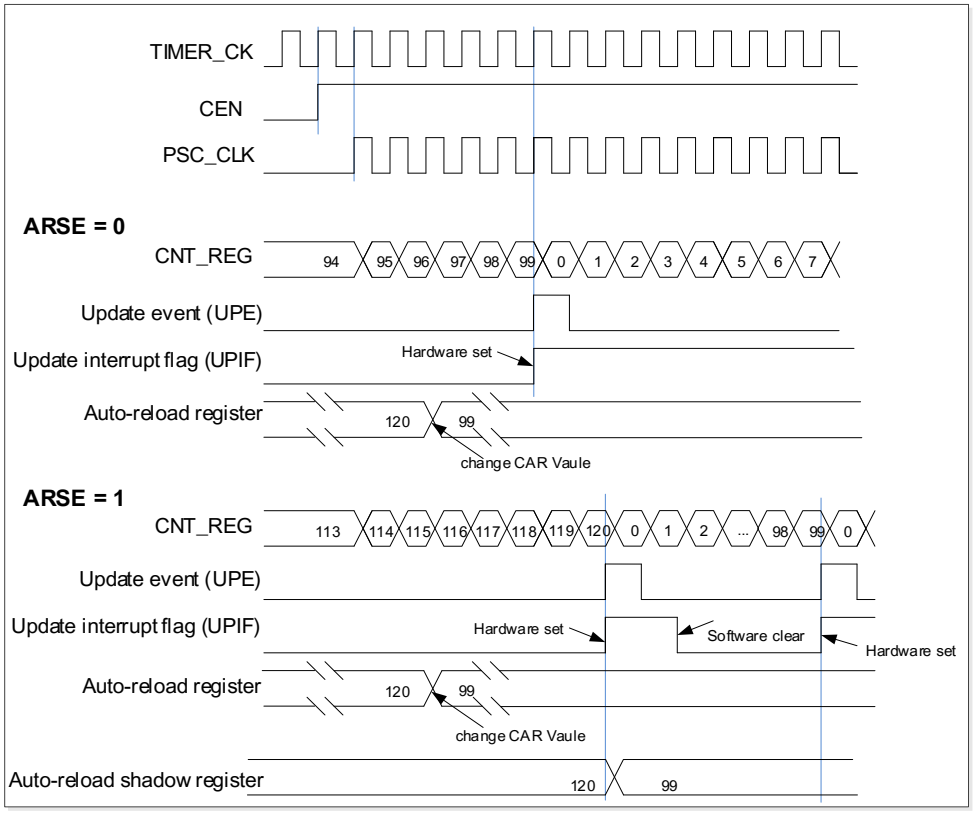


图 22-66. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值



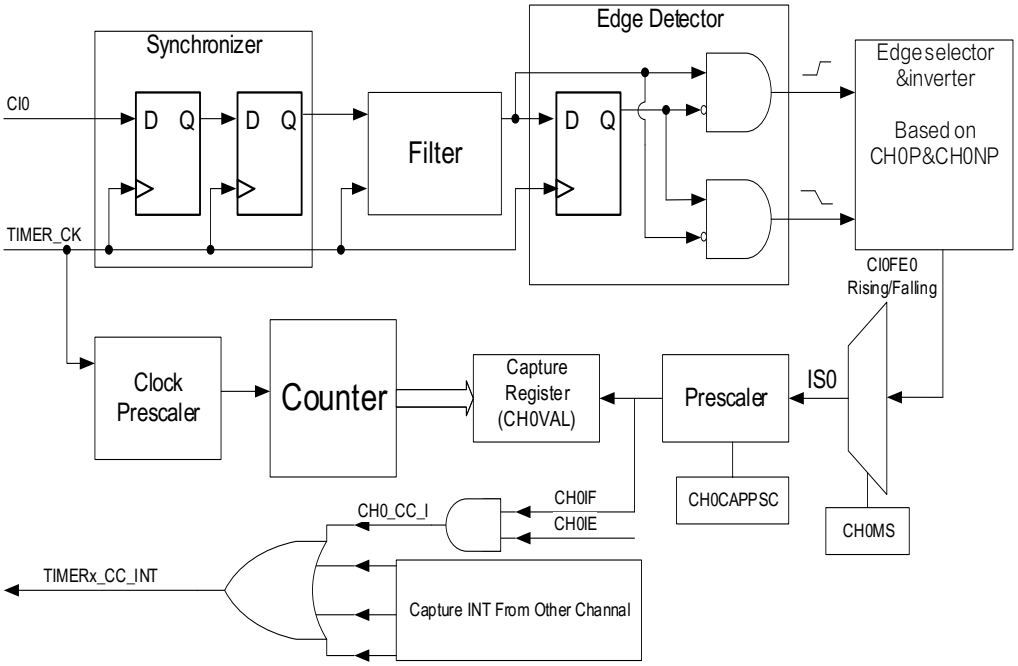
输入捕获和输出比较通道

通用定时器 L2 只有一个独立的通道用于捕获输入或比较输出是否匹配。该通道都围绕一个通道捕获比较寄存器建立，包括一个输入级，通道控制器和输出级。

- 通道输入捕获功能

通道输入捕获功能允许通道测量一个波形时序，频率，周期，占空比等。输入级包括一个数字滤波器，一个通道极性选择，边沿检测和一个通道预分频器。如果在输入引脚上出现被选择的边沿，TIMERx_CHxCV 寄存器会捕获计数器当前的值，同时 CHxIF 位被置 1，如果 CHxIE = 1 则产生通道中断。

图 22-67. 通道输入捕获原理



通道输入信号 CIx 先被 TIMER_CK 信号同步，然后经过数字滤波器采样，产生一个被滤波后的信号。通过边沿检测器，可以选择检测上升沿或者下降沿。通过配置 CHxP 选择使用上升沿或者下降沿。配置 IC 预分频器，使得若干个输入事件后才产生一个有效的捕获事件。捕获事件发生，CxCV 存储计数器的值。

配置步骤如下：

第一步：滤波器配置(TIMERx_CHCTL0寄存器中CHxCAPFLT)：
根据输入信号和请求信号的质量，配置相应的CHxCAPFLT。
第二步：边沿选择(TIMERx_CHCTL2寄存器中CHxP/CHxNP)：
配置CHxP/CHxNP选择上升沿或者下降沿。
第三步：捕获源选择(TIMERx_CHCTL0寄存器中CHxMS)：
一旦通过配置CHxMS选择输入捕获源，必须确保通道配置在输入模式(CHxMS!=0x0)，而且TIMERx_CxCV寄存器不能再被写。
第四步：中断使能(TIMERx_DMAINTEN寄存器中CHxIE)：
使能相应中断，可以获得中断。

第五步：捕获使能(TIMERx_CHCTL2寄存器中CHxEN)。

结果：当期望的输入信号发生时，TIMERx_CHxCV被设置成当前计数器的值，CHxIF为置1。如果CHxIF位已经为1，则CHxOF位置1。根据TIMERx_DMAINTEN寄存器中CHxIE的配置，相应的中断会被提出。

直接产生：软件设置CHxG位，会直接产生中断。

- 通道输出比较功能

在输出比较模式，TIMERx 可以产生时控脉冲，其位置，极性，持续时间和频率都是可编程的。当一个输出通道的 CxCV 寄存器与计数器的值匹配时，根据 CHxCOMCTL 的配置，这个通道的输出可以被置高电平，被置低电平或者反转。当计数器的值与 CxCV 寄存器的值匹配时，CHxIF 位被置 1，如果 CHxIE = 1 则会产生中断，如果 CxCDE=1 则会产生 DMA 请求。

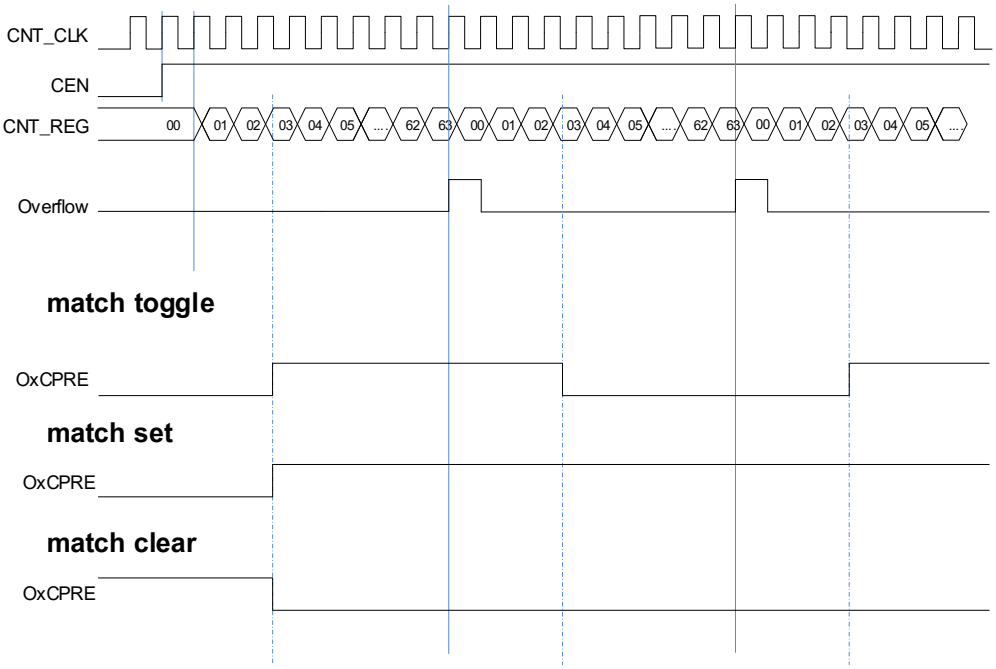
配置步骤如下：

第一步：时钟配置：
配置定时器时钟源，预分频器等。
第二步：比较模式配置：
设置CHxCOMSEN位来配置输出比较影子寄存器；
设置CHxCOMCTL位来配置输出模式(置高电平/置低电平/反转)；
设置CHxP/CHxNP位来选择有效电平的极性；
设置CHxEN使能输出。
第三步：通过CHxIE位配置中断使能。
第四步：通过TIMERx_CAR寄存器和TIMERx_CHxCV寄存器配置输出比较时基：
CxCV可以在运行时根据你所期望的波形而改变。
第五步：设置CEN位使能定时器。

*图 22-68. 三种输出比较模式*显示了三种比较输出模式：反转/置高电平/置低电平，

CAR=0x63, CxCV=0x3。

图 22-68. 三种输出比较模式



通道输出准备信号

当 TIMERx 用于输出匹配比较模式下，设置 CHxCOMCTL 位可以定义 OxCPRE 信号(通道 x 准备信号)类型。OxCPRE 信号有若干类型的输出功能，包括，设置 CHxCOMCTL=0x00 可以保持原始电平；设置 CHxCOMCTL=0x01 可以将 OxCPRE 信号设置为高电平；设置 CHxCOMCTL=0x02 可以将 OxCPRE 信号设置为低电平；设置 CHxCOMCTL=0x03，在计数器值和 TIMERx_CHxCV 寄存器的值匹配时，可以翻转输出信号。

PWM 模式 0 和 PWM 模式 1 是 OxCPRE 的另一种输出类型，设置 CHxCOMCTL 位域位 0x06 或 0x07 可以配置 PWM 模式 0/PWM 模式 1。在这些模式中，根据计数器值和 TIMERx_CHxCV 寄存器值的关系以及计数方向，OxCPRE 信号改变其电平。具体细节描述，请参考相应的位。

设置 CHxCOMCTL =0x04 或 0x05 可以实现 OxCPRE 信号的强制输出功能。输出比较信号能够直接由软件强置为有效或无效状态，而不依赖于 TIMERx_CHxCV 的值和计数器值之间间的比较结果。

设置 CHxCOMCEN=1，当由外部 ETI 引脚信号产生的 ETIFE 信号为高电平时，OxCPRE 被强制为低电平。在下一次更新事件到来时，OxCPRE 信号才会回到有效电平状态。

定时器互连

参考 *高级定时器(TIMERx,x=0,7)*。

定时器调试模式

当 Cortex®-M33 内核停止，DBG_CTL2 寄存器中的 TIMERx_HOLD 配置位被置 1，定时器计数器停止。

22.4.4. TIMERx 寄存器(x=9,10,12,13)

TIMER9 基地址：0x4001 4400

TIMER10 基地址：0x4001 4800

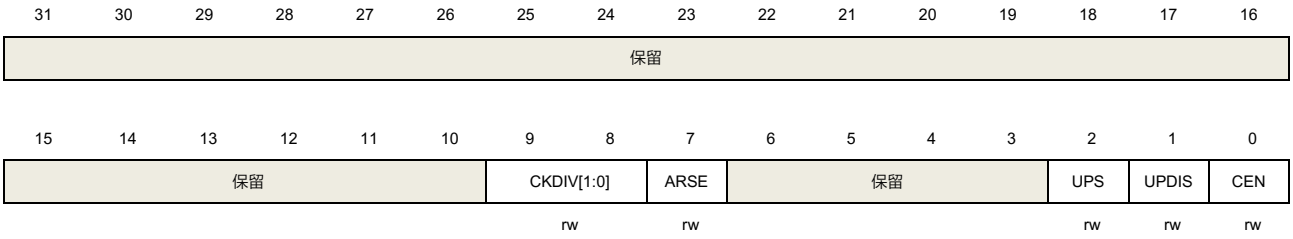
TIMER12 基地址：0x4000 1C00

TIMER13 基地址：0x4000 2000

控制寄存器 0(TIMERx_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



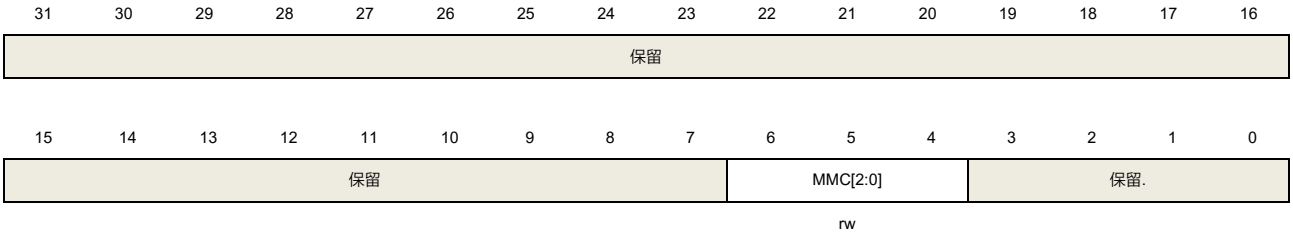
位/位域	名称	描述
31:10	保留	必须保持复位值。
9:8	CKDIV[1:0]	时钟分频 通过软件配置CKDIV，规定定时器时钟(CK_TIMER) 与死区时间和数字滤波器采样时钟(DTS)之间的分频系数。 00：$f_{DTS}=f_{CK_TIMER}$ 01：$f_{DTS}= f_{CK_TIMER} /2$ 10：$f_{DTS}= f_{CK_TIMER} /4$ 11：保留
7	ARSE	自动重载影子使能 0：禁能 TIMERx_CAR 寄存器的影子寄存器。 1：使能 TIMERx_CAR 寄存器的影子寄存器。
6:3	保留	必须保持复位值。
2	UPS	更新请求源 软件配置该位，选择更新事件源. 0：以下事件均会产生更新中断或DMA请求： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：下列事件会产生更新中断或DMA请求： 计数器溢出/下溢

1	UPDIS	禁止更新. 该位用来使能或禁能更新事件的产生 0：更新事件使能. 更新事件发生时，相应的影子寄存器被装入预装载值，以下事件均会产生更新事件： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：更新事件禁能. 注意：当该位被置 1 时，UPG 位被置 1 或者复位模式不会产生更新事件，但是计数器和预分频器被重新初始化
0	CEN	计数器使能 0：计数器禁能。 1：计数器使能。 在软件将CEN位置1后，外部时钟、暂停模式和译码器模式才能工作。

控制寄存器 1(TIMERx_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:7	保留	必须保持复位值。
6:4	MMC[2:0]	主模式控制 这些位控制TRGO信号的选择，TRGO信号由主定时器发给从定时器用于同步功能。 000：当产生一个定时器复位事件后，输出一个TRGO信号，定时器复位源为： 主定时器产生一个复位事件 TIMERx_SWEVG寄存器中UPG位置1 001：当产生一个定时器使能事件后，输出一个TRGO信号，定时器使能源为： CEN位置1 在暂停模式下，触发输入置1 010：当产生一个定时器更新事件后，输出一个TRGO信号，更新事件源由UPDIS和UPS位决定 011：当通道0在发生一次捕获或一次比较成功时，主模式控制器产生一个TRGO脉冲 100：当产生一次比较事件时，输出一个TRGO信号，比较事件源来自O0CPRE TRGO。

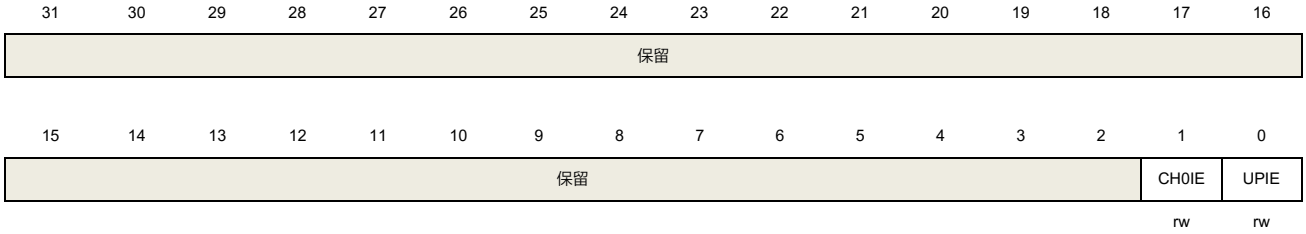
101：保留。
110：保留。
111：保留。

3:0	保留	必须保持复位值。

DMA 和中断使能寄存器(TIMERx_DMAINTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

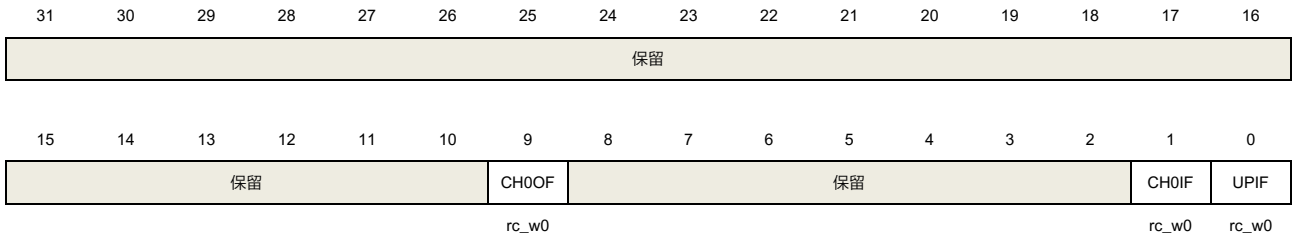


位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CH0IE	通道 0 比较/捕获中断使能 0：禁止通道 0 中断。 1：使能通道 0 中断。
0	UPIE	更新中断使能 0：禁止更新中断。 1：使能更新中断。

中断标志寄存器(TIMERx_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



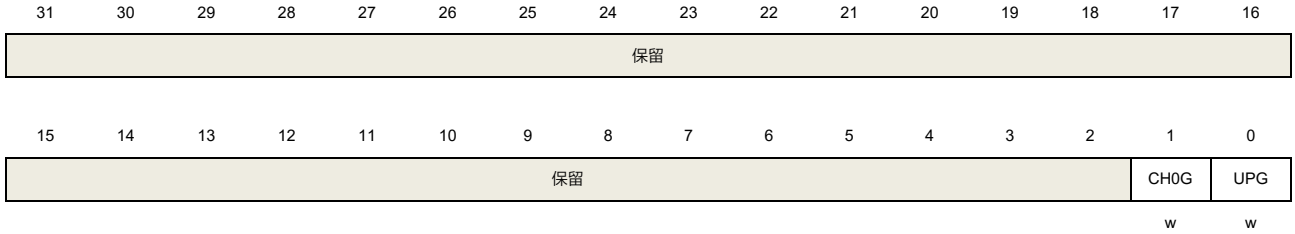
位/位域	名称	描述
31:10	保留	必须保持复位值。

9	CH0OF	通道 0 捕获溢出标志 当通道 0 被配置为输入模式时，在 CH0IF 标志位已经被置 1 后，捕获事件再次发生时，该标志位可以由硬件置 1。该标志位由软件清 0。 0：无捕获溢出中断发生。 1：发生了捕获溢出中断。
8:2	保留	必须保持复位值。
1	CH0IF	通道 0 比较/捕获中断标志 此标志由硬件置 1 软件清 0。当通道 0 在输入模式下时，捕获事件发生时此标志位被置 1；当通道 0 在输出模式下时，此标志位在一个比较事件发生时被置 1。 当通道 0 在输入模式下时，读 TIMERx_CH0CV 会将此标志清 0。 0：无通道 0 中断发生。 1：通道 0 中断发生。
0	UPIF	更新中断标志 此位在任何更新事件发生时由硬件置 1，软件清 0。 0：无更新中断发生。 1：发生更新中断。

软件事件产生寄存器(TIMERx_SWEVG)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CH0G	通道 0 捕获或比较事件发生 该位由软件置 1，用于在通道 0 产生一个捕获/比较事件，由硬件自动清 0。当此位被置 1，CH0IF 标志位被置 1，若开启对应的中断和 DMA，则发出相应的中断和 DMA 请求。此外，如果通道 0 配置为输入模式，计数器的当前值被 TIMERx_CH0CV 寄存器捕获，如果 CH0IF 标志位已经为 1，则 CH0OF 标志位被置 1。 0：不产生通道 0 捕获或比较事件。 1：发生通道 0 捕获或比较事件。
0	UPG	更新事件产生 此位由软件置 1，被硬件自动清 0。当此位被置 1 并且向上计数模式，计数器被清 0，预分频计数器将同时被清除。

0：无更新事件产生。
1：产生更新事件。

通道控制寄存器 0(TIMERx_CHCTL0)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



输出比较模式：

位/位域	名称	描述
31:7	保留	必须保持复位值。
6:4	CH0COMCTL[2:0]	通道 0 输出比较模式 此位定义了输出准备信号 O0CPRE 的输出比较模式，而 O0CPRE 决定了 CH0_O、CH0_ON 的值。另外，O0CPRE 高电平有效，而 CH0_O、CH0_ON 通道的极性取决于 CH0P、CH0NP 位。 000：时基。输出比较寄存器 TIMERx_CH0CV 与计数器 TIMERx_CNT 间的比较对 O0CPRE 不起作用 001：匹配时设置为高。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为高。 010：匹配时设置为低。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 为低。 011：匹配时翻转。当计数器的值与捕获/比较值寄存器 TIMERx_CH0CV 相同时，强制 O0CPRE 翻转。 100：强制为低。强制 O0CPRE 为低电平 101：强制为高。强制 O0CPRE 为高电平 110：PWM 模式 0。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。 111：PWM 模式 1。在向上计数时，一旦计数器值小于 TIMERx_CH0CV 时，O0CPRE 为低电平，否则为高电平。在向下计数时，一旦计数器的值大于 TIMERx_CH0CV 时，O0CPRE 为高电平，否则为低电平。 如果配置在 PWM 模式下，只有当输出比较模式从时基模式变为 PWM 模式或者比较结果改变时，O0CPRE 电平才改变。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00(比较模式)时此位不能

被改变。

3	CH0COMSEN	通道 0 输出比较影子寄存器使能 当此位被置 1，TIMERx_CH0CV 寄存器的影子寄存器被使能，影子寄存器在每次更新事件时都会被更新。 0：禁止通道 0 输出/比较影子寄存器 1：使能通道 0 输出/比较影子寄存器 仅在单脉冲模式下(SPM =1)，可以在未确认影子寄存器的情况下使用 PWM 模式 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 且 CH0MS =00 时此位不能被改变。
2	CH0COMFEN	通道 0 输出比较快速使能 0：通道 0 输出比较快速禁能。仅比较结果输入作为有效边沿时会产生比较匹配，并将 CH0_O 设置为比较电平，激活 CH0_O 输出的最小延时为 5 个时钟周期。 1：通道 0 输出比较快速使能。触发输入信号的有效边沿和比较结果都会产生比较匹配，并将 CH0_O 设置为比较电平。当触发信号的输入作为有效边沿时，激活 CH0_O 输出的最小延时为 3 个时钟周期。
1:0	CH0MS[1:0]	通道 0 I/O 模式选择 这些位定义了通道的工作模式和输入信号的选择。只有当通道关闭(TIMERx_CHCTL2 寄存器的 CH0EN 位被清 0)时这些位才可写。 00：通道 0 配置为输出 01：通道 0 配置为输入，IS0 映射在 CI0FE0 上 1x：保留

输入捕获模式：

位/位域	名称	描述
31:8	保留	必须保持复位值。
7:4	CH0CAPFLT[3:0]	通道 0 输入捕获滤波控制 CI0 输入信号可以通过数字滤波器进行滤波，该位域配置滤波参数。 数字滤波器的基本原理：根据 f_{SAMP} 对 CI0 输入信号进行连续采样，并记录信号相同电平的次数。达到该位配置的滤波参数后，认为是有效电平。 滤波器参数配置如下：

CH0CAPFLT [3:0]	采样次数	f_{SAMP}
4'b0000	无滤波器	
4'b0001	2	f_{CK_TIMER}
4'b0010	4	
4'b0011	8	
4'b0100	6	$f_{DTS}/2$
4'b0101	8	
4'b0110	6	$f_{DTS}/4$
4'b0111	8	
4'b1000	6	$f_{DTS}/8$
4'b1001	8	
4'b1010	5	$f_{DTS}/16$
4'b1011	6	

		4'b1100	8	
		4'b1101	5	
		4'b1110	6	$f_{DTS}/32$
		4'b1111	8	
3:2	CH0CAPPSC[1:0]	通道 0 输入捕获预分频器 这 2 位定义了通道 0 输入的预分频系数。当 TIMERx_CHCTL2 寄存器中的 CH0EN =0 时，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获。 01：每 2 个事件触发一次捕获。 10：每 4 个事件触发一次捕获。 11：每 8 个事件触发一次捕获。		
1:0	CH0MS[1:0]	通道 0 模式选择 与输出比较模式相同。		

通道控制寄存器 2(TIMERx_CHCTL2)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留..												CH0NP	保留	CH0P	CH0EN
												rw		rw	rw

位/位域	名称	描述
31:4	保留	必须保持复位值。
3	CH0NP	通道 0 互补输出极性 当通道 0 配置为输出模式，此位定义了互补输出信号的极性。 0：通道0互补输出高电平为有效电平 1：通道0互补输出低电平为有效电平 当通道 0 配置为输入模式时，此位和 CH0P 联合使用，作为输入信号 CI0 的极性选择控制信号。 当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。
2	保留	必须保持复位值。
1	CH0P	通道 0 极性 当通道 0 配置为输出模式时，此位定义了输出信号极性。 0：通道0高电平为有效电平 1：通道0低电平为有效电平 当通道 0 配置为输入模式时，此位定义了 CI0 信号极性。

[CH0NP, CH0P] 将选择 CI0FE0 或者 CI1FE0 的有效边沿或者捕获极性。
[CH0NP==0, CH0P==0]：把 CIxFE0 的上升沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。
[CH0NP==0, CH0P==1]：把 CIxFE0 的下降沿作为捕获或者从模式下触发的有效信号，并且 CIxFE0 会被翻转。
[CH0NP==1, CH0P==0]：保留。
[CH0NP==1, CH0P==1]：把 CIxFE0 的上升沿和下降沿都作为捕获或者从模式下触发的有效信号，并且 CIxFE0 不会被翻转。
当 TIMERx_CCHP 寄存器的 PROT [1:0]=11 或 10 时此位不能被更改。

0	CH0EN	通道 0 捕获/比较使能 当通道 0 配置为输出模式时，将此位置 1 使能 CH0_O 信号有效。当通道 0 配置为输入模式时，将此位置 1 使能通道 0 上的捕获事件。 0：禁止通道 0。 1：使能通道 0。

计数器寄存器(TIMERx_CNT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	这些位是当前的计数值。写操作能改变计数器值。

预分频寄存器(TIMERx_PSC)

地址偏移： 0x28
复位值： 0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PSC[15:0]	计数器时钟预分频值 计数器时钟等于 TIMER_CK 时钟除以(PSC+1)，每次当更新事件产生时，PSC 的值被装入到对应的影子寄存器。

计数器自动重载寄存器(TIMERx_CAR)

地址偏移：0x2C
复位值：0x0000 FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															

rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CARL[15:0]	计数器自动重载值 这些位定义了计数器的自动重载值。

通道 0 捕获/比较值寄存器(TIMERx_CH0CV)

地址偏移：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH0VAL[15:0]															

rw

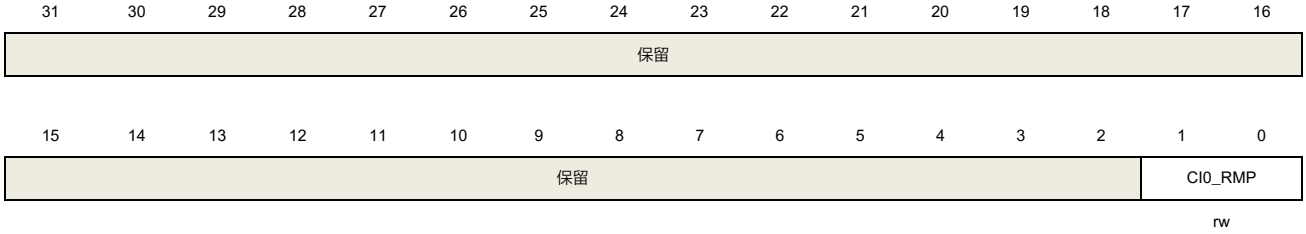
位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CH0VAL[15:0]	通道 0 的捕获或比较值

当通道 0 配置为输入模式时，这些位决定了上次捕获事件的计数器值。并且本寄存器为只读。
当通道 0 配置为输出模式时，这些位包含了即将和计数器比较的值。使能相应影子寄存器后，影子寄存器值随每次更新事件更新。

输入重映射寄存器(TIMERx_IRMP)(x=10)

地址偏移：0x50
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

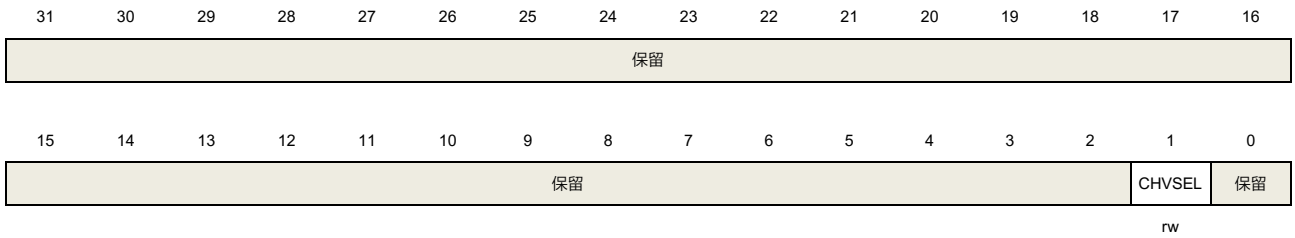


位/位域	名称	描述
31:2	保留	必须保持复位值。
1:0	CI0_RMP	通道 0 重映射 00, 01, 11：连接到 GPIO 引脚. 参考 GPIO 重映射表。 10：HXTAL_DIV(RTC 时钟，是 HXTAL 时钟经过 RCU_CFG0 寄存器中 RTCDIV 的位分频后得到)。

配置寄存器(TIMERx_CFG)

地址偏移：0xFC
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	CHVSEL	写捕获比较寄存器选择位 此位由软件写 1 或清 0。 1：当写入捕获比较寄存器的值与寄存器当前值相等时，写入操作无效。

		0：无影响。
0	保留	必须保持复位值。

22.5. 基本定时器(TIMERx, x=5,6)

22.5.1. 简介

基本定时器(Timer5, 6)包含一个无符号 16 位计数器。可以被用作通用定时器和为 DAC(数字到模拟转换器)提供时钟。基本定时器可以配置产生 DMA 请求，TRGO 触发连接到 DAC。

22.5.2. 主要特性

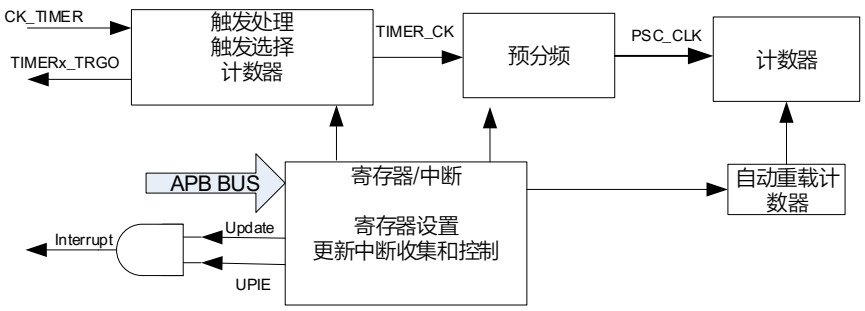
- 计数器宽度：16位；
- 时钟源只有内部时钟；
- 计数模式：向上计数；
- 可编程的预分频器：16位，运行时可以被改变；
- 自动重装载功能；
- 中断输出和DMA请求：更新事件。

22.5.3. 功能描述

结构框图

*图 22-69. 基本定时器结构框图*提供了基本定时器内部配置的细节。

图 22-69. 基本定时器结构框图

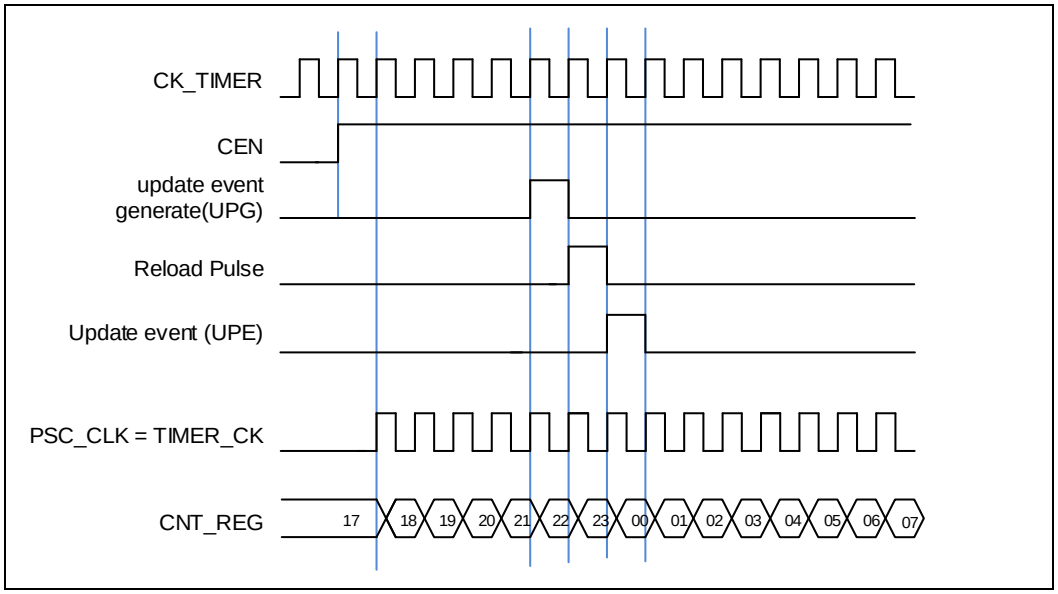


时钟源配置

基本定时器可以由内部时钟源 CK_TIMER 驱动 。

基本定时器仅有一个时钟源 CK_TIMER，用来驱动计数器预分频器。当 CEN 置位，CK_TIMER 经过预分频器(预分频值由 TIMERx_PSC 寄存器确定)产生 PSC_CLK。

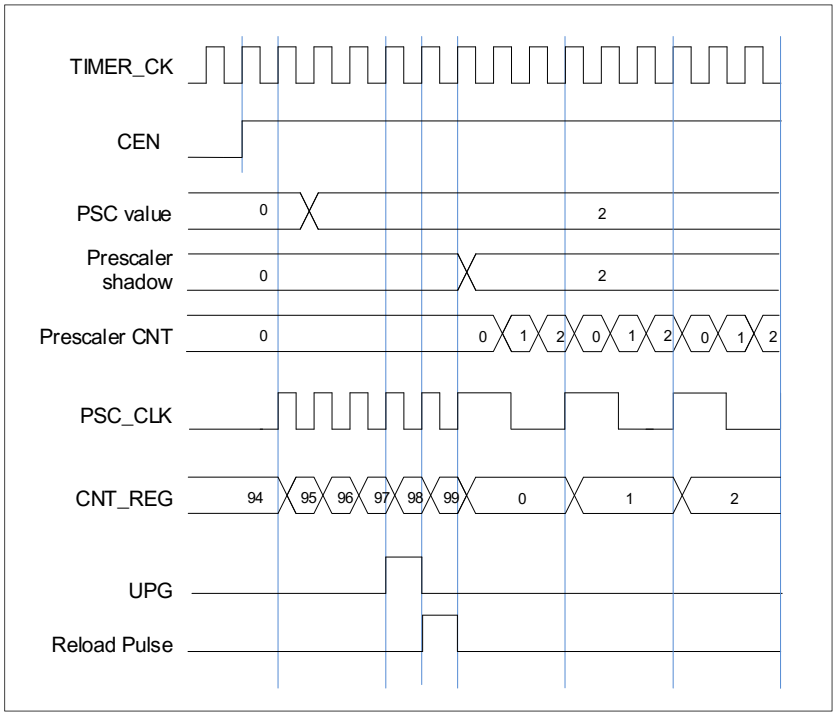
图 22-70. 内部时钟分频为 1 时，计数器的时序图



时钟预分频器

预分频器可以将定时器的时钟(TIMER_CK)频率按 1 到 65536 之间的任意值分频，分频后的时钟 PSC_CLK 驱动计数器计数。分频系数受预分频寄存器 TIMERx_PSC 控制，这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

图 22-71. 当 PSC 数值从 0 变到 2 时，计数器的时序图



计数器向上计数模式

在这种模式，计数器的计数方向是向上计数。计数器从 0 开始向上连续计数到自动加载值(定义在 TIMERx_CAR 寄存器中)，一旦计数器计数到自动加载值，会重新从 0 开始向上计数并产生上溢事件。在向上计数模式中，TIMERx_CTL0 寄存器中的计数方向控制位 DIR 应该被设置成 0。

当通过 TIMERx_SWEVG 寄存器的 UPG 位置 1 来设置更新事件时，计数值会被清 0，并产生更新事件。

如果 TIMERx_CTL0 寄存器的 UPDIS 置 1，则禁止更新事件。

当发生更新事件时，所有影子寄存器(计数器自动重载寄存器，预分频寄存器)都将被更新。

下面这些图给出了一些例子，当 TIMERx_CAR=0x99 时，计数器在不同预分频因子下的行为。

图 22-72. 向上计数时序图，PSC=0/2

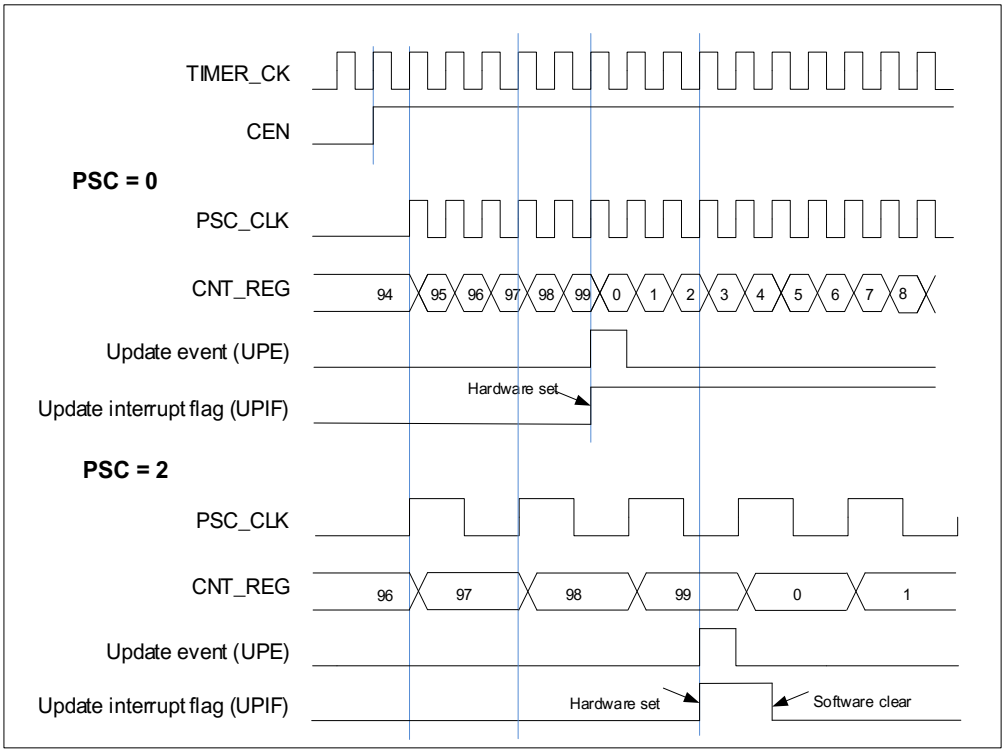
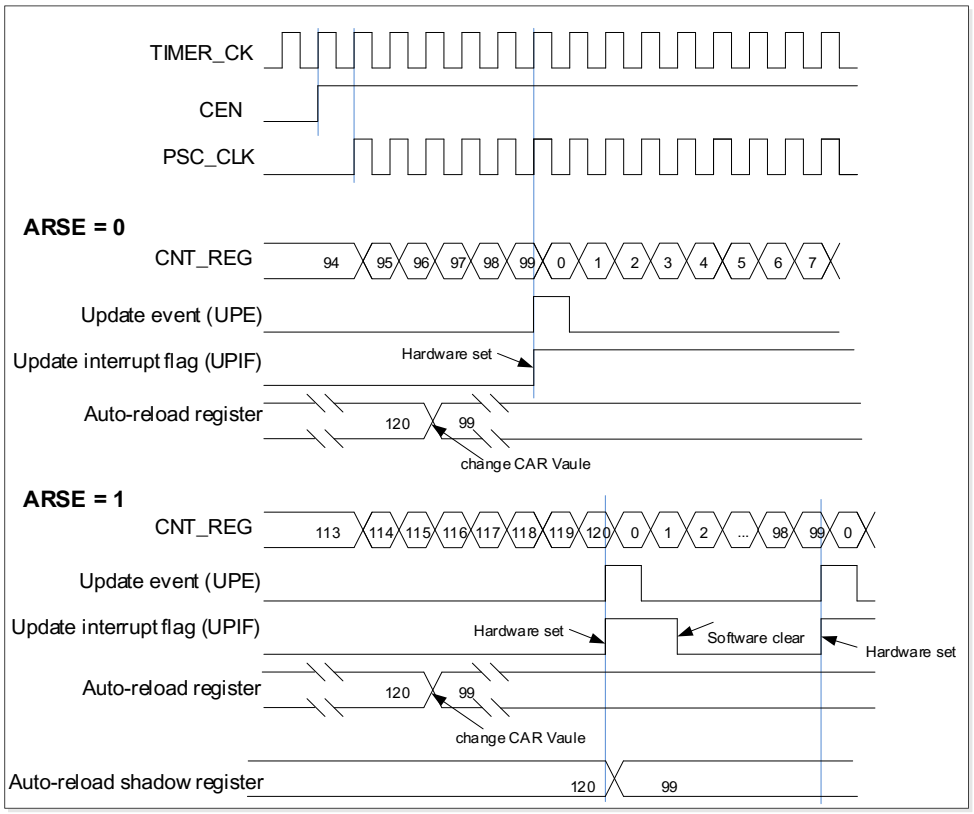


图 22-73. 向上计数时序图，在运行时改变 TIMERx_CAR 寄存器的值



单脉冲模式

单脉冲模式与重复模式是相反的，设置TIMERx_CTL0寄存器的SPM位置1，则使能单脉冲模式。当SPM置1，计数器在下次更新事件到来后清零并停止计数。

一旦设置定时器运行在单脉冲模式下，需要设置TIMERx_CTL0寄存器的定时器使能位CEN=1来使能计数器，此后CEN位一直保持为1直到更新事件发生或者CEN位被软件写0。如果CEN位被软件清0，计数器停止工作，计数值被保持。

定时器调试模式

当Cortex®-M33内核停止，DBG_CTL2寄存器中的TIMERx_HOLD配置位被置1，定时器计数器停止。

22.5.4. TIMERx 寄存器(x=5,6)

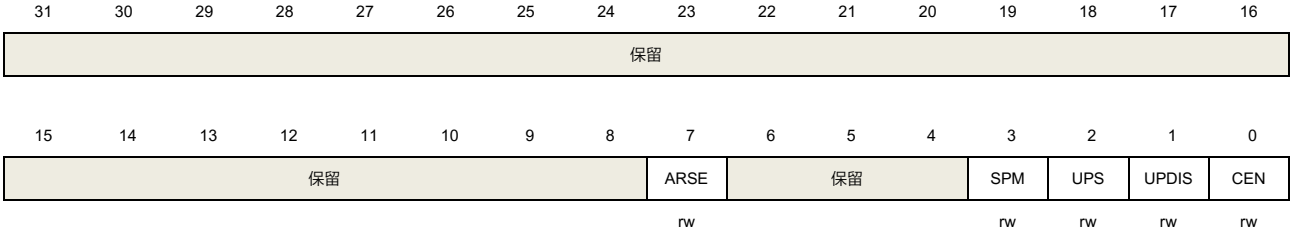
TIMER5 基地址:0x4000 1000

TIMER6 基地址:0x4000 1400

控制寄存器 0(TIMERx_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7	ARSE	自动重载影子使能 0：禁能 TIMERx_CAR 寄存器的影子寄存器。 1：使能 TIMERx_CAR 寄存器的影子寄存器。
6:4	保留	必须保持复位值。
3	SPM	单脉冲模式 0：单脉冲模式禁能。更新事件发生后，计数器继续计数 1：单脉冲模式使能。在下一次更新事件发生时，计数器停止计数
2	UPS	更新请求源 软件配置该位，选择更新事件源. 0：以下事件均会产生更新中断或DMA请求： UPG位被置1 计数器溢出/下溢 复位模式产生的更新 1：下列事件会产生更新中断或DMA请求： 计数器溢出/下溢
1	UPDIS	禁止更新. 该位用来使能或禁能更新事件的产生 0：更新事件使能. 更新事件发生时，相应的影子寄存器被装入预装载值，以下事件均会产生更新事件： UPG位被置1 计数器溢出/下溢

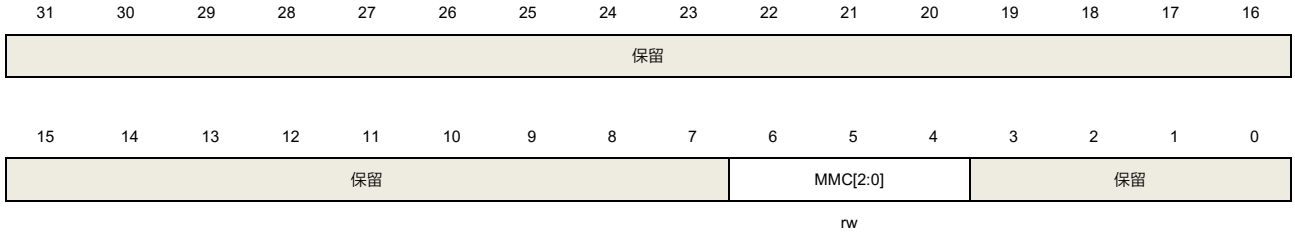
复位模式产生的更新
1：更新事件禁能.
注意：当该位被置 1 时，UPG 位被置 1 或者复位模式不会产生更新事件，但是计数器和预分频器被重新初始化

0	CEN	计数器使能。 0: 计数器禁能。 1: 计数器使能。 在软件将 CEN 位置 1 后，外部时钟、暂停模式和译码器模式才能工作。

控制寄存器 1(TIMERx_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



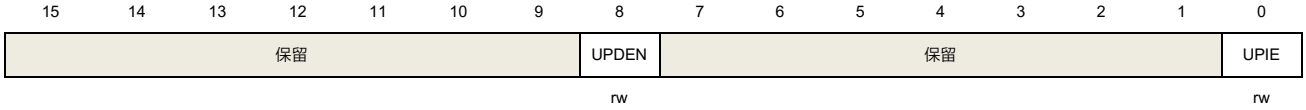
位/位域	名称	描述
31:7	保留	必须保持复位值。
6:4	MMC[2:0]	这些位控制 TRGO 信号的选择，TRGO 信号由主定时器发给从定时器用于同步功能 000：当产生一个定时器复位事件后，输出一个TRGO信号，定时器复位源为： 主定时器产生一个复位事件 TIMERx_SWEVG寄存器中UPG位置1 001：当产生一个定时器使能事件后，输出一个TRGO信号，定时器使能源为： CEN位置1 在暂停模式下，触发输入置1 010：当产生一个定时器更新事件后，输出一个TRGO信号，更新事件源由UPDIS和UPS位决定
3:0	保留	必须保持复位值。

DMA 和中断使能寄存器(TIMERx_DMAINTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



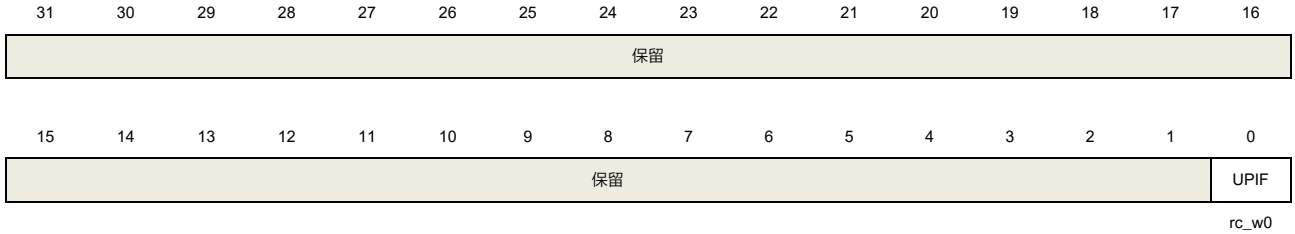


位/位域	名称	描述
31:9	保留	必须保持复位值。
8	UPDEN	更新 DMA 请求使能 0：禁止更新 DMA 请求。 1：使能更新 DMA 请求。
7:1	保留	必须保持复位值。
0	UPIE	更新中断使能 0：禁止更新中断。 1：使能更新中断。

中断标志寄存器(TIMERx_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:1	保留	必须保持复位值。
0	UPIF	更新中断标志 此位在任何更新事件发生时由硬件置 1，软件清 0。 0：无更新中断发生。 1：发生更新中断。

软件事件产生寄存器(TIMERx_SWEVG)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															UPG
															w

位/位域	名称	描述
31:1	保留	必须保持复位值。
0	UPG	更新事件产生 此位由软件置 1，被硬件自动清 0。当此位被置 1 并且向上计数模式，计数器被清 0，预分频计数器将同时被清除。 0：无更新事件产生。 1：产生更新事件。

计数器寄存器(TIMERx_CNT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CNT[15:0]	这些位是当前的计数值。写操作能改变计数器值。

预分频寄存器(TIMERx_PSC)

地址偏移： 0x28
复位值： 0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PSC[15:0]	计数器时钟预分频值 计数器时钟等于 TIMER_CK 时钟除以(PSC+1)，每次当更新事件产生时，PSC 的值被装入到对应的影子寄存器。

计数器自动重载寄存器(TIMERx_CAR)

地址偏移：0x2C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARL[15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CARL[15:0]	这些位定义了计数器的自动重载值。

23. 通用同步异步收发器(USART)

23.1. 简介

通用同步异步收发器(USART)提供了一个灵活方便的串行数据交换接口，数据帧可以通过全双工或半双工，同步或异步的方式进行传输。USART提供了可编程的波特率发生器，能对UCLK(PCLK1, PCLK2)进行分频产生USART发送和接收所需的特定频率。

USART不仅支持标准的异步收发模式，还实现了一些其他类型的串行数据交换模式，如红外编码规范，SIR，智能卡协议，LIN，以及同步单双工模式。它还支持多处理器通信和Modem流控操作(CTS/RTS)。数据帧支持从LSB或者MSB开始传输。数据位的极性和TX/RX引脚都可以灵活配置。

所有USART都支持DMA功能，以实现高速率的数据通信。

23.2. 主要特性

- NRZ标准格式；
- 全双工异步通信；
- 半双工单线通信；
- 可编程的波特率产生器：
  - 由外设时钟分频产生，其中USART0/5由PCLK2分频得到，USART1/2和UART3/4/6/7由PCLK1分频得到；
  - 8或16倍过采样；
  - 最高速度可到12.5MBits/s(PCLK2为100M且过采样为8)；
- 完全可编程的串口特性：
  - 偶校验位，奇校验位，无校验位的生成/检测；
  - 数据位(8或9位)；
  - 产生0.5，1，1.5或者2个停止位；
- 发送器和接收器可分别使能；
- 支持硬件Modem流控操作(CTS/RTS)；
- DMA访问数据缓冲区；
- LIN断开帧的产生和检测；
- 支持红外数据协议(IrDA)；
- 同步传输模式以及为同步传输输出发送时钟；
- 支持兼容ISO7816-3的智能卡接口：
  - 字节模式(T=0)；
  - 块模式(T=1)；
  - 直接和反向转换；
- 多处理器通信：
  - 如果地址不匹配，则进入静默模式；
  - 通过线路空闲检测或者地址匹配检测从静默模式唤醒；
- 多种状态标志：

- 传输检测标志：接收缓冲区不为空(RBNE)，发送缓冲区为空(TBE)，传输完成(TC)，忙(BSY)；
- 错误检测标志：过载错误(ORERR)，噪声错误(NERR)，帧格式错误(FERR)，奇偶校验错误(PERR)；
- 硬件流控操作标志：CTS变化(CTSF)；
- LIN模式标志：LIN断开检测(LBDF)；
- 多处理器通信模式标志：IDLE帧检测(IDLEF)；
- 智能卡模式标志：块结束(EBF)和接收超时(RTF)；
- 若相应的中断使能，这些事件发生将会触发中断。

USART0/1/2/5完全实现上述功能，但是UART3/4/6/7只实现了上面所介绍功能的部分，下面这些功能在UART3/4/6/7中没有实现：

- 智能卡模式
- 同步模式
- 硬件流操作(CTS/RTS)
- 设置数据极性

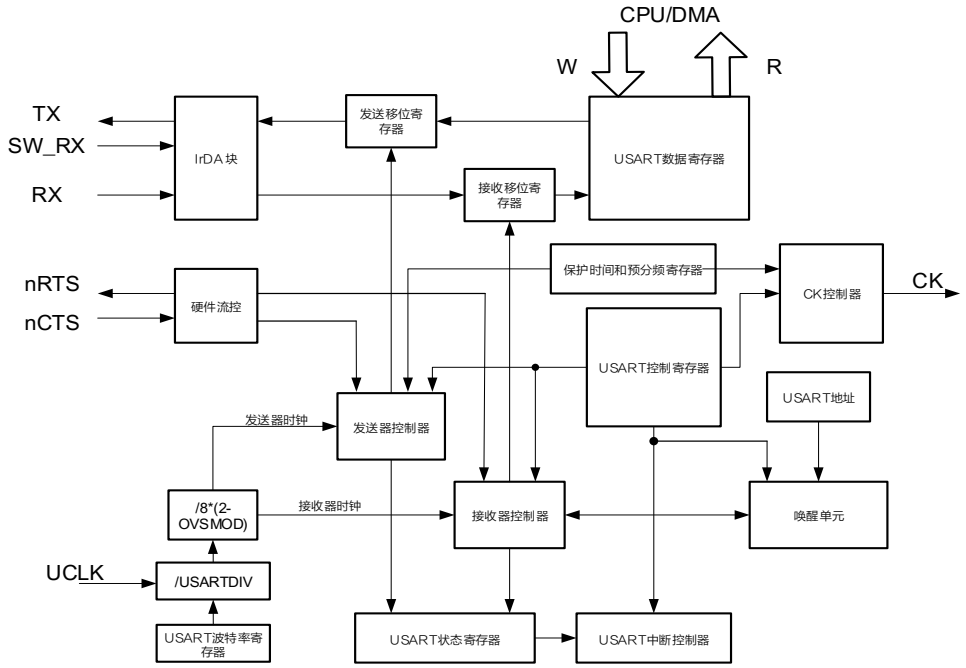
23.3. 功能描述

USART接口通过*表19-1. USART重要引脚描述*中主要引脚从外部连接到其他设备。

表 23-1. USART 重要引脚描述

引脚	类型	描述
RX	输入	接收数据
TX	输出 I/O(单线模式/智能卡模式)	发送数据。当 USART 使能后，若无数据发送，默认为高电平
CK	输出	用于同步通信的串行时钟信号
nCTS	输入	硬件流控模式发送使能信号
nRTS	输出	硬件流控模式发送请求信号

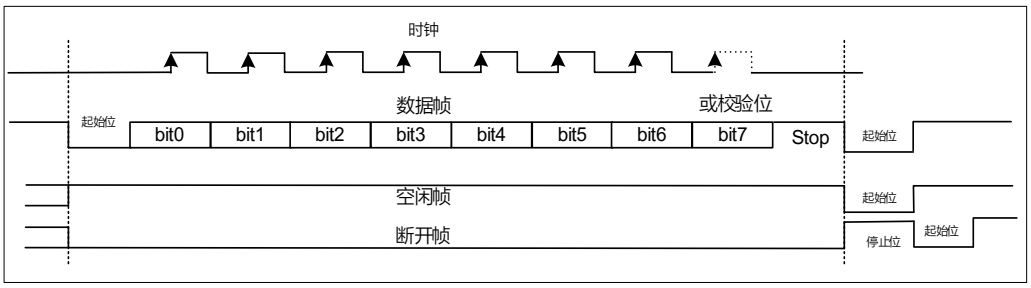
图 23-1. USART 模块内部框图



23.3.1. USART 帧格式

USART数据帧开始于起始位，结束于停止位。USART_CTL0寄存器中WL位可以设置数据长度。将USART_CTL0寄存器中PCEN置位，最后一个数据位可以用作校验位。若WL位为0，第七位为校验位。若WL位置1，第八位为校验位。USART_CTL0寄存器中PM位用于选择校验位的计算方法。

图 23-2. USART 字符帧(8 数据位和 1 停止位)



在发送和接收中，停止位可以由USART_CTL1寄存器中STB[1:0]位域配置。

表 23-2. 停止位配置

STB[1:0]	停止位长度(位)	功能描述
00	1	默认值
01	0.5	智能卡模式接收
10	2	标准 USART，单线以及调制解调模式
11	1.5	智能卡模式发送和接收

在一个空闲帧中，所有位都为1。数据帧长度与正常USART数据帧长度相同。

紧随停止位后多个低电平为中断帧。USART数据帧的传输速度由UCLK时钟频率，波特率发生器的配置，以及过采样模式共同决定。

23.3.2. 波特率发生

波特率分频系数是一个16位的数字，包含12位整数部分和4位小数部分。波特率发生器使用这两部分组合所得的数值来确定波特率。由于具有小数部分的波特率分频系数，将使USART能够产生所有标准波特率。

波特率分频系数(USARTDIV)与UCLK具有如下关系：

如果过采样率是16，公式为：

$$\text{USARTDIV} = \frac{\text{UCLK}}{16 \times \text{Baud Rate}} \tag{23-1}$$

如果过采样是8，公式为：

$$\text{USARTDIV} = \frac{\text{UCLK}}{8 \times \text{Baud Rate}} \tag{23-2}$$

例如，当过采样是16：

1. 由USART_BAUD寄存器的值得到USARTDIV：
   假设USART_BAUD=0x21D，则INTDIV=33(0x21)，FRADIV=13(0xD)。
   UASRTDIV=33+13/16=33.81。
2. 由USARTDIV得到USART_BAUD寄存器的值：
   假设要求UASRTDIV=30.37，INTDIV=30(0x1E)。
   16*0.37=5.92，接近整数6，所以FRADIV=6(0x6)。
   USART_BAUD=0x1E6。

注意：若取整后FRADIV=16(溢出)，则进位必须加到整数部分。

23.3.3. USART 发送器

如果USART_CTL0寄存器的发送使能位(TEN)被置位，当发送数据缓冲区不为空时，发送器将会通过TX引脚发送数据帧。TX引脚的极性可以通过USART_CTL3寄存器中TINV位来配置。时钟脉冲通过CK引脚输出。

TEN置位后发送器会发出一个空闲帧。TEN位在数据发送过程中是不可以被复位的。

系统上电后，TBE默认为1。在USART_STAT0寄存器中TBE置位时，数据可以在不覆盖前一个数据的情况下写入USART_DATA寄存器。当数据写入USART_DATA寄存器，TBE位将被清0。在数据由USART_DATA移入移位寄存器后，该位由硬件置1。如果数据在一个发送过程正在进行时被写入USART_DATA寄存器，它将首先被存入发送缓冲区，在当前发送过程完成时传输到发送移位寄存器中。如果数据在写入USART_DATA寄存器时，没有发送过程正在进行，TBE位将被清零然后迅速置位，原因是数据将立刻传输到发送移位寄存器。

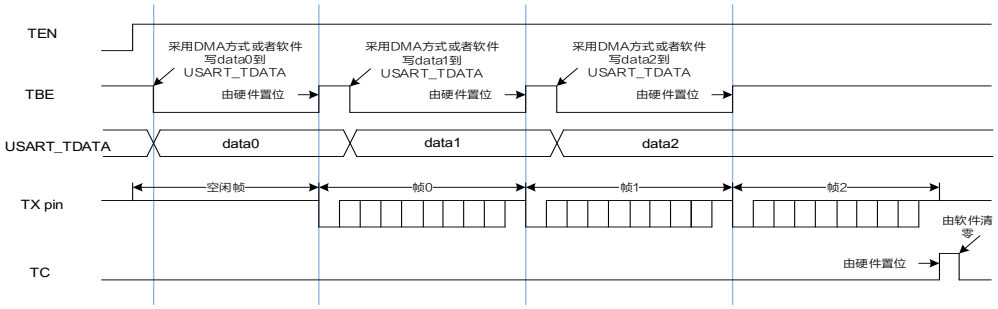
假如一帧数据已经发送出去，并且TBE位已经置位，那么USART_STAT0寄存器中TC位将被置

1。如果USART_CTL0寄存器中的中断使能位(TCIE)为1，将会产生中断。

*图19-3. USART发送步骤*给出了USART发送步骤。软件操作按以下流程进行：

1. 在USART_CTL0寄存器中置位UEN位，使能USART；
2. 通过USART_CTL0寄存器的WL设置字长；
3. 在USART_CTL1寄存器中写STB[1:0]位来设置停止位的长度；
4. 如果选择了多级缓存通信方式，应该在USART_CTL2寄存器中使能DMA(DENT位)；
5. 在USART_BAUD寄存器中设置波特率；
6. 在USART_CTL0寄存器中设置TEN位；
7. 等待TBE置位；
8. 向USART_DATA寄存器写数据；
9. 若DMA未使能，每发送一个字节都需重复步骤7-8；
10. 等待TC=1，发送完成。

图 23-3. USART 发送步骤



在禁用USART或进入低功耗状态之前，必须等待TC置位。先读USART_STAT0然后再写USART_DATA可将TC位清0。在多级缓存通信方式(DENT=1)下，直接向TC写0，也能清TC。

23.3.4. USART 接收器

上电后，USART接收器使能按以下步骤进行：

1. 在USART_CTL0寄存器中置位UEN位，使能USART；
2. 写USART_CTL0寄存器的WL去设置字长；
3. 在USART_CTL1寄存器中写STB[1:0]位来设置停止位的长度；
4. 如果选择了多级缓存通信方式，应该在USART_CTL2寄存器中使能DMA(DENR位)；
5. 在USART_BAUD寄存器中设置波特率；
6. 在USART_CTL0中设置REN位。

接收器在使能后若检测到一个有效的起始脉冲便开始接收码流。在接收一个数据帧的过程中会检测噪声错误，奇偶校验错误，帧错误和过载错误。

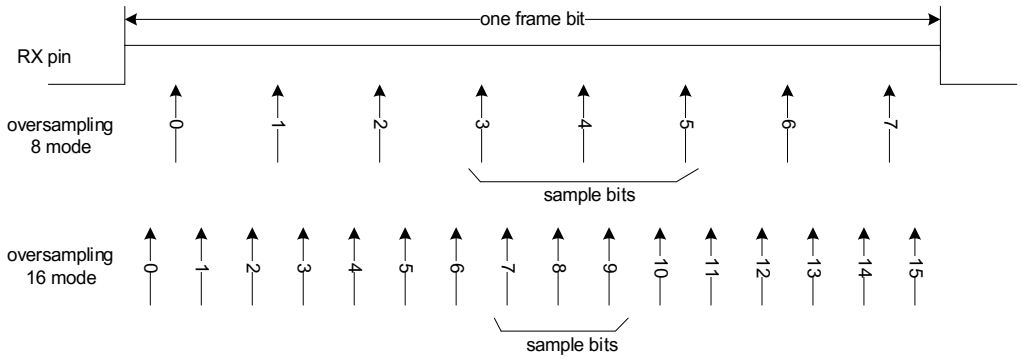
当接收到一个数据帧，USART_STAT0寄存器中的RBNE置位，如果设置了USART_CTL0寄存器中相应的中断使能位RBNEIE，将会产生中断。在USART_STAT0寄存器中可以观察接收状态标志。

软件可以通过读USART_DATA寄存器或者DMA方式获取接收到的数据。不管是直接读寄存器还是通过DMA，只要是对USART_DATA寄存器的一个读操作都可以清除RBNE位。

在接收过程中，需使能REN位，不然当前的数据帧将会丢失。

在默认情况下，接收器通过获取三个采样点的值来估计该位的值。如果是8倍过采样模式，选择第3、4、5个采样点；如果是16倍过采样模式，选择第7、8、9个采样点。如果在3个采样点中有2个或3个为0，该数据位被视为0，否则为1。如果3个采样点中有一个采样点的值与其他两个不同，不管是数据位，奇偶校验位或者停止位，都将产生噪声错误(NERR)。如果使能DMA，并置位USART_CTL2寄存器中ERRIE，将会产生中断。如果在USART_CTL2中置位OSB，接收器将仅获取一个采样点来估计一个数据位的值。在这种情况下将不会检测到噪声错误。

图 23-4. 过采样方式接收一个数据位(OSB=0)



通过置位USART_CTL0寄存器中的PCEN位使能奇偶校验功能，接收器在接收一个数据帧时计算预期奇偶校验值，并将其与接收到的奇偶校验位进行比较。如果不相等，USART_STAT0寄存器中PERR被置位。如果设置了USART_CTL0寄存器中的PERRIE位，将产生中断。

如果在停止位传输过程中RX引脚为0，将产生帧错误，USART_STAT0寄存器中FERR置位。如果使能DMA并置位USART_CTL2寄存器中ERRIE位，将产生中断。

当接收到一帧数据，而RBNE位还没有被清零，随后的数据帧将不会存储在数据接收缓冲区中。USART_STAT0寄存器中的溢出错误标志位ORERR将置位。如果使能DMA并置位USART_CTL2寄存器中ERRIE位或者置位RBNEIE，将产生中断。

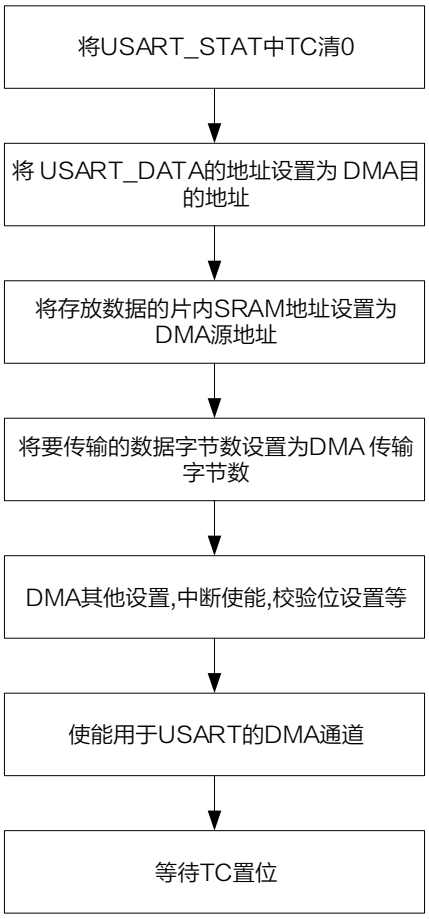
若接收过程中，产生了噪声错误(NERR)、校验错误(PERR)、帧错误(FERR)或溢出错误(ORERR)，则NERR、PERR、FERR或ORERR将和RBNE同时置位。如果没有使能DMA，RBNE中断发生时，软件需检查是否有噪声错误、校验错误、帧错误或溢出错误产生。

23.3.5. DMA 方式访问数据缓冲区

为减轻处理器的负担，可以采用DMA访问发送缓冲区或者接收缓冲区。置位USART_CTL2寄存器中DENT位可以使能DMA发送，置位USART_CTL2寄存器中DENR位可以使能DMA接收。

当DMA用于USART发送时，DMA将数据从片内SRAM传送到USART的数据缓冲区。配置步骤如*图19-5. 采用DMA方式实现USART数据发送配置步骤*所示。

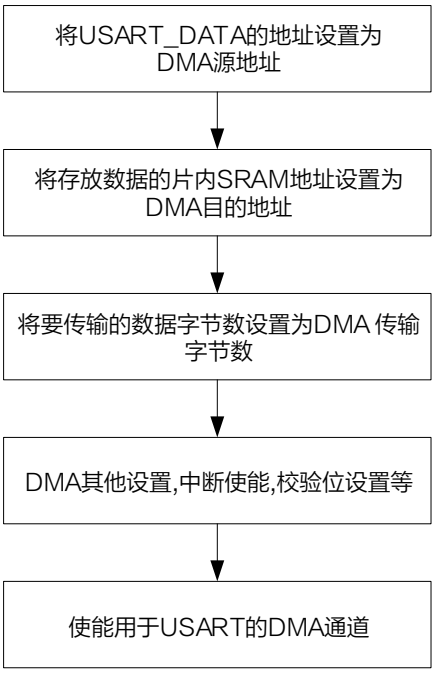
图 23-5. 采用 DMA 方式实现 USART 数据发送配置步骤



所有数据帧都传输完成后，USART_STAT0寄存器中TC位置1。如果USART_CTL0寄存器中TCIE置位，将产生中断。

当DMA用于USART接收时，DMA将数据从接收缓冲区传送到片内SRAM。配置步骤如*图 19-6. 采用DMA方式实现USART数据接收配置步骤*所示。如果将USART_CTL2寄存器中ERRIE位置1，USART_STAT0寄存器中的错误标志位(FERR、ORERR和NERR)被置位时将产生中断。

图 23-6. 采用 DMA 方式实现 USART 数据接收配置步骤

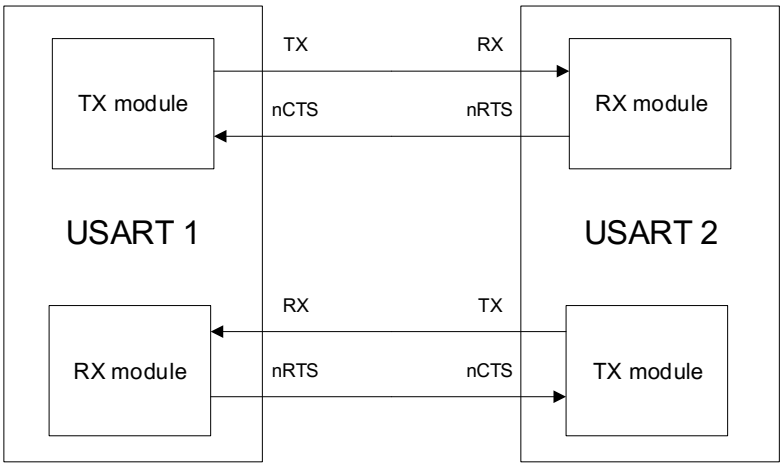


当USART接收到的数据数量达到了DMA传输数据数量，DMA模块将产生传输完成中断。

23.3.6. 硬件流控制

硬件流控制功能通过nCTS和nRTS引脚来实现。通过将USART_CTL2寄存器中RTSEN位置1来使能RTS流控，将USART_CTL2寄存器中CTSEN位置1来使能CTS流控。

图 23-7. 两个 USART 之间的硬件流控制



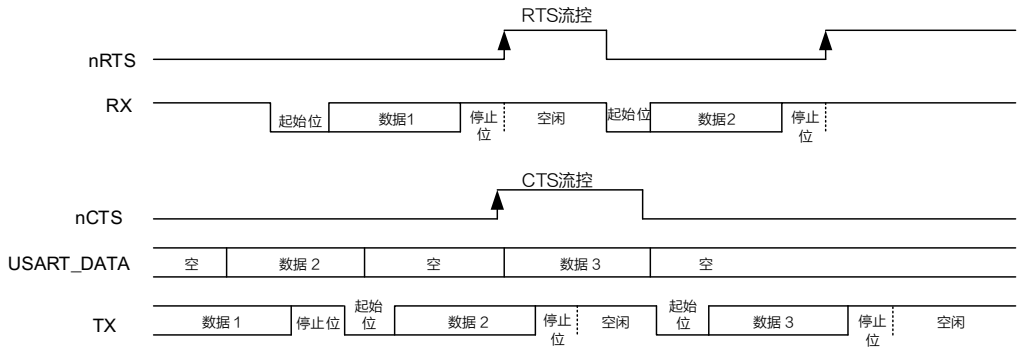
RTS 流控

USART接收器输出nRTS，它用于反映接收缓冲区状态。当一帧数据接收完成，nRTS变成高电平，这样是为了阻止发送器继续发送下一帧数据。当接收缓冲区满时，nRTS保持高电平，可以通过读USART_DATA寄存器来清零。

CTS 流控

USART发送器监视nCTS输入引脚来决定数据帧是否可以发送。如果USART_STAT0寄存器中TBE位是0且nCTS为低电平，发送器发送数据帧。在发送期间，若nCTS信号变为高电平，发送器将会在当前数据帧发送完成后停止发送。

图 23-8. 硬件流控制



如果CTS流控制被使能，在nCTS引脚信号发生变化时，USART_STAT0寄存器中CTSF位会置1。如果USART_CTL2寄存器中的CTSIE位被置位，将会产生中断。

23.3.7. 多处理器通信

在多处理器通信中，多个USART被连接成一个网络。对于一个设备来说，监视所有来自RX引脚的消息，是一种巨大的负担。为减轻设备负担，软件可以通过将USART_CTL0寄存器中RWU位置1使一个USART进入静默模式。

如果USART处于静默模式，所有的接收状态标志位将不会被置位。软件可以通过对RWU清零来唤醒USART。

此外，USART可以由硬件用以下两种方式中的一种来唤醒：空闲总线检测和地址匹配检测。

设备默认使用空闲总线检测方法唤醒USART。如果RWU位为0，RX引脚检测到空闲帧，USART_STAT寄存器中的IDLEF位会置位。如果RWU位置位，RX引脚检测到空闲帧时，硬件会将RWU清零，从而退出静默模式，当它是被空闲帧唤醒时，USART_STAT寄存器中IDLEF位不会被置1。

当USART_CTL0寄存器中WM被置位，数据最高位会被认为是地址标志位。如果地址标志位为1，该字节被认为是地址字节。如果地址字节的低4位与USART_CTL1寄存器中的ADDR[3:0]相同，硬件会将RWU清零，并退出静默模式。接收到将USART唤醒的数据帧，RBNE将置位。状态标志可以从USART_STAT0寄存器中获取。如果地址字节的低4位与USART_CTL1寄存器中的ADDR[3:0]不相同，硬件会置位RWU并进入静默模式。在这种情况下，RBNE不会被置位。

如果采用地址匹配检测，默认情况下，IDLEF不会置位并且接收器对地址字节不做奇偶校验。如果USART_CHC寄存器中PCM位以及USART_CTL0寄存器中PCEN位被置位。地址字节最高位被视为校验位，其余位被视为地址。

当RBNE为0时，RWU可以被写为0或1。

23.3.8. LIN 模式

将USART_CTL1寄存器的LMEN置位即可使能本地互联网络模式。

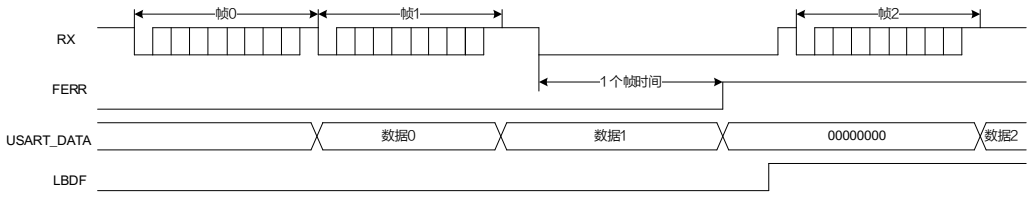
在LIN模式下，USART_CTL1寄存器中CKEN，WL，STB[1:0]以及USART_CTL2的SCEN，HDEN，IREN位都应该被清0。

在发送一个普通数据帧时，LIN发送过程与普通发送过程相同。当USART_CTL0寄存器中SBKCMD置位时，USART在发送完一个停止位后会连续发送13个0。

断开检测功能完全独立于普通USART接收器。因此，断开检测可以是在空闲状态下，也可以在数据传输过程中。USART_CTL1寄存器中LBLEN位可以选择断开帧长度。如果在RX引脚检测到大于或等于与预期断开帧长度相等数量的(LBLEN=0时，10个0；LBLEN=1时，11个0)，USART_STAT0寄存器中LBDF置位。如果USART_CTL1寄存器中LBDIE被置位，将产生中断。

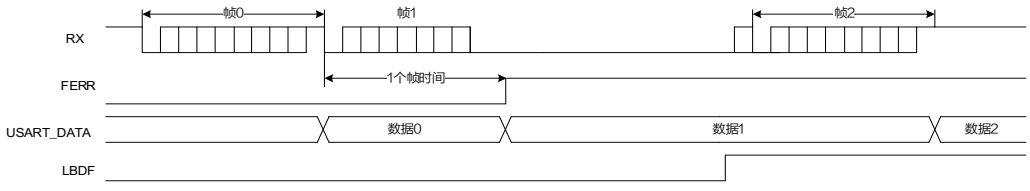
如*图19-9. 空闲状态下检测断开帧*所示，如果断开帧发生在空闲状态下，USART接收器会接收到一个全0数据帧，同时FERR置位。

图 23-9. 空闲状态下检测断开帧



如*图19-10. 数据传输过程中检测断开帧*所示，如果断开帧发生在数据传输过程中，当前传输帧发生错误，FERR置位。

图 23-10. 数据传输过程中检测断开帧



23.3.9. 同步通信模式

USART支持主机模式下的全双工同步串行通信，可以通过置位USART_CTL1的CKEN位来使能。在同步模式下，USART_CTL1的LMEN和USART_CTL2的SCEN，HDEN，IREN位应该被清0。CK引脚作为USART同步发送器的时钟输出，仅当TEN位被使能时，它才被激活。在起始位和停止位传送期间，不会从CK引脚输出时钟脉冲。USART_CTL1的CLEN位用来决定在最低

位(地址索引位)发送期间是否有时钟信号输出。USART_CTL1的CPH位用来决定数据在第一个时钟沿被采样还是在第二个时钟沿被采样。USART_CTL1的CPL位用来决定在USART同步模式空闲状态下，时钟引脚的电平。

CK引脚输出波形由USART_CTL1寄存器中CPL，CPH，CLEN位决定。软件仅在USART禁用(UEN=0)时才可以改变它们的值。

如果USART_CTL0寄存器中REN置位，接收器的工作方式与普通模式下接收方式是不同的。接收器在时钟捕获沿采样数据，并无任何过采样。

图 23-11. 同步模式下的 USART 示例

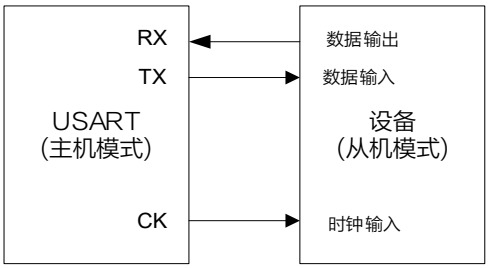
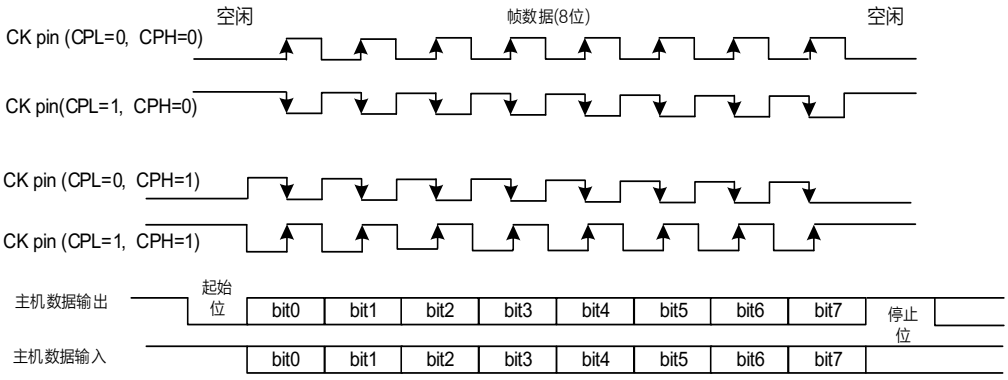


图 23-12. 8-bit 格式的 USART 同步通信波形(CLEN=1)

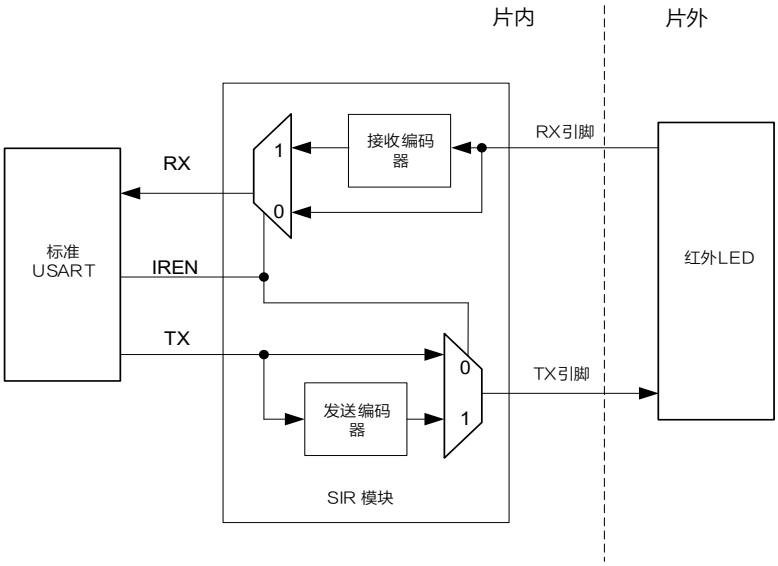


23.3.10. 串行红外(IrDA SIR)编解码功能模块

串行红外编解码功能通过置位USART_CTL2寄存器中IREN使能。在IrDA模式下，USART_CTL1寄存器的LMEN，STB[1:0]，CKEN位和USART_CTL2寄存器的HDEN，SCEN位将被清0。

在IrDA模式下，USART数据帧由SIR发送编码器进行调制，调制后的信号经由红外LED进行发送，经解调后将数据发送至USART接收器。对于编码器而言，波特率应小于115200。

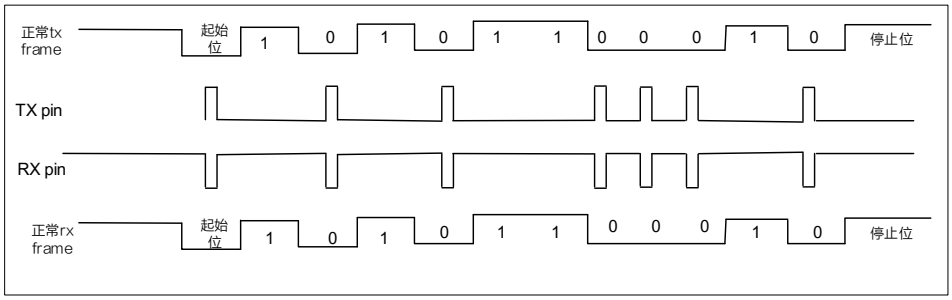
图 23-13. IrDA SIR ENDEC 模块



在IrDA模式下，TX引脚电平与RX引脚不同。TX引脚通常为低电平，RX引脚通常为高电平。IrDA引脚电平保持稳定代表逻辑'1'，红外光源脉冲(RTZ信号)代表逻辑'0'。其脉冲宽度通常占一个位时间的3/16。IrDA无法检测到宽度小于一个1个PSC时钟的脉冲。如果脉冲宽度大于1但是小于2倍PSC时钟，IrDA则无法可靠的检测到。

由于IrDA是一种半双工协议，因此在IrDA SIR ENDEC模块中，发送和接收不得同时进行。

图 23-14. IrDA 数据调制



将USART_CTL2寄存器中IRLP置位可以使SIR子模块工作在低功耗模式下。发送编码器由PCLK分频得到的低速时钟来驱动。分频系数在USART_GP寄存器中PSC[7:0]位配置，USART_BAUD寄存器需配置为16*PSC[7:0]。TX引脚脉冲宽度可以为低功耗波特率的3倍。接收器解码器工作模式与正常IrDA模式相同。

23.3.11. 半双工通信模式

通过设置USART_CTL2寄存器的HDEN位，可以使能半双工模式。

在半双工通信模式下，USART_CTL1寄存器的LMEN，CKEN位和USART_CTL2寄存器的SCEN，IREN位清零。

半双工模式下，TX引脚和RX引脚将从内部连接到一起，RX引脚不再使用。TX引脚应该被配置

为开漏输出模式。通信冲突由软件处理。

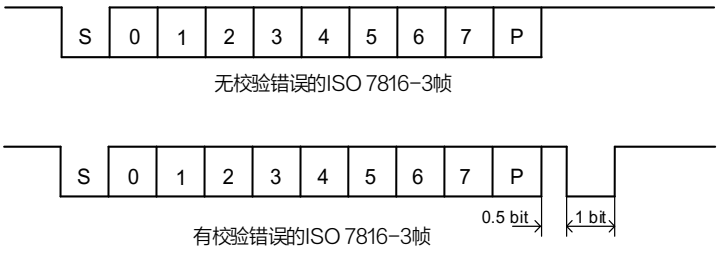
23.3.12. 智能卡(ISO7816-3)模式

智能卡模式是一种异步通信模式，支持ISO7816-3协议。支持字节模式(T=0)和块模式(T=1)。将USART_CTL2寄存器的SCEN位置1，即可使能智能卡模式。在智能卡模式下，USART_CTL1寄存器的LMEN位和USART_CTL2的HDEN，IREN位应该清0。

如果CKEN位被置位，USART通过CK引脚向智能卡提供一个由PCLK分频得到的时钟。分频系数可在USART_GP寄存器中PSC[4:0]配置。CK引脚只为智能卡提供时钟源。

智能卡模式是一种半双工通信协议模式。当与智能卡连接时，TX引脚需要被设置成开漏模式，外接上拉电阻，这个引脚将会与智能卡驱动同一条双向连线。智能卡模式下的帧格式为：1起始位+9数据位(包括1奇偶校验位)+1.5停止位。其中0.5个停止位被配置为接收器的停止位。

图 23-15. ISO7816-3 数据帧格式



字节模式(T=0)

相较于正常操作模式下的时序，从发送移位寄存器到TX引脚的传递时间延迟了半个波特率时钟，并且TC标志的置位将根据USART_GP寄存器的GUAT[7:0]设置延迟某一特定时间。在智能卡模式下，在最后一帧数据的停止位之后，内部保护时间计数器将开始计数，GUAT[7:0]的值配置为ISO7816-3协议的CGT减12。在保护时间寄存器向上计数这段时间TC将被强制拉低，当计数达到设定值时，TC被置位。

在USART发送期间，如果检测到有奇偶校验错误，TX引脚在停止位最后一个位时间内被拉低，智能卡发送一个NACK信号。根据协议，USART会自动重发SCRTNUM次。在重发数据帧前面会插入2位的帧间隔。最后一次重发字节后，TC会立即被置位。如果在最大重发次数后仍然收到NACK信号，USART将会停止发送，帧错误标志被置位。USART不会将NACK信号作为起始位。

在USART接收期间，如果在当前数据帧检测到校验错误，TX引脚在停止位的最后一个位时间内会被拉低。智能卡会接收到NACK信号。然后在智能卡端会产生一个帧错误。如果接收到的字节是错误的，RBNE中断和接收DMA请求都不会被激活。根据协议，智能卡将要重新发送数据。如果在最大的重新发送次数后(这个次数的具体值在SCRTNUM位域)，接收到的字符仍然是错误的，USART停止发送NACK信号和标注这个错误为奇偶校验错误。将USART_CTL2寄存器中的NKEN置位可以使能NACK信号。

空闲帧和断开帧在智能卡模式下不适用。

块模式(T=1)

在T=1(块模式)下，USART_CTL2寄存器的NKEN位应该清零来关闭校验错误发送。

当要从智能卡读取数据时，软件必须将USART_RT寄存器设置成BWT(块等待)-11的值并将RBNEIE置位。这个超时时间体现在波特时间单元。如果这个时间到了，还没有从智能卡收到应答，USART_STAT1寄存器中RTF位被置位。如果设置了USART_CTL3寄存器中RTIE位，将会产生中断。如果在超时之前收到了第一个字节，则会引起RBNE中断。如果用DMA从智能卡读取数据，也只能在第一个字节接收好后再去使能DMA。

第一个字节接收到后，RT[23:0]的值设置成CWT(字节等待时间)-11来使能两个连续字节间最大帧间隔自动校验。如果在RT[23:0]周期内智能卡停止发送字节，USART_STAT1寄存器中RTF将被置位。

USART用一个块长度计数器统计收到的字节数，这个计数器在USART开始发送的时候自动清0(TBE=0)。这个块长度信息位于智能卡发出数据的第三个字节(序言部分)，这个值必须写入USART_RT寄存器BL[7:0]。块长度计数器从0开始计数到最大值BL[7:0]+4。在块计数器计数到最大值时，USART_STAT1寄存器中块结束状态标志位EBF置位。如果设置了USART_CTL3寄存器中的EBIE位，将会产生中断。如果块长度发生错误，RTF置位。

当使用DMA模式接收时，在块开始之前，这个寄存器必须被设定为最小值(0x0)。为了得到这个值，在收到第四个字节后，会引起一个中断。软件可以从接收缓冲区读取第三个字节作为块长度。

如果接收时不使用DMA方式，为避免产生EBF状态标志，BL[7:0]需首先配置为最大值0xFF。在收到第三个字节后，真正的块长度值可以重新写入到BL[7:0]。

直接和反向转换

智能卡协议定义了两种转换方式：直接转换和反向转换。

如果选择直接转换，从数据帧的最低位开始传输，TX引脚高电平代表逻辑'1'，偶校验。在这种情况下，USART_CTL3寄存器中MSBF位和DINV位都为0。

如果选择反向转换，从数据帧的最高位开始传输，TX引脚高电平代表逻辑'0'，偶校验。在这种情况下，USART_CTL3寄存器中MSBF位和DINV位都为1。

23.3.13. USART 中断

USART中断事件和标志如*表19-3. USART中断请求*所示：

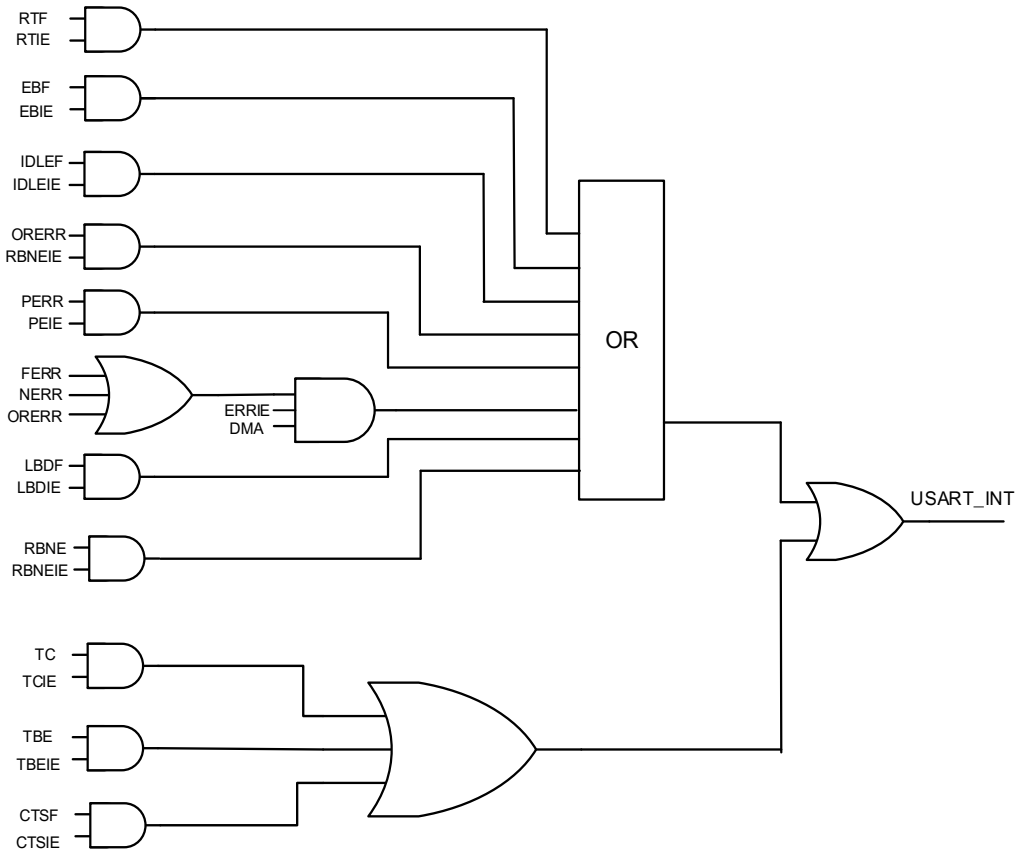
表 23-3. USART 中断请求

中断事件	事件标志	使能控制位
发送数据寄存器空	TBE	TBEIE
CTS标志	CTSF	CTSIE
发送结束	TC	TCIE
接收到的数据可以读取	RBNE	RBNEIE

中断事件	事件标志	使能控制位
检测到过载错误	ORERR	
检测到线路空闲	IDLEF	IDLEIE
奇偶校验错误	PERR	PERRIE
LIN模式下，检测到断开标志	LBDF	LBDIE
接收超时错误	RTF	RTIE
发现块尾	EBF	EBIE
接收错误(噪声错误、溢出错误、帧错误)当DMA接收使能时	NERR或ORERR或FERR	ERRIE

在发送给中断控制器之前，所有的中断事件是逻辑或的关系。因此在任何时候 USART 只能向控制器产生一个中断请求。不过软件可以在一个中断服务程序里处理多个中断事件。

图 23-16. USART 中断映射框图



23.4. USART 寄存器

USART0基地址：0x4001 1000
USART1基地址：0x4000 4400
USART2基地址：0x4000 4800
UART3基地址：0x4000 4C00
UART4基地址：0x4000 5000
USART5基地址：0x4001 1400
UART6基地址：0x4000 7800
UART7基地址：0x4000 7C00

23.4.1. 状态寄存器 0(USART_STAT0)

地址偏移：0x00
复位值：0x0000 00C0

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CTSF	LBDF	TBE	TC	RBNE	IDLEF	ORERR	NERR	FERR	PERR
						rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r

位/位域	名称	描述
31:10	保留	必须保持复位值。
9	CTSF	CTS变化标志 如果设置了USART_CTL2寄存器中CTSEN位，当nCTS输入变化时，该位由硬件置位。如果设置了USART_CTL2寄存器中CTSIE位，将产生中断。 该位由软件清0。 0：nCTS状态线没有变化。 1：nCTS状态线发生变化。 该位对UART3/4/6/7无效。
8	LBDF	LIN断开检测标志 寄存器USART_CTL1寄存器中LMEN置位，说明检测到LIN断开。如果USART_CTL1寄存器中LBDIE被置位时，将产生中断。 该位由软件清0。 0：没有检测到LIN断开字符。 1：检测到LIN断开字符。
7	TBE	发送数据缓冲区空 上电复位或待发送数据已发送至移位寄存器后，该位置1。USART_CTL0寄存器中TBEIE被置位将产生中断。

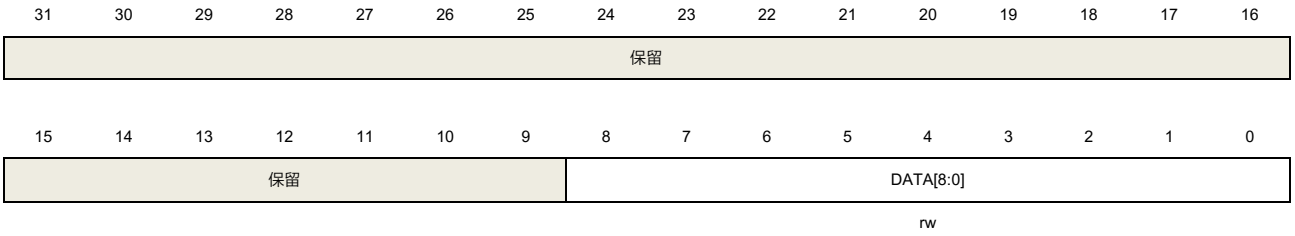
		该位在软件将待发送数据写入USART_DATA时被清0。 0：发送数据缓冲区不为空。 1：发送数据缓冲区空。
6	TC	发送完成 上电复位后，该位被置1。如果TBE置位，在当前数据发送完成时该位置1。 USART_CTL0寄存器中TCIE被置位将产生中断。 该位由软件清0。 0：发送没有完成 1：发送完成
5	RBNE	读数据缓冲区非空。 当读数据缓冲区接收到来自移位寄存器的数据时，该位置1。当寄存器USART_CTL0的RBNEIE位被置位，将会有中断产生。 软件可以通过对该位写0或读USART_DATA寄存器来将该位清0。 0：读数据缓冲区为空。 1：读数据缓冲区不为空。
4	IDLEF	空闲线检测标志。 在一个帧时间内，在RX引脚检测到空闲状态，该位置1。当寄存器USART_CTL0的IDLEIE位被置位，将会有中断产生。 软件先读USART_STAT0，再读USART_DATA可清除该位。 0：未检测到空闲帧。 1：检测到空闲帧。
3	ORERR	溢出错误 在RBNE置位的情况下，如果USART_DATA寄存器接收到来自移位寄存器的数据，该位置1。当寄存器USART_CTL2的ERRIE位被置位，将会有中断产生。 软件先读USART_STAT0，再读USART_DATA可清除该位。 0：没有检测到溢出错误。 1：检测到溢出错误。
2	NERR	噪声错误标志 将USART_CTL2寄存器中OSB清0，在接收数据时，如果在RX引脚检测到噪声，该位被置位。当寄存器USART_CTL2的ERRIE位被置位，将会有中断产生。 软件先读USART_STAT0，再读USART_DATA可清除该位。 0：没检测到噪声错误。 1：检测到噪声错误。
1	FERR	帧错误 接收数据期间，在停止位传输过程中，RX引脚检测到低电平，该位被置位。当寄存器USART_CTL2的ERRIE位被置位，将会有中断产生。 软件先读USART_STAT0，再读USART_DATA可清除该位。 0：未检测到帧错误 1：检测到帧错误
0	PERR	校验错误 当接收到的数据帧校验位与预期校验值不同时，该位置位。

软件先读USART_STAT0，再读USART_DATA可清除该位。
0：没检测到校验错误。
1：检测到校验错误。

23.4.2. 数据寄存器(USART_DATA)

地址偏移：0x04
复位值：未定义

该寄存器只能按字(32位)访问。

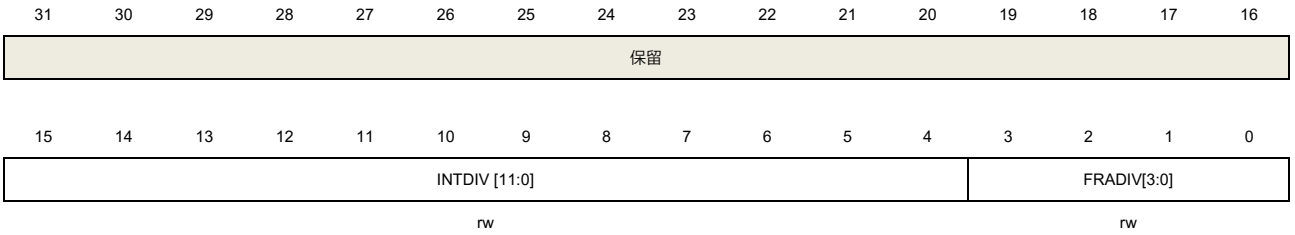


位/位域	名称	描述
31:9	保留	必须保持复位值。
8:0	DATA[8:0]	发送或接收的数据值 软件可以通过写这些位来改变要发送的数据，或读这些位的值来获取接收到的数据。 如果使能了奇偶校验，当发送数据被写入寄存器，数据的最高位(第7位或第8位取决于USART_CTL0寄存器的WL位)将被校验位取代。

23.4.3. 波特率寄存器(USART_BAUD)

地址偏移：0x08
复位值：0x0000 0000

使能USART(UEN=1)时，不能写该寄存器。
该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15:4	INTDIV[11:0]	波特率分频器的整数部分。
3:0	FRADIV [3:0]	波特率分频器的小数部分。

如果使能了8倍过采样，软件必须保证FRADIV[3]为0。

23.4.4. 控制寄存器 0(USART_CTL0)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVSMOD	保留	UEN	WL	WM	PCEN	PM	PERRIE	TBEIE	TCIE	RBNEIE	IDLEIE	TEN	REN	RWU	SBKCMD
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	OVSMOD	采样模式 0：16倍采样 1：8倍采样 如果SCEN=1，IREN=1或者LMEN=1，OVSMOD由硬件强制为0。
14	保留	必须保持复位值。
13	UEN	USART使能 0：USART禁用 1：USART使能
12	WL	字长 0：8数据位 1：9数据位
11	WM	从静默模式唤醒方法 0：空闲线 1：地址匹配
10	PCEN	校验控制使能 0：校验控制禁用 1：校验控制被使能
9	PM	校验模式 0：偶校验 1：奇校验
8	PERRIE	校验错误中断使能。 如果该位置1，USART_STAT0寄存器中PERR被置位时产生中断。 0：校验错误中断禁用。

		1：校验错误中断使能。
7	TBEIE	发送缓冲区空中断使能。 如果该位置1，USART_STAT0寄存器中TBE被置位时产生中断。 0：发送缓冲区空中断禁止。 1：发送缓冲区空中断使能。
6	TCIE	发送完成中断使能。 如果该位置1，USART_STAT0寄存器中TC被置位时产生中断。 0：发送完成中断禁用。 1：发送完成中断使能。
5	RBNEIE	读数据缓冲区非空中断和过载错误中断使能。 如果该位置1，USART_STAT0寄存器中RBNE或ORERR被置位时产生中断。 0：读数据缓冲区非空中断和过载错误中断禁用。 1：读数据缓冲区非空中断和过载错误中断使能。
4	IDLEIE	IDLE线检测中断使能。 如果该位置1，USART_STAT0寄存器中IDLEF被置位时产生中断。 0：IDLE线检测中断禁用。 1：IDLE线检测中断禁用使能。
3	TEN	发送器使能 0：发送器禁用 1：发送器使能
2	REN	接收器使能 0：接收器禁用 1：接收器使能
1	RWU	接收器从静默模式中唤醒。 软件可以通过将该位置1使得USART进入静默模式，将该位清0唤醒USART。 空闲帧唤醒模式下(WM=0)，当检测到空闲帧时，该位由硬件清0。地址匹配模式下(WM=1)，当接收到一个地址匹配帧时，该位由硬件清0；或接收到一个地址非匹配帧时，由硬件置1。 0：接收器处于正常工作模式。 1：接收器处于静默模式。
0	SBKCMD	发送断开帧 软件通过发送断开帧将该位置1。 断开帧传输结束由硬件清0。 0：没有发送断开帧 1：发送断开帧

23.4.5. 控制寄存器 1(USART_CTL1)

地址偏移：0x10

复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LMEN	STB[1:0]		CKEN	CPL	CPH	CLEN	保留	LBDIE	LBLEN	保留	ADDR[3:0]			
	rw	rw		rw	rw	rw	rw		rw	rw		rw			

位/位域	名称	描述
31:15	保留	必须保持复位值。
14	LMEN	LIN模式使能 0：LIN模式禁用 1：LIN模式使能
13:12	STB[1:0]	STOP位长 00：1停止位 01：0.5停止位 10：2停止位 11：1.5停止位 对于UART3/4/6/7，只有1位停止位和两位停止位是有效的。
11	CKEN	CK引脚使能 0：CK引脚禁用 1：CK引脚使能 该位对于UART3/4/6/7无效。
10	CPL	时钟极性 该位用来设定在同步模式下CK引脚的极性。 0：CK引脚不对外发送时保持为低电平。 1：CK引脚不对外发送时保持为高电。 该位对于UART3/4/6/7无效。
9	CPH	时钟相位 该位用来设定在同步模式下CK引脚的相位。 0：在首个时钟边沿采样第一个数据。 1：在第二个时钟边沿采样第一个数据。 该位对于UART3/4/6/7无效。
8	CLEN	CK信号长度 该位用来设定在同步模式下CK信号的长度。 0：8位数据帧中有7个CK脉冲，9位数据帧中有8个CK脉冲 1：8位数据帧中有8个CK脉冲，9位数据帧中有9个CK脉冲 该位对于UART3/4/6/7无效。
7	保留	必须保持复位值。
6	LBDIE	LIN断开信号检测中断使能。

		如果该位置1，当USART_STAT0寄存器中LBDF被置位时将产生中断。 0：断开信号检测中断禁用。 1：断开信号检测中断使能。
5	LBLEN	LIN断开帧长度 该位用来设定在断开帧长度。 0：10位 1：11位
4	保留	必须保持复位值。
3:0	ADDR[3:0]	USART地址 地址匹配唤醒模式下(WM=1)，如果接收到的数据帧低四位与ADDR[3:0]值不相等，USART就会进入静默模式；如果接收到的数据帧低四位与ADDR[3:0]值相等，USART就会被唤醒。

23.4.6. 控制寄存器 2(USART_CTL2)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				OSB	CTSIE	CTSEN	RTSEN	DENT	DENR	SCEN	NKEN	HDEN	IRLP	IREN	ERRIE
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:12	保留	必须保持复位值。
11	OSB	一个数据位采样一次的方法。 该位用于选择采样方法。当该位被置位时，USART对一个数据位取一个采样点，而不是一个数据位取三个采样点。当使用该方法时，噪声错误标志(NERR)需禁用。
10	CTSIE	CTS中断使能 如果该位置1，当USART_STAT0寄存器中CTSF被置位时将产生中断。 0：CTS中断禁用 1：CTS中断使能 该位对于UART3/4/6/7无效。
9	CTSEN	CTS使能 该位用于使能CTS硬件流控制功能。 0：CTS硬件流控制禁用。 1：CTS硬件流控制使能。 该位对于UART3/4/6/7无效。

8	RTSEN	RTS使能 该位用于使能RTS硬件流控制功能。 0：RTS硬件流控制禁用。 1：RTS硬件流控制使能。 该位对于UART3/4/6/7无效。
7	DENT	DMA发送使能 0：DMA发送模式禁用。 1：DMA发送模式使能。
6	DENR	DMA接收使能 0：DMA接收模式禁用。 1：DMA接收模式使能。
5	SCEN	智能卡模式使能 该位用于使能智能卡模式。 0：智能卡模式禁用。 1：智能卡模式使能。 该位对于UART3/4/6/7无效。
4	NKEN	在智能卡模式NACK使能。 该位用于智能卡模式在奇偶校验错误发生时使能NACK发送。 0：当出现校验错误时不发送NACK。 1：当出现校验错误时发送NACK。 该位对于UART3/4/6/7无效。
3	HDEN	半双工使能 该位用于使能半双工模式。 0：半双工模式禁用。 1：半双工模式使能。
2	IRLP	IrDA低功耗模式 该位用于为IrDA模式选择低功耗模式。 0：正常模式 1：低功耗模式
1	IREN	IrDA模式使能 0：IrDA禁用 1：IrDA使能
0	ERRIE	错误中断使能 当DMA接收模式(DENR=1)使能时，如果该位被置1，USART_STAT0寄存器中FERR，ORERR，NERR被置位将产生中断。 0：错误中断禁用 1：错误中断使能。

23.4.7. 保护时间和预分频器寄存器(USART_GP)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GUAT[7:0]								PSC[7:0]							
rw								rw							

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:8	GUAT[7:0]	智能卡模式下的保护时间值。 TC标志置位时间延时GUAT[7:0]个波特时钟周期。 该位对于UART3/4/6/7无效。
7:0	PSC[7:0]	使能USART IrDA低功耗模式，这些位用来设定将外设时钟(PCLK1/PCLK2)分频产生低功耗频率的分频系数。 00000000：保留 - 不要写入该值 00000001：对源时钟1分频。 … 11111111：对源时钟255分频。 在IrDA正常模式下，PSC只能设置成00000001。 在智能卡模式下，PSC[4:0]用于设定外设时钟(APB1/APB2)生成智能卡时钟的分频系数。实际的分频系数为PSC[4:0]设定值的两倍。 00000：保留 - 不要写入该值。 00001：对源时钟2分频。 00010：对源时钟4分频。 … 11111：对源时钟62分频。 在智能卡模式下，PSC[7:5]保留。

23.4.8. 控制寄存器 3(USART_CTL3)

偏移地址：0x80
复位值：0x0000 0000

UART3/4/6/7未使用该寄存器。
该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				MSBF	DINV	TINV	RINV	保留		EBIE	RTIE	SCRTNUM[2:0]			RTEN
				rw	rw	rw	rw			rw	rw	rw			rw

位/位域	名称	描述
31:12	保留	必须保持复位值。
11	MSBF	高位在前 该位用于设定数据在发送或接收时的顺序。 0：数据发送/接收，采用低位在前。 1：数据发送/接收，采用高位在前。 USART被使能(UEN=1)时，这一位不能被改写。
10	DINV	数据位反转 该位用于设定在发送或接收时数据位的极性。 0：数据位信号值没有反转。 1：数据位信号值被反转。 USART被使能(UEN=1)时，这一位不能被改写。
9	TINV	TX 引脚电平反转 该位用于设定TX引脚极性。 0：TX引脚信号值没有反转。 1：TX引脚信号值被反转。 USART被使能(UEN=1)时，这一位不能被改写。
8	RINV	RX引脚电平反转 该位用于设定RX引脚极性。 0：RX引脚信号值没有反转。 1：RX引脚信号值被反转。 USART被使能(UEN=1)时，这一位不能被改写。
7:6	保留	必须保持复位值。
5	EBIE	块结束标志中断使能位 如果该位置1，USART_STAT1寄存器中EBF被置位时产生中断。 0：块中断禁用 1：块中断使能
4	RTIE	接收超时标志中断使能位。 如果该位置1，USART_STAT1寄存器中RTF被置位时产生中断。 0：接收超时中断禁用。 1：接收超时中断使能。
3:1	SCRTNUM[2:0]	智能卡自动重试次数寄存器。 在智能卡模式下，这些位用来设定在发送和接收时重试的次数。 在发送模式下，一帧数据可以重发SCRTNUM次。如果一帧数据发送失败SCRTNUM+1次，FERR被置位。 在接收模式下，USART接收一个数据帧可以执行SCRTNUM+1次。如果一个数据帧

		校验位不匹配事件产生SCRTNUM+1次，RBNE位和PERR位被置位。 当这些位被设置为0x0时，在发送模式下这些位将不会自动发送。
0	RTEN	接收器超时使能 该位用于使能USART接收超时。 0：接收器超时检测功能禁用。 1：接收器超时检测功能被使能。

23.4.9. 接收超时寄存器(USART_RT)

偏移地址：0x84
复位值：0x0000 0000
UART3/4/6/7未使用该寄存器。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BL[7:0]								RT[23:16]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT[15:0]															
rw															

位/位域	名称	描述
31:24	BL[7:0]	块长度 这些位用于设定智能卡T=1的接收时，块的长度。它的值等于信息字节的长度+结束部分的长度(1-LEC/2-CRC)-1。 这个值可以在块接收开始去设置(用于需要从块的序言提取块的长度的情形)，这个值在每一个接收时钟周期只能设置一次。在智能卡模式下，当TBE=0时，块的长度计数器被清0。 在其他模式下，当REN=0(禁用接收器)或者当USART_STAT1寄存器的EBF位被写0时，块的长度计数器被清0。
23:0	RT[23:0]	接收器超时阈值 该位域用于指定接收超时值，单位是波特时钟的时长。 标准模式下，如果在最后一个字节接收后，在RT规定的时长内，没有检测到新的起始位，USART_STAT1寄存器中RTF标志被置位。 在智能卡模式，这个值被用来实现CWT和BWT。在这种情况下，超时检测是从最后一个接收字节的起始位开始算的。 这些位可以在工作时改写。假如一个新数据到来的时间比RT规定的晚，RTF标志会被置位。对于每个接收字符，这个值只能改写一次。 **注意：**当16倍过采样时，RT[23:0]不能被配置为0xFFFFFF。

23.4.10. 状态寄存器 1(USART_STAT1)

偏移地址：0x88

复位值：0x0000 0000
UART3/4/6/7未使用该寄存器。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															BSY
															r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			EBF	RTF	保留										
			w0	w0											

位/位域	名称	描述
31:17	保留	必须保持复位值。
16	BSY	忙标志 USART接收一帧数据时被置位。 0：USART接收通道空闲。 1：USART接收通道忙。
15:13	保留	必须保持复位值。
12	EBF	块结束标志 该位在接收字节数(从块开始开始计数，包含序言)等于或者大于BLEN+4时被置位。USART_CTL3寄存器中EBIE被置位将产生中断。 软件可以通过写0清除该位。 0：块结束事件没有发生 1：块结束事件发生
11	RTF	接收超时标志 该位在RX引脚空闲时间已经超过RT值时被置位。USART_CTL3寄存器中RTIE被置位将产生中断。 软件可以通过写0清除该位。 0：接收器超时事件没有发生 1：接收器超时事件发生
10:0	保留	必须保持复位值。

23.4.11. 兼容性控制寄存器(USART_CHC)

偏移地址：0xC0
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

保留	EPERR	保留	BCM	PCM	HCM
	rc_w0		rw	rw	rw

位/位域	名称	描述
31:9	保留	必须保持复位值。
8	EPERR	校验错误超前检测标志。 该标志将在RBNE置位前，校验位被检测到时置位。 软件写0可以清除该位。 0：没有检测到校验错误 1：检测到校验错误
7:3	保留	必须保持复位值。
2	BCM	断开帧兼容模式 0：当CTS硬件流控制使能时，发送器在发送断开帧之前不会检测nCTS的输入状态 1：当CTS硬件流控制使能时，发送器在发送断开帧之前检测nCTS的输入状态 该位对于UART3/4/6/7无效。
1	PCM	校验兼容模式 0：在地址匹配模式唤醒情况下，数据的最高位被用来识别地址，而不是用作校验位。接收器不会对地址数据进行校验(PERR将不会被置位除非发生校验错误) 1：在地址匹配模式唤醒情况下，接收器对地址进行校验，当检测到校验错误时PERR被置位
0	HCM	硬件流控制兼容模式 0：nRTS信号与USART_STAT0寄存器中RBNE位相同 1：nRTS信号在最后一个数据位被采样后被置位 该位对于UART3/4/6/7无效。

24. 内部集成电路总线接口(I2C)

24.1. 内部集成电路总线接口(I2Cx，x=0,1,2)

24.1.1. 简介

I2C(内部集成电路总线)模块提供了符合工业标准的两线串行制接口，可用于 MCU 和外部 I2C 设备的通讯。I2C 总线使用两条串行线：串行数据线 SDA 和串行时钟线 SCL。

I2C 接口模块实现了 I2C 协议的标速模式，快速模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)、PMBus(电源管理总线)和 SAM_V(验证安全控制模块)模式，此外还支持多主机 I2C 总线架构。I2C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

24.1.2. 主要特性

- 并行总线至 I2C 总线协议的转换及接口。
- 同一接口既可实现主机功能又可实现从机功能。
- 主从机之间的双向数据传输。
- 支持 7 位和 10 位的地址模式和广播寻址。
- 支持 I2C 多主机模式。
- 支持标速(最高 100 kHz)，快速(最高 400 kHz)。
- 从机模式下可配置的 SCL 主动拉低。
- 支持 DMA 模式。
- 兼容 SMBus 2.0 和 PMBus。
- 两个中断：字节成功传输中断和错误事件中断。
- 可选择的 PEC(报文错误校验)生成和校验。
- 支持 SAM_V 模式。
- 支持数字和模拟噪声滤波器。

24.1.3. 功能描述

I2C 接口的内部结构如*图 24-1. I2C 模块框图*所示。

图 24-1. I2C 模块框图

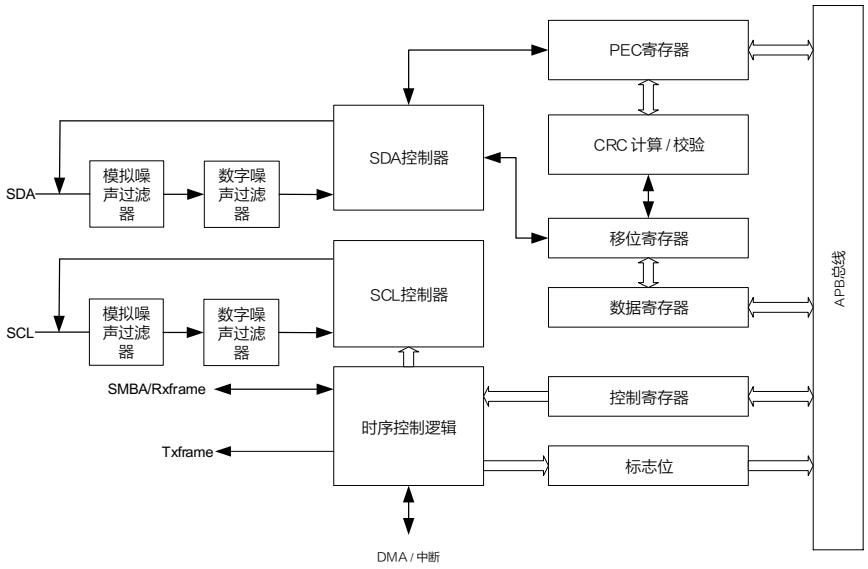


表 24-1. I2C 总线术语说明(参考飞利浦 I2C 规范)

术语	说明
发送器	发送数据到总线的设备
接收器	从总线接收数据的设备
主机	初始化数据传输，产生时钟信号和结束数据传输的设备
从机	由主机寻址的设备
多主	多个主机可以尝试在不破坏信息的前提下同时控制总线
同步	同步两个或更多设备之间的时钟信号的过程
仲裁	如果超过一个主机同时试图控制总线，只有一个主机被允许，且获胜主机的信息不被破坏

SDA 线和 SCL 线

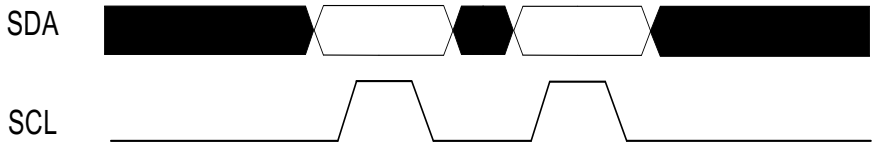
I2C 模块有两条接口线：串行数据 SDA 线和串行时钟 SCL 线。连接到总线上的设备通过这两根线互相传递信息。

SDA 和 SCL 都是双向线，通过一个电流源或者上拉电阻接到电源正极。当总线空闲时，两条线都是高电平。连接到总线的设备输出极必须是开漏或者开集，以提供线与功能。I2C 总线上的数据在标准模式下可以达到 100 Kbit/s，在快速模式下可以达到 400 Kbit/s。由于 I2C 总线上可能会连接不同工艺的设备(CMOS，NMOS，双极性器件)，逻辑'0'和逻辑'1'的电平并不是固定的，取决于 V_{DD} 的实际电平。

数据有效性

时钟信号的高电平期间 SDA 线上的数据必须稳定。只有在时钟信号 SCL 变低的时候数据线 SDA 的电平状态才能跳变(如*图 24-2. 数据有效性*)。每个数据比特传输需要一个时钟脉冲。

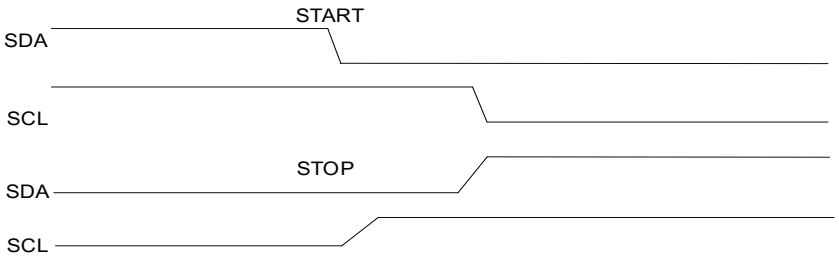
图 24-2. 数据有效性



开始和停止信号

所有的数据传输起始于一个 START 结束于一个 STOP(参见*图 24-3. 起始和停止信号*)。START 信号定义为，在 SCL 为高时，SDA 线上出现一个从高到低的电平转换。STOP 信号定义为，在 SCL 为高时，SDA 线上出现一个从低到高的电平转换。

图 24-3. 起始和停止信号

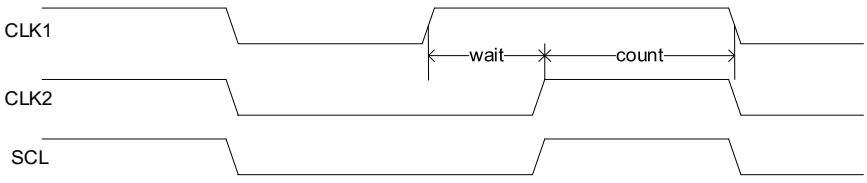


时钟同步

两个主机可以同时在空闲总线上开始传送数据，因此必须通过一些机制来决定哪个主机获取总线的控制权并完成传输，这一般是通过时钟同步和仲裁来完成的。单主机系统下不需要时钟同步和仲裁机制。

时钟同步通过 SCL 线的线与来实现。这就是说 SCL 线的高到低切换会使器件开始计数它们的低电平周期，而且当主机的时钟变低电平时，它会使 SCL 线保持这种状态直到到达时钟的高电平(参见*图 24-4. 时钟同步*)。但是如果另一个时钟仍处于低电平周期，这个时钟的低到高切换不会改变 SCL 线的状态。因此 SCL 线被有最长低电平周期的器件保持低电平。此时低电平周期短的器件会进入高电平的等待状态。

图 24-4. 时钟同步



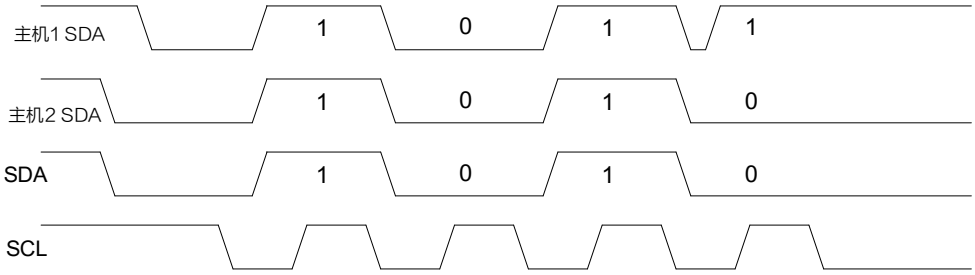
仲裁

仲裁和同步一样，都是为了解决多主机情况下的总线控制冲突。仲裁的过程与从机无关。

只有在总线空闲的时候主机才可以启动传输。两个主机可能在START信号的最短保持时间内在总线上产生一个有效的START信号，这种情况下需要仲裁来决定由哪个主机来完成传输。

仲裁逐位进行，在每一位的仲裁期间，当 SCL 为高时，每个主机都检查 SDA 电平是否和自己发送的相同。仲裁的过程需要持续很多位。理论上讲，如果两个主机所传输的内容完全相同，那么它们能够成功传输而不出现错误。如果一个主机发送高电平但检测到 SDA 电平为低，则认为自己仲裁失败并关闭自己的 SDA 输出驱动，而另一个主机则继续完成自己的传输。

图 24-5. SDA 线仲裁



I2C 通讯流程

每个I2C设备(不管是微控制器，LCD驱动，存储器或者键盘接口)都通过唯一的地址进行识别，根据设备功能，他们既可以是发送器也可作为接收器。

I2C从机检测到I2C总线上的START信号之后，就开始从总线上接收地址，之后会把从总线接收到的地址和自身的地址(通过软件编程)进行比较，当两个地址相同时，I2C从机将发送一个确认应答(ACK)，并响应总线的后续命令：发送或接收所需数据。此外，如果软件开启了广播呼叫，则I2C从机始终对一个广播地址(0x00)发送确认应答。I2C模块始终支持7位和10位的地址。

I2C 主机负责产生 START 信号和 STOP 信号来开始和结束一次传输，并且负责产生 SCL 时钟。

图 24-6. 7 位地址的 I2C 通讯流程

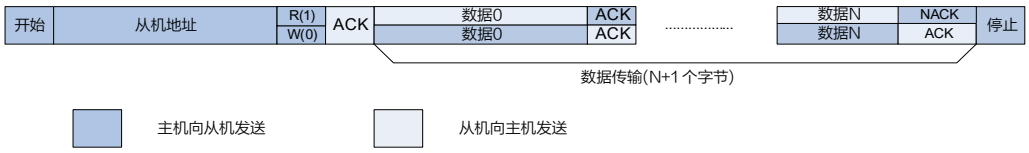


图 24-7. 10 位地址的 I2C 通讯流程(主机发送)

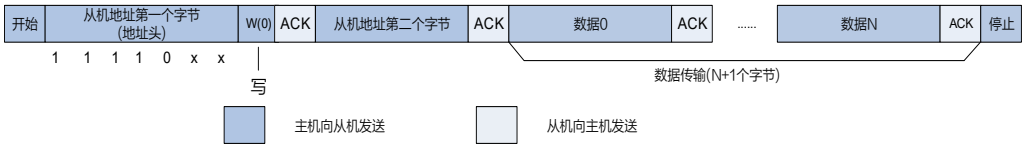
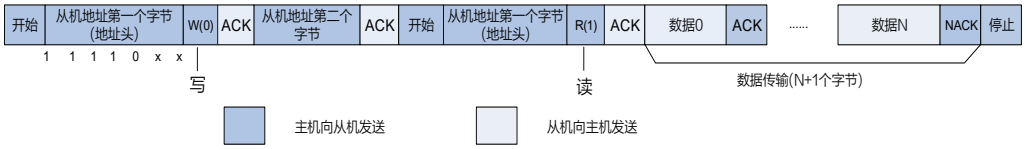


图 24-8. 10 位地址的 I2C 通讯流程(主机接收)



软件编程模型

一个 I2C 设备例如 LCD 驱动器可能只是作为一个接收器，但是一个存储器既可以接收数据，也能发送数据。除了按照发送/接收方来区分，I2C 设备也分为数据传输的主机和从机。主机是指负责初始化总线上数据的传输并产生时钟信号的设备，此时任何被寻址的设备都是从机。

不管 I2C 设备是主机还是从机，都可以发送或接收数据，因此，I2C 设备有以下 4 种运行模式：

- 主机发送方
- 主机接收方
- 从机发送方
- 从机接收方

I2C 模块支持以上四种模式。系统复位以后，I2C 默认工作在从机模式下。通过软件配置使 I2C 在总线上发送一个 START 信号之后，I2C 变为主机模式，软件配置在 I2C 总线上发送 STOP 信号后，I2C 又变回从机模式。

从机发送模式下的软件流程

如*图24-9. 从机发送模式(10位地址模式)*所示，在从机模式下要发送数据，软件应该按照以下步骤来运行操作：

1. 首先，软件应该使能I2C外设时钟，以及配置I2C_CTL1中时钟相关寄存器来确保正确的I2C时序。使能和配置以后，I2C运行在默认的从机模式状态，等待I2C总线上的START信号和地址。
2. 当接收到一个START信号及随后的地址后，地址可以是7位格式也可以是10位格式，I2C硬件将I2C_STAT0寄存器的ADDSEND位置1，此位应该被软件查询或者中断监视，发现置位后，软件应该读I2C_STAT0寄存器然后读I2C_STAT1寄存器来清除ADDSEND位。如果地址是10位格式，I2C主机应该接着再产生一个START并发送一个地址头到I2C总线。从机在检测到START和紧接着的地址头之后会继续将ADDSEND位置1。软件可以通过读I2C_STAT0寄存器和接着读I2C_STAT1寄存器来第二次清除ADDSEND位。
3. 现在I2C进入数据发送状态，由于移位寄存器和数据寄存器I2C_DATA都是空的，硬件将TBE位置1。软件此时可以写入第一个字节数据到I2C_DATA寄存器，但是TBE位并没有被清0，因为写入I2C_DATA寄存器的字节被立即移入内部移位寄存器。当移位寄存器非空的时候，I2C开始发送数据到I2C总线。
4. 第一个字节的发送期间，软件可以写第二个字节到I2C_DATA，此时TBE位被清0，因为I2C_DATA寄存器和移位寄存器都不是空。
5. 第一个字节的发送完成之后，TBE被再次置起，软件可以写第三个字节到I2C_DATA，同时TBE位被清0。在此之后，任何时候TBE被置1，只要依然有数据待被发送，软件都可以写入一个字节到I2C_DATA寄存器。
6. 倒数第二个字节发送期间，软件写最后一个数据到I2C_DATA寄存器来清除TBE标志位，之后就再不用关心TBE的状态。TBE位会在倒数第二个字节发送完成后置起，直到检测到STOP信号时被清0。
7. 根据 I2C 协议，I2C 主机将不会对接收到的最后一个字节发送应答，所以在最后一个字节

发送结束后，I2C 从机的 AERR(应答错误)会置起以通知软件发送结束。软件写 0 到 AERR 位可以清除此位。

图 24-9. 从机发送模式(10 位地址模式)



从机接收模式下的软件流程

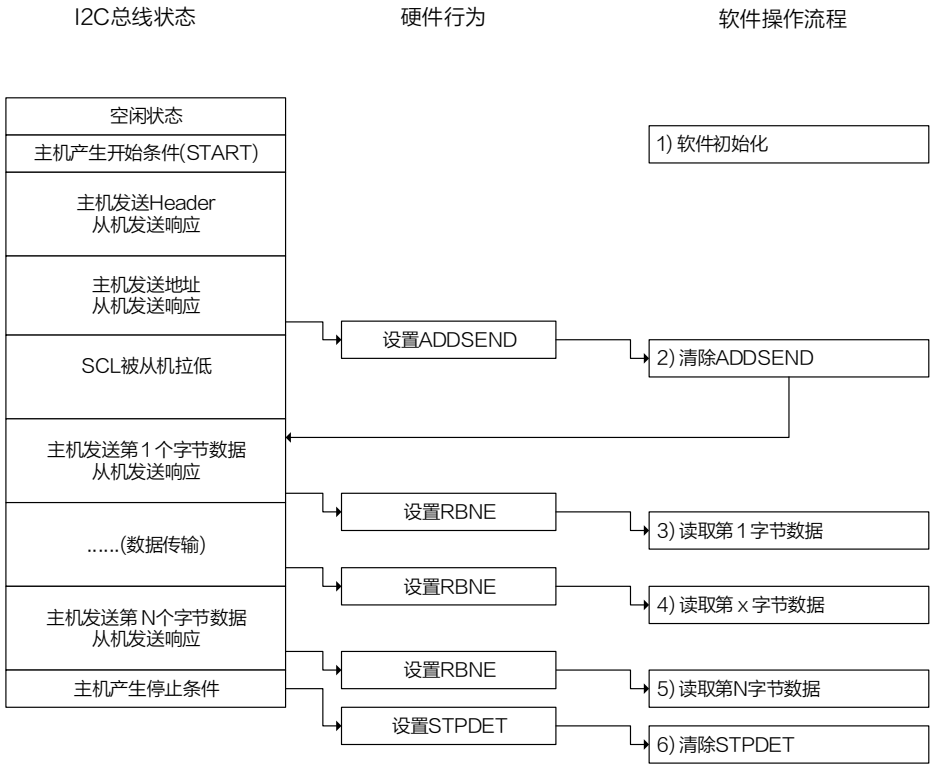
如*图 24-10. 从机接收模式(10 位地址模式)*所示，在从机模式下接收数据时，软件应该遵循这些步骤来操作：

1. 首先，软件应该使能I2C外设时钟，以及配置I2C_CTL1中时钟相关寄存器来确保正确的I2C时序。使能和配置以后，I2C运行在默认的从机模式状态，等待START信号以及地址。
2. 在接收到START起始信号和匹配的7位或10地址之后，I2C硬件将I2C状态寄存器0的ADDSEND位置1，此位应该通过软件轮询或者中断来检测，发现置起后，软件通过先读I2C_STAT0寄存器然后读I2C_STAT1寄存器来清除ADDSEND位。当ADDSEND位被清0时，I2C就开始接收来自I2C总线的数据。
3. 当接收到第一个字节时，RBNE位被硬件置1，软件可以读取I2C_DATA寄存器的第一个字节，此时RBNE位也被清0。
4. 任何时候RBNE被置1，软件可以从I2C_DATA寄存器读取一个字节。

5. 接收到最后一个字节后，RBNE被置1，软件可以读取最后的字节。

6. 当 I2C 检测到 I2C 总线上一个 STOP 信号，STPDET 位被置 1，软件通过先读 I2C_STAT0 寄存器再写 I2C_CTL0 寄存器来清除 STPDET 位。

图 24-10. 从机接收模式(10 位地址模式)



主机发送模式下的软件流程

如*图24-11. 主机发送模式(10位地址模式)*所示，在主机模式下发送数据到I2C总线时，软件应该遵循这些步骤来运行I2C模块：

1. 首先，软件应该使能I2C外设时钟，以及配置I2C_CTL1中时钟相关寄存器来确保正确的I2C时序。使能和配置以后，I2C运行在默认的从机模式状态，等待START信号，随后等待I2C总线寻址。

2. 软件将START位置1，在I2C总线上产生一个START信号。

3. 发送一个START信号后，I2C硬件将I2C_STAT0的SBSEND位置1然后进入主机模式。现在软件应该读I2C_STAT0寄存器然后写一个7位地址位或10位地址的地址头到I2C_DATA寄存器来清除SBSEND位。当SBSEND位被清0时，I2C就开始发送地址或者地址头到I2C总线。如果发送的地址是10位地址的地址头，硬件在发送地址头的时候会将ADD10SEND位置1，软件应该通过读I2C_STAT0寄存器然后写10位低地址到I2C_DATA来清除ADD10SEND位。

4. 7位或10位的地址位发送出去之后，I2C硬件将ADDSEND位置1，软件通过读I2C_STAT0寄存器然后读I2C_STAT1寄存器清除ADDSEND位。

5. I2C进入数据发送状态，因为移位寄存器和数据寄存器I2C_DATA都是空的，所以硬件将

TBE位置1。此时软件可以写第一个字节数据到I2C_DATA寄存器，但是TBE位此时不会被清零，因为写入I2C_DATA寄存器的字节会被立即移入内部移位寄存器。当移位寄存器非空时，I2C就开始发送数据到总线。

6. 在第一个字节的发送过程中，软件可以写第二个字节到I2C_DATA，此时TBE会被清零，因为I2C_DATA寄存器和移位寄存器都不为空。

7. 任意时刻TBE被置1，软件都可以向I2C_DATA寄存器写入一个字节，只要还有数据待发送。

8. 在倒数第二个字节发送过程中，软件写入最后一个字节数据到I2C_DATA来清除TBE标志位，此后就不用关心TBE位的状态。TBE位会在倒数第二个字节发送完成后被置起，直到发送STOP信号时被清零。

9. 最后一个字节发送结束后，I2C 主机将 BTC 位置起，因为移位寄存器和 I2C_DATA 寄存器此时都为空。软件此时应该配置 STOP 来发送一个 STOP 信号，此后 TBE 和 BTC 状态位都将被清 0。

图 24-11. 主机发送模式(10 位地址模式)



主机接收模式下的软件流程

在主机接收模式下，主机需要为最后一个字节接收产生 NACK，然后发送 STOP 信号。因此，需要特别注意以确保最后接收到数据的正确性。下面提供了两种针对主机接收模式的软件编程

方案：方案 A 和 B。方案 A 需要保证软件能对 I2C 事件进行快速响应，方案 B 则不需要。

在主机接收模式下，主机需要为最后一个字节接收产生NACK，然后发送STOP信号。因此，需要特别注意以确保最后接收到数据的正确性。下面提供了两种针对主机接收模式的软件编程方案：方案A和B。方案A需要保证软件能对I2C事件进行快速响应，方案B则不需要。

方案 A

1. 首先，软件应该使能I2C外设时钟，以及配置I2C_CTL1中时钟相关寄存器来确保正确的I2C时序。使能和配置以后，I2C运行在默认的从机模式状态，等待START信号，随后等待I2C总线寻址。
2. 软件将START位置1，从而在I2C总线上产生一个START信号。
3. 发送一个START信号后，I2C硬件将I2C_STAT0寄存器的SBSEND位置1然后进入主机模式。现在软件应该读I2C_STAT0寄存器然后写一个7位地址位或10位地址的地址头到I2C_DATA寄存器来清除SBSEND位。当SBSEND位被清0时，I2C就开始发送地址或者地址头到I2C总线。如果发送的地址是10位地址的地址头，硬件在发送地址头的时候会先将ADD10SEND位置1，软件应该通过读I2C_STAT0寄存器然后写10位低地址到I2C_DATA来清除ADD10SEND位。
4. 7位或10位的地址位发送出去之后，I2C硬件将ADDSEND位置1，软件应该通过读I2C_STAT0寄存器然后读I2C_STAT1寄存器清除ADDSEND位。如果地址是10位格式，软件应该再次将START位置1来重新产生一个START。在START产生后，SBSEND位会被置1。软件应该通过先读I2C_STAT0然后写地址头到I2C_DATA来清除SBSEND位，然后地址头被发到I2C总线，ADDSEND再次被置1。软件应该再次通过先读I2C_STAT0然后读I2C_STAT1来清除ADDSEND位。
5. 当接收到第一个字节时，硬件会将RBNE位置1。此时软件可以从I2C_DATA寄存器读取第一个字节，之后RBNE位被清0。
6. 此后任何时候RBNE被置1，软件就可以从I2C_DATA寄存器读取一个字节。
7. 接收完倒数第二个字节(N-1)数据之后，软件应该立即将ACKEN位清0，并将STOP位置1，这一过程需要在最后一个字节接收完毕之前完成，以确保NACK发送给最后一个字节。
8. 最后一个字节接收完毕后，RBNE 位被置 1，软件可以读取最后一个字节。由于 ACKEN 已经在前一步骤中被清 0，I2C 不再为最后一个字节发送 ACK，并在最后一个字节发送完毕后产生一个 STOP 信号。

以上步骤要求字节数目 N>1，如果 N=1，步骤 7 应该在步骤 4 之后就执行，且需要在字节接收完成之前完成。

图 24-12. 主机接收使用方案 A 模式(10 位地址模式)



方案 B

1. 首先，软件应该使能I2C外设时钟，配置I2C_CTL1中时钟相关寄存器来确保正确的I2C时序。初始化完成之后，I2C运行在默认的从机模式状态，等待START信号和地址。

2. 软件将START位置1，从而在I2C总线上产生一个START信号。

3. 发送一个START信号后，I2C硬件将I2C_STAT0寄存器的SBSEND位置1然后进入主机模式。现在软件应该读I2C_STAT0寄存器然后写一个7位地址位或10位地址的地址头到I2C_DATA寄存器来清除SBSEND位。当SBSEND位被清0时，I2C就开始发送地址或者地址头到I2C总线。如果发送的地址是10位地址的地址头，硬件在发送地址头之后会将ADD10SEND位置1，软件应该通过读I2C_STAT0寄存器然后写10位低地址到I2C_DATA来清除ADD10SEND位。

4. 7位或10位的地址位发送出去之后，I2C硬件将ADDSEND位置1，软件应该通过读

I2C_STAT0寄存器然后读I2C_STAT1寄存器清除ADDSEND位。如果地址是10位格式，软件应该接着将START位再次置1来产生一个开始信号，START被发送出去以后SBSEND位被再次置1。软件应该通过先读I2C_STAT0然后写地址头到I2C_DATA来清除SBSEND位，然后地址头被发到I2C总线，ADDSEND再次被置1。软件应该再次通过先读I2C_STAT0然后读I2C_STAT1来清除ADDSEND位。

5. 当第一个字节被接收时，RBNE位会被硬件置1。此时软件可从I2C_DATA寄存器读取出第一个字节，同时RBNE位被清0。

6. 此后任何时刻，只要 RBNE 位被置 1，软件就可以从 I2C_DATA 寄存器读取一个字节的数据，直到主机接收了 N-3 个字节。

如*图 24-13. 主机接收使用方案 B 模式(10 位地址模式)*所示，第 N-2 个字节还没被软件读出，之后第 N-1 个字节被接收，此时 BTC 和 RBNE 都被置位，总线就会被主机锁死以阻止最后一个字节的接收。然后软件应该清除 ACKEN 位。

7. 软件从I2C_DATA读出倒数第三个(N-2)字节数据，同时也将BTC位清0。此后第N-1个字节从移位寄存器被移到I2C_DATA，总线得到释放然后开始接收最后一个字节，由于ACKEN已经被清除，因此主机不会给最后一个字节数据发送ACK响应。

8. 最后一个字节接收完毕后，硬件再次把BTC位和RBNE置1，并拉低SCL，软件将STOP位置1，主机发出一个STOP信号。

9. 软件读取第N-1个字节，清除BTC。此后最后一个字节从移位寄存器被移动到I2C_DATA。

10. 软件读取最后一个字节，清除RBNE。

以上步骤需要字节数字 N>2，N=1 和 N=2 的情况近似：

N=1

在第 4 步，软件应该在清除 ADDSEND 位之前将 ACKEN 位清 0，在清除 ADDSEND 位之后将 STOP 位置 1。当 N=1 时步骤 5 是最后一步。

N=2

在第 2 步，软件应该在 START 置 1 之前将 POAP 置 1。在第 4 步，软件应该在清除 ADDSEND 位之前将 ACKEN 位清 0。在第 5 步，软件应该一直等到 BTC 位被置 1 然后将 STOP 位置 1 且读取 I2C_DATA 两次。

图 24-13. 主机接收使用方案 B 模式(10 位地址模式)



SCL 线控制

SCL 线拉低功能是为了避免在接收时发生上溢错误以及在发送时发生下溢错误。如在软件编程模型中所示，在发送模式，当 TBE 和 BTC 被置位，发送器保持 SCL 线为低电平直到下一个发送数据写入传输缓冲区寄存器。在接收模式，当 RBNE 和 BTC 被置位，发送器保持 SCL 线为低电平直到传输缓冲区寄存器里的数据被读出。

当工作在从模式的时候，可以通过置位 I2C_CTL0 寄存器的 SS 位禁止 SCL 线拉低功能。如果该位置位，软件要能足够快的处理 TBE，RBNE 和 BTC 状态，否则上溢或下溢的情况可能会发生。

DMA 模式下数据传输

按照前面的软件流程，每当 TBE 位或 RBNE 位被置 1 之后，软件都应该写或读一个字节，这样将导致 CPU 的负荷较重。I2C 的 DMA 功能可以在 TBE 或 RBNE 位置 1 时，自动进行一次写或读操作，从而减轻了 CPU 的负荷，具体 DMA 的配置请参看 DMA 相关章节。

DMA 请求通过 I2C_CTL1 寄存器的 DMAON 位使能。该位应该在清除 ADDSEND 状态位之后被置位。如果一个从机的 SCL 线延长功能被禁止，DMAON 位应该在 ADDSEND 事件前被置位。

参考 DMA 控制器的关于 DMA 的配置方法说明。DMA 必须在 I2C 传输开始之前配置和使能。当指定个数的字节已经传输完成，DMA 会发送一个传输结束(EOT)信号给 I2C 接口，并产生一个 DMA 传输完成中断。

当主机接收两个或两个以上字节时，需将 I2C_CTL1 寄存器的 DMALST 位置位。在接收到最后一个字节之后，I2C 主机发送 NACK。在 DMA 传输完成中断 ISR 中，通过置位 STOP 位，产生一个停止信号。

当主机仅接收一个字节时，清除 ADDSEND 状态前 ACKEN 位必须被清除。在清除 ADDSEND 状态后或在 DMA 传输完成中断 ISR 中，通过置位 STOP 位，产生一个停止信号。

报文错误校验

I2C 模块中有一个 PEC(包错误检查)模块，它使用 CRC-8 计算器来执行 I2C 数据的报文校验，CRC 多项式为 x8 + x2 + x + 1，和 SMBus 协议兼容。将 PECEN 位置 1 就可以使能 PEC 功能。PEC 将会计算所有通过 I2C 总线发送的数据(包括地址)。软件可以通过配置 PECTRANS 来控制 I2C 在最后一个字节发送完毕后发送 PEC 值，或者在接收完成后检查接收到的 PEC 值是否正确。在 DMA 模式下，如果 PECEN 位和 PECTRANS 位被置 1，I2C 将自动发送或者检查 PEC 值。

模拟和数字噪声滤波器

在快速模式下，I2C 协议要求抑制 SDA 和 SCL 线上峰值达到 50ns 的噪声。有两种方法可用来满足这一要求，分别是：模拟噪声滤波器和数字噪声滤波器。

模拟噪声滤波器位于 SCL / SDA 的 IO 引脚和 I2C 数字逻辑之间。它是一个抑制峰值达到 50ns 的噪声的模拟模块。模拟噪声滤波器默认情况下是使能的，可以通过设置 I2C_FCTL 寄存器的 AFD 位禁止。

数字滤波器是位于 I2C 数字逻辑内的一个数字模块。它可以抑制 SCL / SDA 上输入长度达到 (DF+1) PCLK 周期的噪声。如果模拟噪声滤波器使能，数字噪声滤波器的输入是模拟噪声滤波器的输出。

模拟和数字滤波器的配置仅在 I2C 禁止时可以改变。

SMBus 支持

系统管理总线(System Management Bus，简写为 SMBus 或 SMB)是一种结构简单的单端双线制总线，可实现轻量级的通信需求。一般来说，SMBus 最常见于计算机主板，主要用于电源传输 ON/OFF 指令的通信。SMBus 是 I2C 的一种衍生总线形式，主要用于计算机主板上的低带宽设备间通信，尤其是与电源相关的芯片，例如笔记本电脑的可充电电池子系统(参见 Smart Battery Data)。

SMBus 协议

SMBus 上每个报文交互都遵从 SMBus 协议中预定义的格式。SMBus 是 I2C 规范中数据传输格式的子集。只要 I2C 设备可通过 SMBus 协议之一进行访问，便视为兼容 SMBus 规范。不符合这些协议的 I2C 设备，将无法被 SMBus 和 ACPI 规范所定义的标准方法访问。

地址解析协议

SMBus是基于I2C硬件实现的，它使用了I2C的硬件寻址方式，但在I2C的基础上增加了二级软件处理，建立自己独特的系统。比较特别的是SMBus规范包含一个地址解析协议，可用于实现动态地址分配。动态识别硬件和软件使得总线设备能够支持热插拔，无需重启系统便能即插即用。总线中的设备将被自动识别并分配唯一地址。这个优点非常有利于实现即插即用的用户接口。在此协议中，系统中的host与设备之间有一个重要的区别，即host具有分配地址的功能。

超时特性

SMBus 有一种超时特性：假如某个通信耗时太久，便会自动复位设备。这就解释了为什么最小时钟周期为 10kHz--为了防止长时间锁死总线。I2C 在本质上可以视为一个"直流"总线，也就是说当主机正在访问从机的时候，假如从机正在执行一些子程序无法及时响应，从机可以拉住主机的时钟。这样便可以提醒主机：从机正忙，但并不想放弃当前的通信。从机的当前任务结束之后，将可以继续 I2C 通信。I2C 总线协议中并没有限制这个延时的上限，但在 SMBus 系统中，这个时间被限定为 25ms。按照 SMBus 协议的假定，如果某个通信耗时太久，就意味着总线出了问题，此时所有设备都应当复位以消除这种问题。这样就并不允许从设备将时钟拉低太长时间。

报文错误校验

SMBus 2.0 以及 1.1 都采用了报文错误校验(Packet Error Checking，缩写为 PEC)。在这种模式中，每次通信最后都将传输 PEC 字节。该字节是按照 CRC-8 校验和的方式计算的，计算范围包括整个报文，包括地址以及读/写位。所采用的多项式为 x8+x2+x+1(CRC-8-ATM HEC 算法，初始化为 0)。

SMBus 警报

SMBus 还有一个额外的中断信号，称为 SMBALERT#。从机上发生事件后，可通过这个信号通知主机来访问从机。SMBus 中还定义了较少见的"主机提醒协议"，基于 I2C 多主模式实现类似的提醒功能，但是可以传递更多数据。

注意：当使用 SMBus 主机模式时，默认检查 I2C_SMBA 引脚，默认分配为 AFIO(I2C0 对应

PB5，I2C1 对应 PB12，I2C2 对应 PA9)，当使能错误中断且 I2C_SMBA 引脚为低电平时会产生中断。因此当不需要 SMBus 警报时应规避使用 I2C_SMBA 管脚，且保证相关 IO 是高电平。

SMBus 通讯流程

SMBus的通讯流程和标准I2C的流程相似。为了使用SMBus模式，在程序中需要配置几个SMBus特定的寄存器，响应一些SMBus特定标志位，实现那些在SMBus手册中介绍的上层协议。

1. 在通信之前，需要将I2C_CTL0中SMBEN位置1，并且根据需求，配置SMBSEL和ARPEN的值。
2. 为了支持ARP协议(ARPEN=1)，在SMBus主机模式下(SMBSEL=1)，软件需要响应标志位HSTSMB(在SMBus从机模式下，响应DEFSMB标志位)，并实现ARP协议中的功能。
3. 为了支持 SMBus 警告模式，软件应该响应 SMBALT 标志位，并实现相应的功能。

SAM_V 支持

为了支持 SAM_V 标准，I2C 模块增加两个附加的引脚：txframe 和 rxframe。Txframe 是一个输出引脚，在主机模式下，当该引脚输出电平为高电平时，表示 I2C 是忙的。Rxframe 是一个输入引脚，应该与 SMBALERT 信号一起多路复用。

SAM_V 模式通过置位 I2C_SAMCS 寄存器的 SAMEN 位使能。txframe 和 rxframe 引脚的状态可以通过 I2C_SAMCS 寄存器的 RFR，RFF，TFR，TFF，RXF 和 TXF 标志反映。如果对应的中断使能位置位，将产生 I2C 中断。

状态、错误和中断

I2C 有一些状态、错误标志位，通过设置一些寄存器位，便可以从这些标志触发中断(详情参见 ***I2C 寄存器***)。

表 24-2. 事件状态标志位

事件标志位名称	说明
SBSEND	主机发送 START 信号
ADDSEND	地址发送和接收
ADD10SEND	10 位地址模式中地址头发送
STPDET	监测到 STOP 信号
BTC	字节发送结束
TBE	发送时 I2C_DATA 为空
RBNE	接收时 I2C_DATA 非空
RFR	SAM_V 模式时检测到 rxframe 上升沿
RFF	SAM_V 模式时检测到 rxframe 下降沿
TFR	SAM_V 模式时检测到 txframe 上升沿
TFF	SAM_V 模式时检测到 txframe 下降沿

表 24-3. 错误标志位

错误名称	说明
BERR	总线错误
LOSTARB	仲裁丢失
OUERR	当禁用 SCL 拉低后，发生了上溢或下溢
AERR	没有接收到应答
PECERR	CRC 值不相同
SMBTO	SMBus 模式下总线超时
SMBALT	SMBus 警报

24.1.4. I2C 寄存器

I2C0基地址：0x4000 5400

I2C1基地址：0x4000 5800

I2C2基地址：0x4000 5C00

控制寄存器 0(I2C_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRESET	保留	SALT	PECTRANS	POAP	ACKEN	STOP	START	SS	GCEN	PECEN	ARPEN	SMBSEL	保留	SMBEN	I2CEN
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

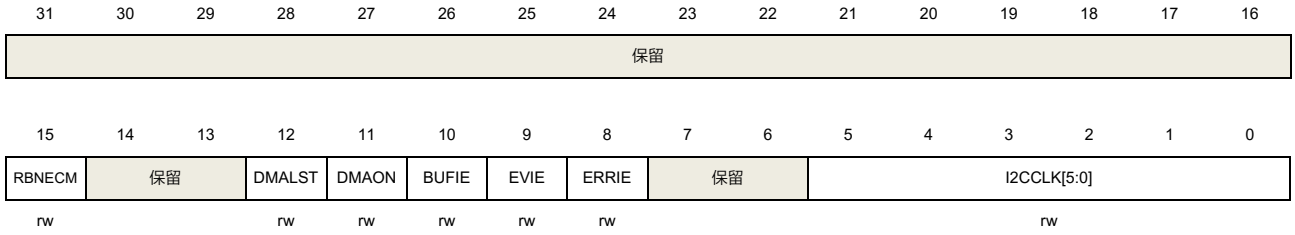
位/位域	名称	描述
31:16	保留	必须保持复位值。
15	SRESET	软件复位 I2C，软件应该在 I2C 总线被释放时复位 I2C 0：I2C 未复位 1：I2C 复位
14	保留	必须保持复位值。
13	SALT	SMBus 警报 通过 SMBA 引脚发出警报。 软件置 1 和清 0，硬件清 0。 0：不通过 SMBA 发布警告 1：通过 SMBA 引脚发送警告
12	PECTRANS	PEC 传输 软件置 1 和清 0，硬件在以下条件下清除此位：PEC 传输完成，或监测到 START / STOP 信号，或 I2CEN=0。 0：不传输 PEC 值 1：传输的 PEC 值
11	POAP	ACK / PEC 的位置含义 软件置 1 和清 0，当 I2CEN=0 时，硬件清 0。 0：ACKEN 位决定对当前正在接收的字节是否发送 ACK，PECTRANS 位表明正在接收的字节是否为 PEC。 1：ACKEN 位决定是否对下一个字节发送 ACK，PECTRANS 位表明下一个即将被

		接收的字节是 PEC。
10	ACKEN	是否发送 ACK 软件置 1 和清 0，当 I2CEN=0 时硬件清 0。 0：不发送 ACK 1：发送 ACK
9	STOP	I2C 总线上产生一个 STOP 信号 软件置 1 和清 0，SMBus 超时时，硬件置 1，监测到 STOP 信号时，硬件清 0。 0：不发送 STOP 1：发送 STOP
8	START	I2C 总线上产生一个 START 信号 软件置 1 和清 0，当监测到 START 信号或 I2CEN=0 时由硬件清 0。 0：不发送 START 1：发送 START
7	SS	在从机模式下数据未就绪是否将 SCL 拉低 软件置 1 和清 0。 0：拉低 SCL 1：不拉低 SCL
6	GCEN	是否响应对地址(0x00)的广播呼叫 0：从机不响应广播呼叫 1：从机将响应广播呼叫
5	PECEN	PEC 计算使能 0：PEC 计算禁能 1：PEC 计算使能
4	ARPEN	SMBus 下 ARP 协议使能 0：ARP 禁能 1：ARP 使能
3	SMBSEL	SMBus 类型选择 0：从机 1：主机
2	保留	必须保持复位值。
1	SMBEN	SMBus / I2C 模式开关 0：I2C 模式 1：SMBus 模式
0	I2CEN	I2C 外设使能 0：禁能 I2C 1：使能 I2C

控制寄存器 1(I2C_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15	RBNECM	RBNE 清除条件配置 0：RBNE 在读取 I2C_DATA 寄存器并且 BTC 标志清除后被清除 1：RBNE 在读取 I2C_DATA 寄存器后被清除
14:13	保留	必须保持复位值
12	DMALST	DMA 最后传输标志位 0：下一个 DMA EOT 不是最后传输 1：下一个 DMA EOT 是最后传输
11	DMAON	DMA 模式开关 0：DMA 模式关 1：DMA 模式开
10	BUFIE	缓冲区中断使能 0：禁用缓冲区中断，如果 EVIE=1，当 TBE = 1 或 RBNE = 1 时不产生中断。 1：使能缓冲区中断，如果 EVIE=1，当 TBE = 1 或 RBNE = 1 时产生中断。
9	EVIE	事件中断使能 0：禁用事件中断 1: 使能事件中断，意味着当 SBSEND、ADDSEND、ADD10SEND、STPDET 或 BTC 标志位有效或当 BUFIE=1 时 TBE=1 或 RBNE=1 时产生中断。
8	ERRIE	错误中断使能 0：禁用错误中断 1: 使能错误中断，意味着当 BERR、LOSTARB、AERR、OUERR、PECERR、SMBTO 或 SMBALT 标志位生效时产生中断。
7:6	保留	必须保持复位值
5:0	I2CCLK[5:0]	I2C 外设时钟频率 I2CCLK[5:0]应该是输入 APB1 时钟频率，最低 2MHz。 000000 - 000001：无时钟

000010 - 110010：2 MHz~50MHz

110011 - 111111：由于 APB1 时钟限制，无时钟

注意：

在标准模式下，APB1 时钟频率需大于或者等于 2MHz。在快速模式下，APB1 时钟频率需大于或者等于 8MHz。

从机地址寄存器 0(I2C_SADDR0)

地址偏移：0x08

复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。



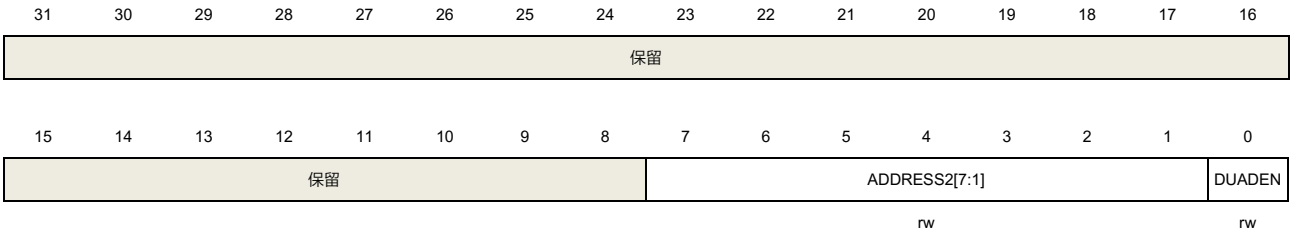
位/位域	名称	描述
31:16	保留	必须保持复位值。
15	ADDFORMAT	I2C 从机地址格式 0：7 位地址 1：10 位地址
14:10	保留	必须保持复位值。
9:8	ADDRESS[9:8]	10 位地址的最高两位
7:1	ADDRESS[7:1]	7 位地址或者 10 位地址的第 7-1 位
0	ADDRESS0	10 位地址的第 0 位

从机地址寄存器 1(I2C_SADDR1)

地址偏移：0x0C

复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7:1	ADDRESS2[7:1]	从机在双重地址模式下第二个 I2C 地址
0	DUADEN	双重地址模式使能 0：禁用双重地址模式 1：使能双重地址模式

传输缓冲区寄存器(I2C_DATA)

地址偏移：0x10
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TRB[7:0]							
								rw							

位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	TRB[7:0]	数据发送接收缓冲区

传输状态寄存器 0(I2C_STAT0)

地址偏移：0x14
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMBALT	SMBTO	保留	PECERR	OUERR	AERR	LOSTARB	BERR	TBE	RBNE	保留	STPDET	ADD10SEND	BTC	ADDSEND	SBSEND
rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r	r		r	r	r	r	r

位/位域	名称	描述
31:16	保留	必须保持复位值。

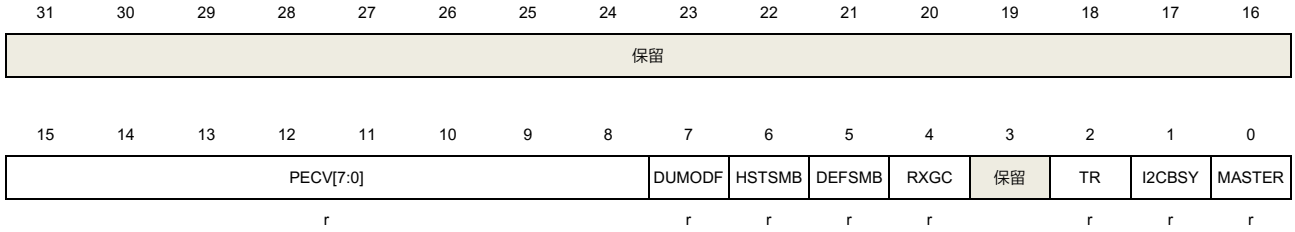
15	SMBALT	SMBus 警报状态 硬件置 1，软件写 0 清 0。 0：SMBA 引脚未被拉低(从机模式)或未监测到警报(主机模式) 1：SMBA 引脚被拉低且接收到警报地址(从机模式)或监测到警报(主机模式)
14	SMBTO	SMBus 模式下超时信号 硬件置 1，软件写 0 清 0。 0：无超时错误 1：超时事件发生(SCL 被拉低达 25ms)
13	保留	必须保持复位值。
12	PECERR	接收数据时 PEC 错误 硬件置 1，软件写 0 清 0。 0：接收到 PEC 且校验正确 1：接收到 PEC 但检验错误，此时不管 ACKEN 位的值，I2C 将发送 NACK
11	OUERR	当禁用 SCL 拉低功能后，在从机模式下发生了上溢或下溢事件。在从机接收模式下，假如 I2C_DATA 中的最后一字节并未被读出，并且后续字节又接收完成，就会发生上溢错误。在从机发送模式下，假如当前字节已经发送完成，而 I2C_DATA 仍然为空，就会发生下溢错误。 硬件置 1，软件写 0 清 0。 0：无上溢或下溢错误发生 1：发生上溢或下溢错误
10	AERR	应答错误 硬件置 1，软件写 0 清 0。 0：未发生应答错误 1：发生了应答错误
9	LOSTARB	主机模式下仲裁丢失 硬件置 1，软件写 0 清 0。 0：无仲裁丢失 1：发生仲裁丢失，I2C 模块返回从机模式。
8	BERR	总线错误，表示 I2C 总线上发生了预料之外的 START 信号或 STOP 信号。 硬件置 1，软件写 0 清 0。 0：无总线错误 1：发生了总线错误
7	TBE	发送期间 I2C_DATA 为空 硬件从 I2C_DATA 寄存器移动一个字节到移位寄存器之后将此位置 1，软件写一个字节到 I2C_DATA 寄存器清除该位。如果移位寄存器和 I2C_DATA 寄存器都是空的，写 I2C_DATA 寄存器将不会清除 TBE 位(详见主机/从机发送模式下的软件操作流程) 0：I2C_DATA 非空 1：I2C_DATA 空，软件可以写
6	RBNE	接收期间 I2C_DATA 非空

		硬件从移位寄存器移动一个字节到 I2C_DATA 寄存器之后将此位置 1，读 I2C_DATA 可以清除此位。如果 BTC 和 RBNE 都被置 1，读 I2C_DATA 将不会清除 RBNE，因为移位寄存器的字节将被立即移到 I2C_DATA。 0：I2C_DATA 为空 1：I2C_DATA 非空，软件可以读
5	保留	必须保持复位值。
4	STPDET	从机模式下监测到 STOP 信号 此位被硬件置 1，先读 I2C_STAT0 然后写 I2C_CTL0 可以清除此位。 0：从机模式下未监测到 STOP 信号 1：从机模式下监测到 STOP 信号
3	ADD10SEND	主机模式下 10 位地址的地址头被发送 该位由硬件置 1，软件读 I2C_STAT0 和写 I2C_DATA 清除此位。 0：主机模式下未发送 10 位地址的地址头 1：主机模式下发送 10 位地址的地址头
2	BTC	字节发送结束 接收模式下，如果一个字节已经被移位寄存器接收但是此时 I2C_DATA 寄存器仍然是满的；或者发送模式下，一个字节已经被移位寄存器发送但是 I2C_DATA 寄存器仍然是空的，如果使能了 SCL 拉低功能，位硬件就会置起 BTC 标志。 此位由硬件置 1。 可由以下三种方式清除： 1、软件清除：读 I2C_STAT0，然后读或写 I2C_DATA 寄存器清除此位 2、硬件清除：发送一个 STOP 或 START 信号 3、寄存器 I2C_CTL0 中 I2CEN=0 0：未发生 BTC 1：发生了 BTC
1	ADDSEND	主机模式下：成功发送了地址并收到 ACK 从机模式下：接收到的地址与自身的地址匹配 此位由硬件置 1，软件读 I2C_STAT0 寄存器和读 I2C_STAT1 清 0。 0：从机模式下，未收到地址或者收到的地址不匹配；主机模式下，无地址被发送或地址已发送但未收到从机回复的 ACK 1：从机模式下，接收到的地址与自身的地址匹配；主机模式下，地址已发送并收到 ACK
0	SBSEND	主机模式下发送 START 信号 此位由硬件置 1，软件读 I2C_STAT0 和写 I2C_DATA 清 0。 0：未发送 START 信号 1：START 信号被发送

传输状态寄存器 1(I2C_STAT1)

地址偏移：0x18
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15:8	PECV[7:0]	当 PEC 使能后硬件计算出的 PEC 值。
7	DUMODF	从机模式下双标志位表明哪个地址和双地址模式匹配 STOP 或 START 信号产生后或 I2CEN=0 时此位由硬件清 0。 0：地址和 I2C_SADDR0 匹配 1：地址和 I2C_SADDR1 匹配
6	HSTSMB	从机模式下监测到 SMBus 主机地址头 STOP 或 START 信号产生后或 I2CEN=0 时此位由硬件清 0。 0：未监测到 SMBus 主机地址头 1：监测到 SMBus 主机地址头
5	DEFSMB	SMBus 设备缺省地址 STOP 或 START 信号产生后或 I2CEN=0 时此位由硬件清 0。 0：SMBus 设备没有接收到缺省地址 1：SMBus 设备接收到缺省地址
4	RXGC	是否接收到广播地址(0x00) STOP 或 START 信号产生后或 I2CEN=0 时此位由硬件清 0。 0：未接收到广播呼叫地址 1：接收到广播呼叫地址
3	保留	必须保持复位值。
2	TR	发送端或接收端 该位表明 I2C 作为发送端还是接收端。STOP 或 START 信号产生后或 I2CEN 或 LOSTARB=1 时此位由硬件清 0。 0：接收端 1：发送端
1	I2CBSY	忙标志 STOP 信号后硬件清 0。 0：无 I2C 通讯 1：I2C 正在通讯
0	MASTER	主机模式 表明 I2C 时钟在主机模式还是从机模式的标志位。 该位在 START 信号产生后由硬件置 1。

该位在 STOP 信号产生后或 I2CEN=0 或 LOSTARB=1 时此位由硬件清 0。
0：从机模式
1：主机模式

时钟配置寄存器(I2C_CKCFG)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAST	DTCY	保留		CLKC[11:0]											
rw	rw			rw											

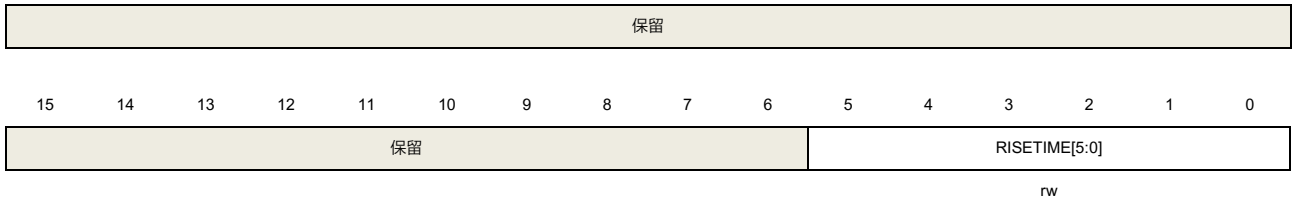
位/位域	名称	描述
31:16	保留	必须保持复位值。
15	FAST	主机模式下 I2C 速度选择 0：标准速度 1：快速
14	DTCY	快速模式下占空比 0：$T_{low}/T_{high}=2$ 1：$T_{low}/T_{high}=16/9$
13:12	保留	必须保持复位值。
11:0	CLKC[11:0]	主机模式下 I2C 时钟控制 标准速度模式下：$T_{high}=T_{low}=CLKC*T_{PCLK1}$ 如果 DTCY=0，快速模式下： $T_{high}=CLKC*T_{PCLK1}$，$T_{low}=2*CLKC*T_{PCLK1}$ 如果 DTCY=1，快速模式下： $T_{high}=9*CLKC*T_{PCLK1}$，$T_{low}=16*CLKC*T_{PCLK1}$ **注意：**如果 DTCY=0，当 PCLK1 为 3 的整数倍时，波特率会比较准确。如果 DTCY=1，当 PCLK1 为 25 的整数倍时，波特率会比较准确。

上升时间寄存器(I2C_RT)

地址偏移：0x20
复位值：0x0000 0002

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

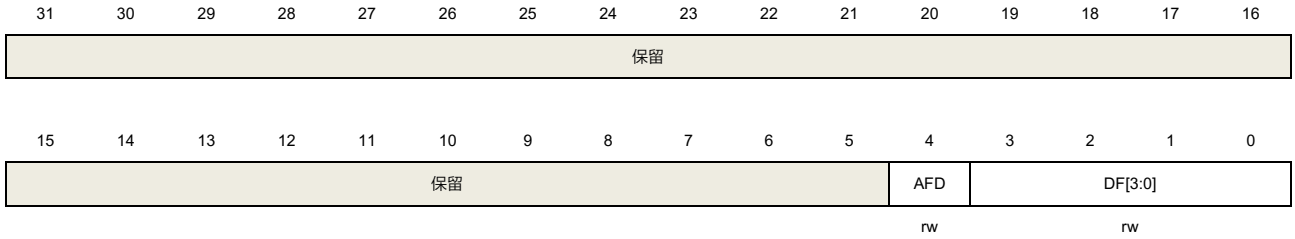


位/位域	名称	描述
31:6	保留	必须保持复位值。
5:0	RISETIME[5:0]	主机模式下最大上升时间 RISETIME 值应该为 SCL 最大上升时间加 1

滤波器控制寄存器(I2C_FCTL)

地址偏移：0x24
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。



位/位域	名称	描述
31:5	保留	必须保持复位值。
4	AFD	禁止模拟噪声滤波器 0：使能模拟噪声滤波器 1：禁止模拟噪声滤波器
3:0	DF[3:0]	数字噪声滤波器 数字噪声滤波器能滤除输入引脚 SCL 和 SDA 上尖端峰值最大长度 DF[3:0] PCLK1 周期的噪声 0000：禁止数字噪声滤波器 0001：使能数字噪声滤波器并且滤除的噪声尖端峰值达到 1 PCLK1 周期。 ... 1111：使能数字噪声滤波器并且滤除的噪声尖端峰值达到 15 PCLK1 周期。

SAM 控制状态寄存器(I2C_SAMCS)

地址偏移：0x80
复位值：0x0000 0000

该寄存器可以按半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFR	RFF	TFR	TFF	保留		RXF	TXF	RFRIE	RFFIE	TFRIE	TFFIE	保留		STOEN	SAMEN
rc_w0	rc_w0	rc_w0	rc_w0			r	r	rw	rw	rw	rw			rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	RFR	接收帧上升沿标志，由软件写 0 清 0
14	RFF	接收帧下降沿标志，由软件写 0 清 0
13	TFR	发送帧上升沿标志，由软件写 0 清 0
12	TFF	发送帧下降沿标志，由软件写 0 清 0
11:10	保留	必须保持复位值。
9	RXF	接收帧信号电平
8	TXF	发送帧信号电平
7	RFRIE	接收帧上升沿中断使能 0：接收帧上升沿中断失能 1：接收帧上升沿中断使能
6	RFFIE	接收帧下降沿中断使能 0：接收帧下降沿中断失能 1：接收帧下降沿中断使能
5	TFRIE	发送帧上升沿中断使能 0：发送帧上升沿中断失能 1：发送帧上升沿中断使能
4	TFFIE	发送帧下降沿中断使能 0：发送帧下降沿中断失能 1：发送帧下降沿中断使能
3:2	保留	必须保持复位值。
1	STOEN	SAM_V 接口超时检测使能 0：SAM_V 接口超时检测失能 1：SAM_V 接口超时检测使能
0	SAMEN	SAM_V 接口使能 0：SAM_V 接口失能 1：SAM_V 接口使能

24.2. 内部集成电路总线接口(I2Cx，x=3,4,5)

24.2.1. 简介

I2C(内部集成电路总线)模块提供了符合工业标准的两线串行制接口，可用于 MCU 和外部 I2C 设备的通讯。I2C 总线使用两条串行线：串行数据线 SDA 和串行时钟线 SCL。

I2C 接口模块实现了 I2C 协议的标速模式，快速模式以及快速+ 模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)和 PMBus(电源管理总线)。此外，I2C 接口模块还支持多主机 I2C 总线架构。I2C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

24.2.2. 主要特征

- 并行总线至 I2C 总线协议的转换及接口。
- 同一接口既可实现主机功能又可实现从机功能。
- 主从机之间的双向数据传输。
- 支持 7 位和 10 位的地址模式和广播寻址。
- 多个 7 位从机地址(两个地址，其中一个可配置地址位屏蔽)。
- 可编程的建立时间和保持时间。
- 支持 I2C 多主机模式。
- 支持标速(最高 100 kHz)，快速(最高 400 kHz)和快速+ 模式(最高 1MHz，必须在 SYSCFG_CFG1 中使能 I2CxFMP(x = 3，4，5))。
- 从机模式下可配置的 SCL 主动拉低。
- 支持 DMA 模式。
- 兼容 SMBus 3.0 和 PMBus 1.3。
- 可选择的 PEC(报文错误校验)生成和校验。
- 可编程模拟过滤器和数字过滤器。
- I2C 地址匹配时，由睡眠模式，深度睡眠模式唤醒。
- 独立于 PCLK 的时钟。

24.2.3. 功能说明

I2C 接口的内部结构如*图 24-14. I2C 模块框图*所示。

图 24-14. I2C 模块框图

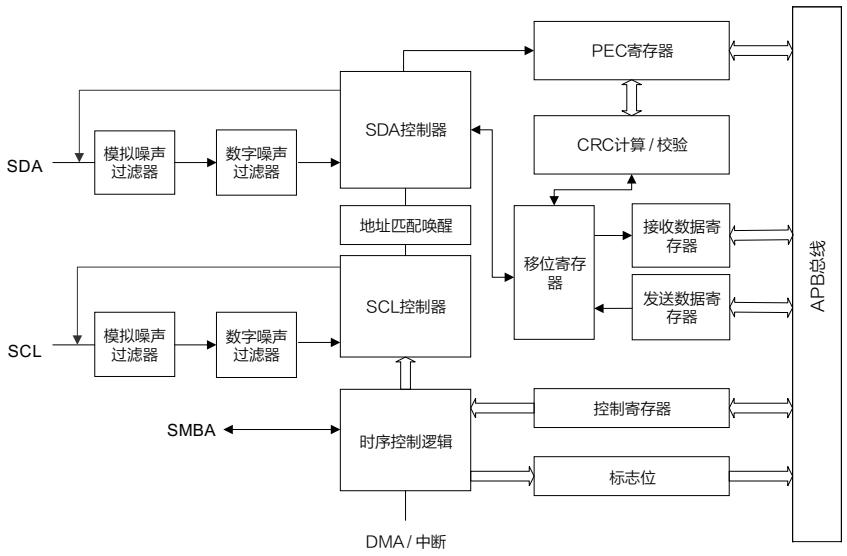


表 24-4. I2C 总线术语说明(参考飞利浦 I2C 规范)

术语	说明
发送器	发送数据到总线的设备
接收器	从总线接收数据的设备
主机	初始化数据传输，产生时钟信号和结束数据传输的设备
从机	由主机寻址的设备
多主	不破坏信息的前提下同时控制总线的多个主机
仲裁	如果超过一个主机同时试图控制总线，只有一个主机被允许，且获胜主机的信息不被破坏，保证上述的过程叫仲裁

时钟要求

I2C 时钟独立于 PCLK 时钟，因此可以独立操作 I2C。

I2C 时钟(I2CCLK)可以从以下三个时钟源中选择：

- APB1 时钟 PCLK1(默认值)
- PLLSAIR：锁相环
- IRC16M：内部 16M RC 时钟

I2C 时钟周期t_{I2CCLK}必须满足以下条件：

- $t_{I2CCLK}<(t_{LOW}-t_{filters})/4$
- $t_{I2CCLK}<t_{HIGH}$

其中：

t_{LOW}：SCL 低电平时间

t_{HIGH}：SCL 高电平时间

$t_{filters}$：在使能滤波器时，表示模拟滤波器和数字滤波器产生的延时总和。模拟滤波器产生的延时最大值为 260ns，数字滤波器产生的延时为DNF[3:0]×t_{I2CCLK}。

PCLK 时钟周期t_{PCLK}必须满足以下条件：

- t_{PCLK}<4/3*t_{SCL}

其中：

t_{SCL}：SCL 周期

注意：当 I2C 内核时钟由 PCLK 提供时，PCLK 必须符合t_{I2CCLK}的条件。

I2C 通讯流程

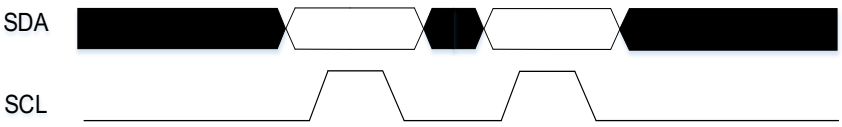
主机和从机都能实现数据收发，因此，I2C 可以实现四种工作模式：

- 从机发送
- 从机接收
- 主机发送
- 主机接收

数据有效性

时钟信号的高电平期间 SDA 线上的数据必须稳定。只有在时钟信号 SCL 变低的时候数据线 SDA 的电平状态才能跳变(如*图 24-15. 数据有效性*。每个数据比特传输需要一个时钟脉冲。

图 24-15. 数据有效性

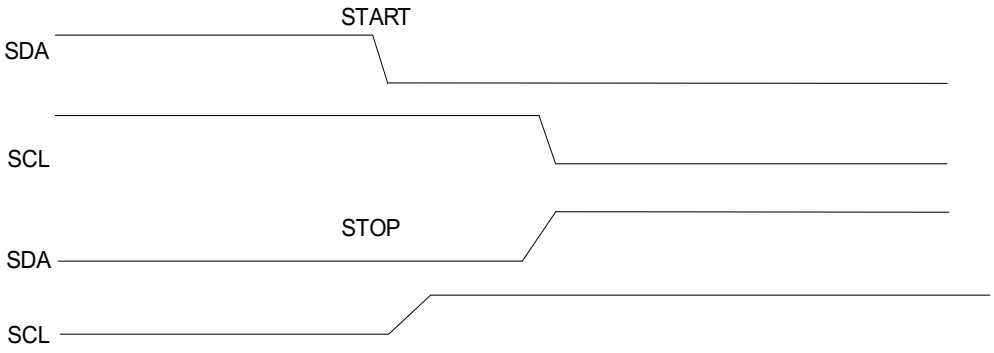


开始和停止信号

所有的数据传输起始于一个 START 结束于一个 STOP(参见*图 24-16. 开始和停止信号*)。

START 信号定义为，在 SCL 为高时，SDA 线上出现一个从高到低的电平转换。STOP 结束位定义为，在 SCL 为高时，SDA 线上出现一个从低到高的电平转换。

图 24-16. 开始和停止信号



每个 I2C 设备(不管是微控制器，LCD 驱动，存储器或者键盘接口)都通过唯一的地址进行识别，根据设备功能，他们既可以是发送器也可作为接收器。在默认情况下，I2C 设备工作在从机模式下。当 START 信号产生时，I2C 设备由从机模式切换成主机模式。如果仲裁丢失或者 STOP 信号产生时，I2C 由主机模式切换成从机模式。支持 I2C 多主机模式。

I2C 从机检测到 I2C 总线上的 START 信号之后，就开始从总线上接收地址，之后会把从总线接收到的地址和自身的地址(通过软件编程)进行比较，当两个地址相同时，I2C 从机将发送一个确认应答(ACK)，并响应总线的后续命令：发送或接收所需数据。此外，如果软件开启了广播呼叫，则 I2C 从机始终对一个广播地址(0x00)发送确认应答。I2C 模块支持 7 位和 10 位的地址模式。

数据和地址都是 8 位传输，高位在前。START 信号之后的字节(在 7 位地址模式下是一个字节，10 位地址模式下是两个字节)是主机发送的从机地址。

8 个时钟周期字节发送后，第 9 个时钟脉冲期间接收器会发送应答信号至发送器。是否产生 ACK 信号可以软件配置。

I2C 主机负责产生 START 信号和 STOP 信号来开始和结束一次传输，并且负责产生 SCL 时钟。

在主机模式下，如果 AUTOEND=1，STOP 信号由硬件产生。如果 AUTOEND=0，STOP 信号由软件产生，或者主机可以产生 RESTART 信号来启动新的数据传输。

图 24-17. 10 位地址的 I2C 通讯流程(主机发送)

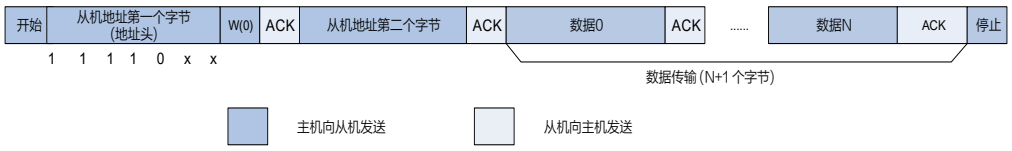


图 24-18. 7 位地址的 I2C 通讯流程(主机发送)

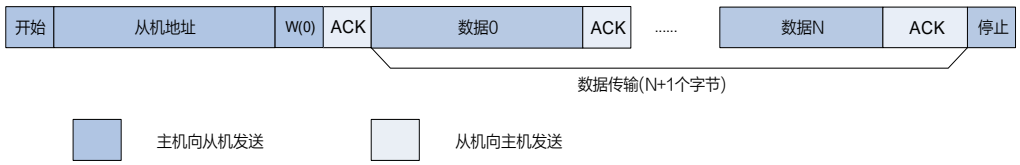


图 24-19. 7 位地址的 I2C 通讯流程(主机接收)



在 10 位寻址模式中，配置 HEAD10R 位可以选择执行完整的寻址序列或只发送地址头。当 HEAD10R=0，执行完整的 10 位地址寻址读序列 START+10 位地址头(写)+第二个地址字节 +RESTART+10 位地址头(读)，如*图 24-20. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=0)*所示。

在10位寻址模式中,如果主机接收是在主机发送结束后执行,读寻址序列可以是RESTART+10 位地址头(读)，如*图 24-21. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=1)*所示

图 24-20. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=0)

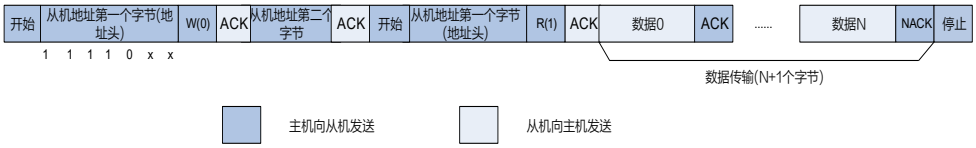
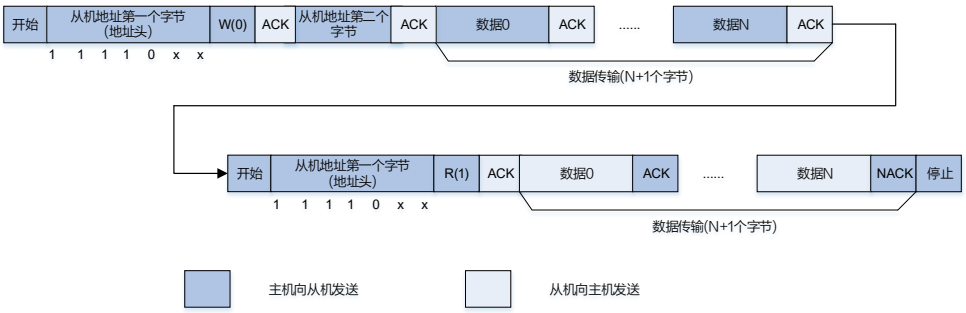


图 24-21. 10 位地址的 I2C 通讯流程(主机接收，HEAD10R=1)



噪声滤波器

I2C 外设集成了模拟噪声滤波器和数字噪声滤波器，噪声滤波器可根据实际需要在 I2C 外设启用前进行配置。

将 I2C_CTL0 寄存器中 ANOFF 位置 1 可以禁用模拟噪声滤波器，将 ANOFF 位清 0 时使能模拟噪声滤波器。在快速模式和快速+ 模式下，模拟滤波器需要抑制脉冲宽度高达 50ns 的峰值。

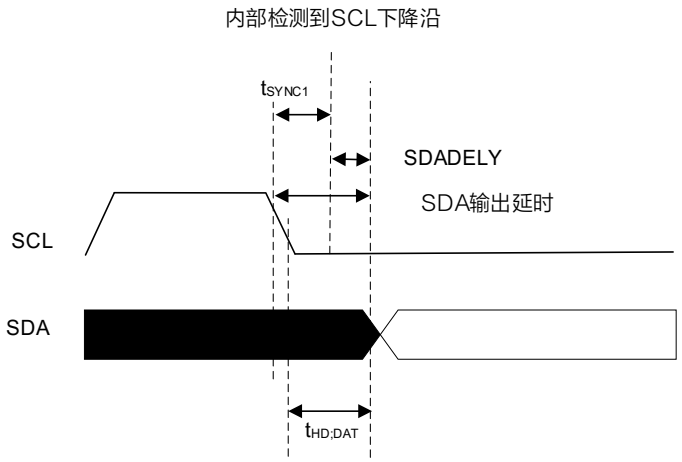
数字滤波器由 I2C_CTL0 寄存器中 DNF[3:0]位来配置。当数字滤波器使能时，SCL 和 SDA 电平保持稳定的时间大于DNF[3:0]×t_{I2CCLK}才会发生内部变化。抑制峰值宽度可由 DNF[3:0]配置。

I2C 时序配置

在 I2C 通信中，I2C_TIMING 寄存器中 PSC[3:0]，SCLDELY[3:0]和 SDADELY[3:0]用于保证正确的数据保持时间和数据建立时间。

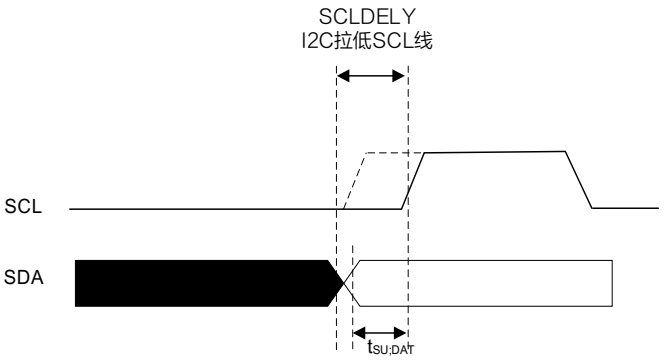
如果数据已经在 I2C_TDATA 寄存器中，在经历 SDADELY 延时后，数据由 SDA 发送，如*图 24-22. 数据保持时间*所示。

图 24-22. 数据保持时间



当数据经过 SDA 发送时，SCLDELY 计数器开启。如*图 24-23. 数据建立时间*所示。

图 24-23. 数据建立时间



当内部检测到 SCL 下降沿时，在 SDA 发送之前会插入一个延时。该延时为 $t_{SDADELY}$=SDADELY*t_{PSC}+t_{I2CCLK}，其中t_{PSC}=(PSC+1)*t_{I2CCLK}。$t_{SDADELY}$会影响$t_{HD;DAT}$。SDA 输出总延时为t_{SYNC1}+{[(SDADELY+1)*(PSC+1)]*t_{I2CCLK}}。t_{SYNC1}由 SCL 下降斜率，模拟滤波器延时，数字滤波器延时和 SCL 与 I2CCLK 时钟的同步延时共同决定。SCL 与 I2CCLK 时钟的同步延时为 2 至 3 个t_{I2CCLK}。

注意：当SDADELY = 0 时，$t_{SDADELY}$ = t_{PSC}。

SDADELY 必须符合以下条件：

- SDADELY>={t_f(max)+$t_{HD;DAT}$(min)-t_{AF}(min)-[(DNF+3)*t_{I2CCLK}]}/[(PSC+1)*t_{I2CCLK}]
- SDADELY<={$t_{HD;DAT}$(max)-t_{AF}(max)-[(DNF+4)*t_{I2CCLK}]}/[(PSC+1)*t_{I2CCLK}]

注意： t_{AF}为模拟滤波器延时，$t_{HD;DAT}$必须小于$t_{VD;DAT}$的最大值。

当 SS=0 时，经过延时$t_{SDADELY}$，在数据写入 I2C_TDATA 寄存器之前，从机会拉低时钟线。在数据建立时间期间 SCL 保持低电平。数据建立时间$t_{SCLDELY}$=(SCLDELY+1)*t_{PSC}。$t_{SCLDELY}$影响$t_{SU;DAT}$。

SCLDELY 必须符合以下条件：

- SCLDELY>={[t_r(max)+$t_{SU;DAT}$(min)]/[(PSC+1)*t_{I2CCLK}]}-1

在主机模式下，SCL 时钟高低电平由 I2C_TIMING 寄存器中 PSC[3:0]，SCLH[7:0]和 SCLL[7:0]控制。

当内部检测到 SCL 下降沿，在释放 SCL 输出之前会插入一个延时，该延时为t_{SCLL}=(SCLL+1)*t_{PSC}，其中t_{PSC}=(PSC+1)*t_{I2CCLK}。t_{SCLL}影响 SCL 低电平持续时间t_{LOW}。

当内部检测到 SCL 上升沿，在将 SCL 拉低之前会插入一个延时，该延时为t_{SCLH}=(SCLH+1)*t_{PSC}，其中t_{PSC}=(PSC+1)*t_{I2CCLK}。t_{SCLH}影响 SCL 高电平持续时间t_{HIGH}。

注意： 时序配置和 SS 位在 I2C 外设使能时是不能改变的。

表 24-5. 数据建立时间和数据保持时间

符号	参数	标准模式		快速模式		快速 +模式		SMBus		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{HD;DAT}$	数据保持时间	0	-	0	-	0	-	0.3	-	us
$t_{VD;DAT}$	数据有效时间	-	3.45	-	0.9	-	0.45	-	-	
$t_{SU;DAT}$	数据建立时间	250	-	100	-	50	-	250	-	ns
t_r	SCL 和 SDA 信号上升时间	-	1000	-	300	-	120	-	1000	
t_f	SCL 和 SDA 信号下降时间	-	300	-	300	-	120	-	300	

I2C 复位

清除 I2C_CTL0 寄存器中 I2CEN 位可以实现软件复位。当软件复位产生时，SCL 和 SDA 均被释放。通信控制位和状态位也还原成复位值。软件复位对配置寄存器无影响。受到影响的位为 I2C_CTL1 寄存器中 START，STOP 和 NACKEN，I2C_STAT 寄存器中 I2CBSY，TBE，TI，RBNE，ADDSEND，NACK，TCR，TC，STPDET，BERR，LOSTARB 和 OUERR。另外，如果支持 SMBus 模式，I2C_CTL1 寄存器中 PECTRANS 位，I2C_STAT 寄存器中 PECERR，TIMEOUT 和 SMBALT 位也会受到影响。

为了实现软件复位，I2CEN 必须在至少 3 个 APB 时钟周期内保持低电平。可以通过以下写软件序列来保证软件复位：

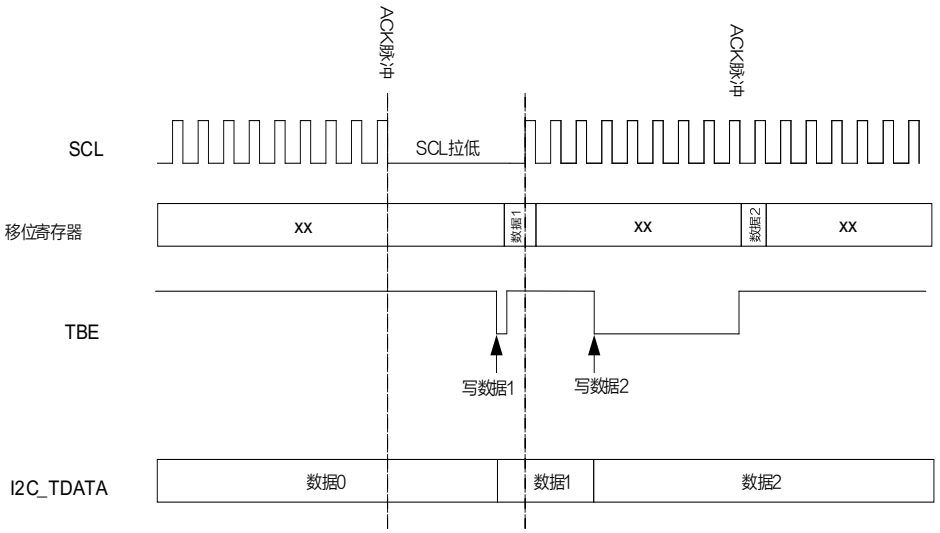
- I2CEN 写 0
- 检查 I2CEN 是否为 0
- I2CEN 写 1

数据传输

数据发送

在发送数据时，如果 TBE 为 0，表明 I2C_TDATA 寄存器非空，在第九个 SCL 脉冲(应答脉冲)后，I2C_TDATA 寄存器中的数据移入到移位寄存器。移位寄存器中的数据通过 SDA 线移出。如果 TBE 为 1，则表明 I2C_TDATA 寄存器为空，在 I2C_TDATA 不为空之前 SCL 将被拉低。SCL 拉低是在第九个 SCL 脉冲之后。

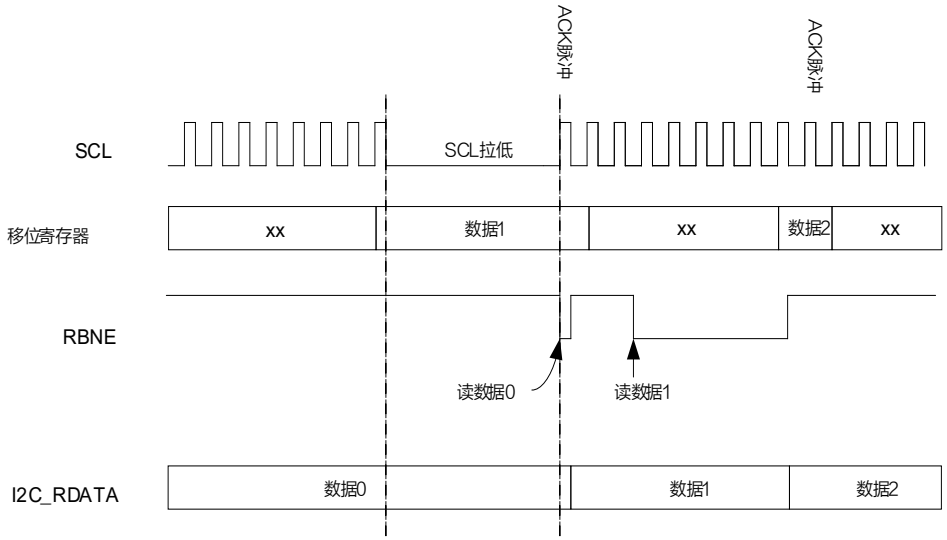
图 24-24. 数据发送



数据接收

在接收数据时，数据首先被接收到移位寄存器。如果 RBNE 为 0，移位寄存器中的数据将被移入 I2C_RDATA 寄存器。如果 RBNE 为 1，SCL 时钟将被拉低，直到之前接收到的数据字节被读取。这个时钟拉低被插入应答脉冲之前。

图 24-25. 数据接收



硬件传输管理重载和自动结束模式

为了管理字节传输和中断如*表 24-6. 可关闭通信模式*所示几种通信模式，I2C 硬件嵌入了字节计数器。

表 24-6. 可关闭通信模式

工作模式	行为
主机模式	产生 NACK，STOP 和 RESTART
从机接收模式	ACK 控制
SMBus 模式	PEC 生成/校验

传输的字节数由 BYTENUM[7:0]在 I2C_CTL1 寄存器中配置。如果 BYTENUM 大于 255，或者处于从机字节控制模式，则必须通过将 I2C_CTL1 寄存器中 RELOAD 位置 1 来使能重载模式。在重载模式下，当 BYTENUM 计数到 0 时，TCR 位将置 1，如果 TCIE 位置 1 将产生中断。当 TCR 位置 1 时，SCL 将被拉低。在 BYTENUM 写一个非零值将清除 TCR 位。

注意：重载模式必须在 BYTENUM[7:0]最后一次重载后禁用。

当使能自动结束模式时，必须禁用重载模式。在自动结束模式下，当 BYTENUM[7:0]计数到 0 时，主机将自动发送一个 STOP 信号。

当重载模式和自动结束模式都被禁用时，I2C 通信进程需要由软件终止。如果 BYTENUM[7:0]中的字节数已经传输完成，软件应将 STOP 位置 1 来产生一个 STOP 信号，然后清除 TC。

I2C 从机模式

初始化

从机模式下，至少使能一个从机地址。第一个从机地址写在 I2C_SADDR0 寄存器中，第二个从机地址写在 I2C_SADDR1 寄存器中。在使用从机地址时，必须相应地将 I2C_SADDR0 寄存器中 ADDRESSEN 位和 I2C_SADDR1 寄存器中 ADDRESS2EN 置 1。通过设置 I2C_SADDR0 寄存器中 ADDFORMAT 位可以选择 7 位地址或 10 位地址，该地址被写在 ADDRESS[9:0]。

I2C_CTL2 寄存器中 ADDM[6:0]定义 ADDRESS[7:1]的哪些位和接收到的地址进行比较，哪些位不比较。

ADDMSK2[2:0]用于屏蔽 I2C_SADDR1 寄存器中 ADDRESS2[7:1]，相关详细信息参考 I2C_SADDR1 寄存器 ADDMSK2[2:0]位域描述。

当 I2C 接收到的地址与使能的地址其中一个匹配成功时，ADDSEND 将被置 1，如果 ADDMIE 置位，将产生中断。I2C_STAT 寄存器 READDR[6:0]将会存储接收到的地址。在 ADDSEND 置位时，I2C_STAT 寄存器中 TR 位状态更新。TR 的状态指示从机是作为发送器还是接收器。

SCL 线控制

当 SS=0 时，时钟拉低功能默认用在从机模式下，在需要的时候 SCL 会被拉低。在下列情况下，SCL 会被拉低。

- 当 ADDSEND 置位时 SCL 线拉低，并在 ADDSEND 位清零之后释放。
- 在从机发送模式下，ADDSEND 清零之后，SCL 在第一个字节写入 I2C_TDATA 寄存器之前都是被拉低的。在前一个字节发送完成之后，新的字节写入 I2C_TDATA 寄存器之前，SCL 也是被拉低的。
- 在从机接收模式下，接收过程已完成但是 I2C_RDATA 寄存器中的数据还未被读取，SCL 将被拉低。
- 当 SBCTL=1 且 RELOAD=1 时，在最后一个字节传输结束后，TCR 置位。在 TCR 清除之前 SCL 将被拉低。
- SCL 下降沿被检测到之后，在[(SDADELY+SCLDELY+1)*(PSC+1)+1]*t_{I2CCLK}期间 SCL 被拉低。

SCL 线控制可以通过将 I2C_CTL0 寄存器中 SS 位置 1 来禁能。在下列情况下，SCL 不会被拉低。

- 在 ADDSEND 置位时 SCL 将不会被拉低。
- 在从机发送模式下，数据必须在它传输过程产生的第一个 SCL 脉冲之前写入 I2C_TDATA 寄存器。否则 I2C_STAT 寄存器中 OUERR 位将会置 1，如果 ERRIE 位也被置 1，将产生一个中断。当 STPDET 位置 1 并且第一个数据开始发送，I2C_STAT 寄存器中 OUERR 位也将置 1。
- 在从机接收模式下，数据必须在下一个字节接收产生的第九个 SCL 脉冲(ACK 脉冲)之前读取。否则 I2C_STAT 寄存器中 OUERR 位也将置 1。如果 ERRIE 位也被置 1，将产生一个中断。

从机字节控制模式

在从机接收模式下要实现字节 ACK 控制，可以通过将 I2C_CTL0 寄存器中 SBCTL 位置 1 来使能从机字节控制模式。当 SS=1 时，从机字节控制模式无效。

在使用从机字节控制模式时，必须通过置位 I2C_CTL1 寄存器中 RELOAD 位来使能重载模式。从机字节控制模式中，在 ADDSEND 中断服务程序中 I2C_CTL1 寄存器中 BYTENUM[7:0]必须配置为 1，并且在每个字节接收完成时重载为 1。当接收到一个字节时，I2C_STAT 寄存器中 TCR 位置 1，在第八个和第九个 SCL 时钟脉冲之间从机将 SCL 时钟拉低。然后数据可以从 I2C_RDATA 寄存器中读取出来，通过配置 I2C_CTL1 寄存器中 NACKEN 位，从机可以决定发送 ACK 或者是 NACK。当在 BYTENUM[7:0]写入非零值时，从机释放 SCL 时钟线。

当 BYTENUM[7:0]大于 0x1 时，在 BYTENUM[7:0]数据接收期间，数据流是连续的。

注意：在下列情况下，可以配置 SBCTL 位：

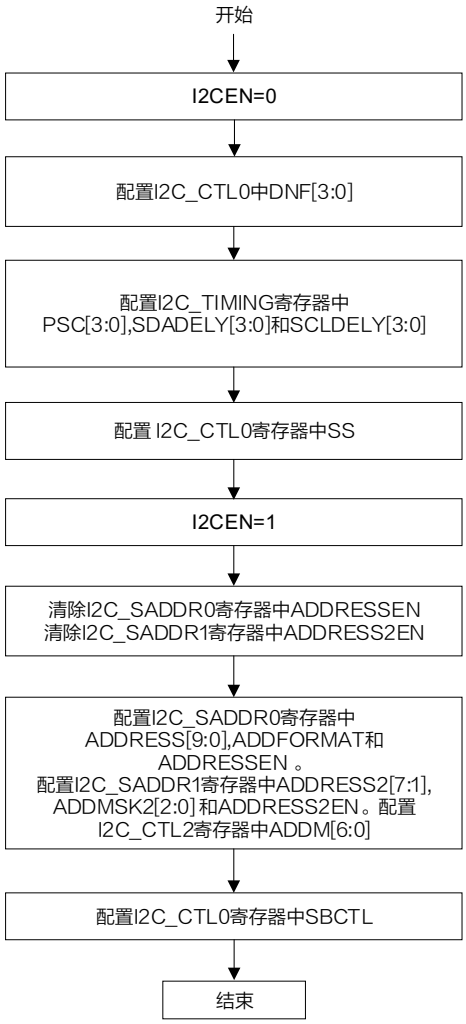
1、 I2CEN=0。

2、 从机还未被寻址。

3、 ADDSEND=1。

当 ADDSEND=1，或者 TCR=1 时，RELOAD 才可以被修改。

图 24-26. I2C 从机初始化



从机发送模式下的软件流程

当 I2C_TDATA 寄存器为空，I2C_STAT 寄存器中 TI 位将会置位。如果 I2C_CTL0 寄存器中 TIE 位置 1，将产生中断。当接收到 NACK 时，I2C_STAT 寄存器中 NACK 位会置位。如果 I2C_CTL0 寄存器中 NACKIE 位置 1，将产生中断。当接收到 NACK 信号时，I2C_STAT 寄存器中 TI 位将不会置位。

当接收到 STOP 信号时，I2C_STAT 寄存器中 STPDET 位将置 1。如果 I2C_CTL0 寄存器中 STPDETIE 位置 1，将产生中断。

当 SBCTL=0 时，如果 ADDSEND=1，且 I2C_STAT 寄存器中 TBE 位为 0，可以选择发送 I2C_TDATA 寄存器中的数据或者是将 TBE 置 1 来清空 I2C_TDATA 寄存器。

当 SBCTL=1 时，从机工作在字节控制模式，BYTENUM[7:0]必须在 ADDSEND 中断服务程序中配置。TI 事件的数量与 BYTENUM[7:0]的值相等。

当 SS=1 时，I2C_STAT 寄存器中 ADDSEND 位置位时 SCL 时钟线不会被拉低。在这种情况下，I2C_TDATA 寄存器中数据不能在 ADDSEND 中断服务程序中清空。因此待发送的第一个

字节应该在 ADDSEND 置位之前就被编程到 I2C_TDATA 寄存器。

- 该数据可以是上一次数据传输最后一次 TI 事件写入的数据。
- 如果该数据不是待发送数据，可通过将 TBE 位置 1 来刷新 I2C_TDATA 寄存器，从而编程新的数据。在数据发送开始时 STPDET 位必须为 0。否则 I2C_STAT 寄存器中 OUERR 位将置 1 并产生下溢错误。
- 从机发送模式下使用中断或者 DMA 时，如果需要一个 TI 事件，TI 位和 TBE 位都必须置 1。

图 24-27. I2C 从机发送编程模型(SS=0)

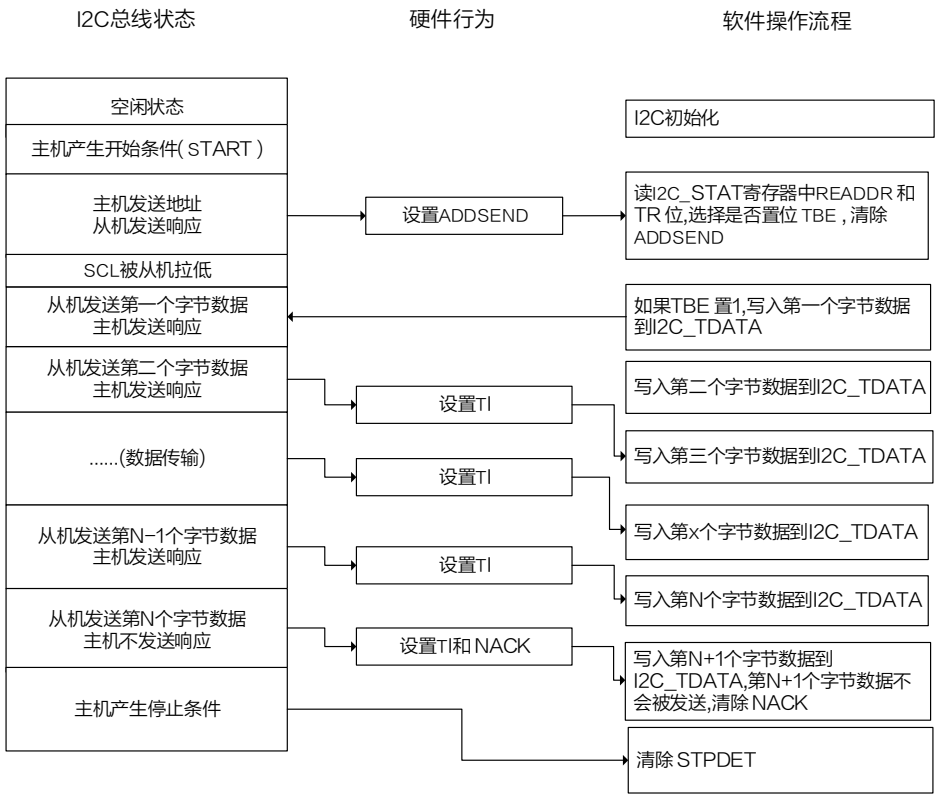
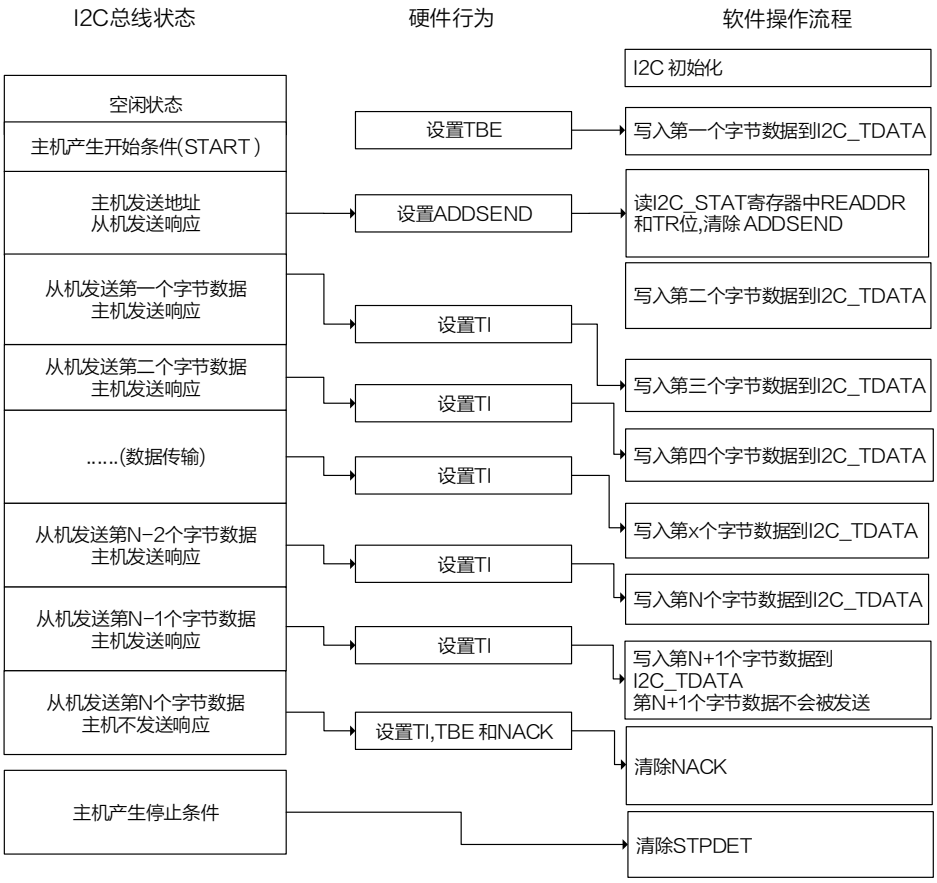


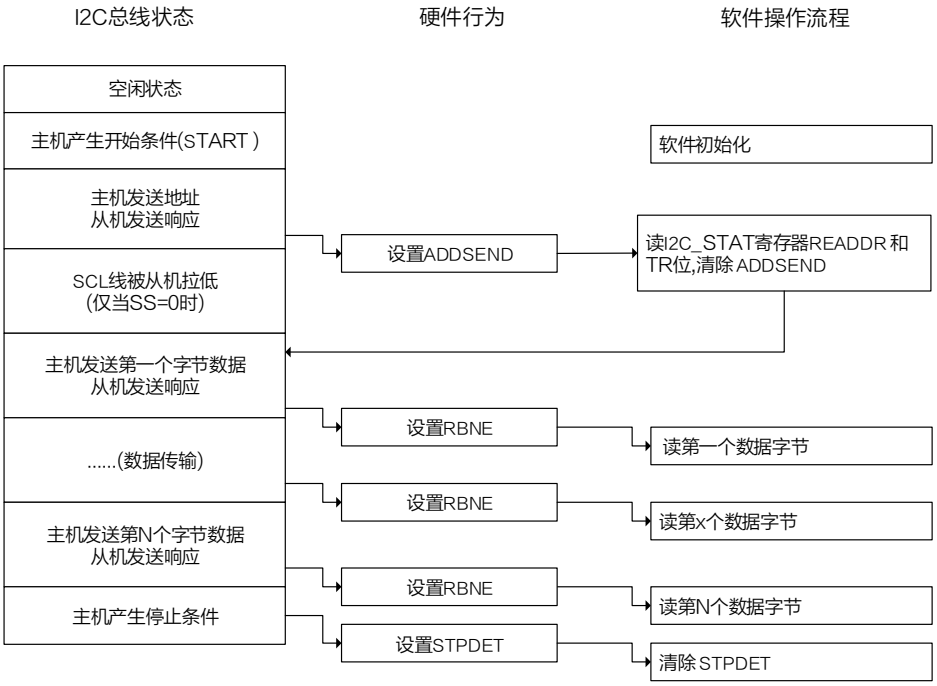
图 24-28. I2C 从机发送编程模型(SS=1)



从机接收模式下的软件流程

当 I2C_RDATA 寄存器非空，I2C_STAT 寄存器中 RBNE 位置 1，如果 I2C_CTL0 寄存器中 RBNEIE 位置 1，将产生中断。当接收到 STOP 信号时，I2C_STAT 寄存器中 STPDET 位将置 1。如果 I2C_CTL0 寄存器中 STPDETIE 置 1，将产生中断。

图 24-29. I2C 从机接收编程模型



I2C 主机模式

初始化

I2C_TIMING 寄存器中 SCLH[7:0]和 SCLL[7:0]必须在 I2CEN=0 时配置。为了支持多主机通信和从机时钟拉低，I2C 实现了时钟同步机制。

SCLL[7:0]和 SCLH[7:0]分别用于低电平计数和高电平计数。经过t_{SYNC1}延时后，当检测到 SCL 低电平时，SCLL[7:0]开始计数，如果 SCLL[7:0]计数器的值达到 I2C_TIMING 寄存器中 SCLL[7:0]时，I2C 将释放 SCL 时钟。经过t_{SYNC2}延时后，当检测到 SCL 高电平时，SCLH[7:0]开始计数，如果 SCLH[7:0]计数器的值达到 I2C_TIMING 寄存器中 SCLH[7:0]时，I2C 将拉低 SCL 时钟。

因此主机时钟周期为：$t_{SCL}=t_{SYNC1}+t_{SYNC2}+\{[(SCLH[7:0]+1)+(SLLL[7:0]+1)]*(PSC+1)*t_{I2CCLK}\}$。

t_{SYNC1}取决于 SCL 下降沿斜率，SCL 输入模拟和数字噪声滤波器延时以及 SCL 与 I2CCLK 时钟的同步产生的延时，一般为 2 到 3 个 I2CCLK 时钟周期。t_{SYNC2}取决于 SCL 上升沿斜率，SCL 输入模拟和数字噪声滤波器延时以及 SCL 与 I2CCLK 时钟的同步产生的延时，一般为 2 到 3 个 I2CCLK 时钟周期。数字噪声滤波器产生的延时为$DNF[3:0]*t_{I2CCLK}$。

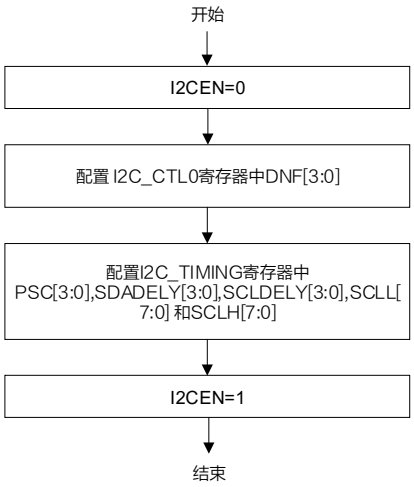
在主机模式下，必须配置 I2C_CTL1 寄存器中 ADD10EN，SADDRESS[9:0]以及 TRDIR 位。当在主机接收模式下使用 10 位寻址时，必须配置 HEAD10R 来选择是执行完整的地址寻址序列，还是只发送地址头。待传输的字节数在 I2C_CTL1 寄存器 BYTENUM[7:0]配置。如果待传输的字节数大于或者等于 255，必须将 BYTENUM[7:0]配置为 0xFF。然后主机发送 START 信号。以上提到的所有位必须在 START 位置 1 之前配置。START 信号发送完成之后，待 I2C_STAT 寄存器 I2CBSY 位为 0 时，发送从机地址。当仲裁丢失时，主机切换成从机模式，START 位由硬件清零。当从机地址发送完成时，START 位由硬件清零。

注意：BYTENUM[7:0]不能配置为 0。

在 10 位寻址模式下，在发送 10 位地址头之后，如果主机接收到 NACK，主机将重发 10 位地址头直到收到 ACK。将 ADDSENDC 置 1 可以停止重发从机地址。

如果 START 位置 1 时，I2C 作为从机被寻址成功，ADDSEND 置 1，主机将切换为从机模式。START 位将在 ADDSENDC 置 1 时清零。

图 24-30. I2C 主机初始化



主机发送模式下的软件流程

在主机发送模式下，每一个字节发送完成并接收到 ACK 信号之后，TI 位将置 1。如果 I2C_CTL0 寄存器中 TIE 位置 1，将产生中断。待发送的字节数编程在 I2C_CTL1 寄存器 BYTENUM[7:0]。如果发送字节数大于 255，必须通过将 I2C_CTL1 寄存器 RELOAD 位置 1 来使能重载模式。在重载模式下，当 BYTENUM[7:0]个字节传输完成，I2C_STAT 寄存器 TCR 位将置 1，并且在 BYTENUM[7:0]更新一个非零值之前，SCL 被拉低。

如果接收到 NACK，TI 位将不会置 1。

- 如果 BYTENUM[7:0]个字节传输完成且 RELOAD=0，将 I2C_CTL1 寄存器中 AUTOEND 置 1 可以自动产生 STOP 信号。当 AUTOEND=0 时，I2C_STAT 寄存器 TC 位将置 1 且 SCL 被拉低。在这种情况下，主机可以通过将 I2C_CTL1 寄存器中 STOP 位置 1 来产生 STOP 信号。或者产生 RESTART 信号来开始一个新的数据传输过程。将 START / STOP 置 1 可以清除 TC 位。
- 如果接收到 NACK 信号，I2C 将自动产生 STOP 信号。I2C_CTL0 寄存器中 NACK 将置 1，如果 NACKIE 位置 1，将产生中断。

注意：当 RELOAD=1 时，AUTOEND 位无效。

图 24-31. I2C 主机发送编程模型(N<=255)

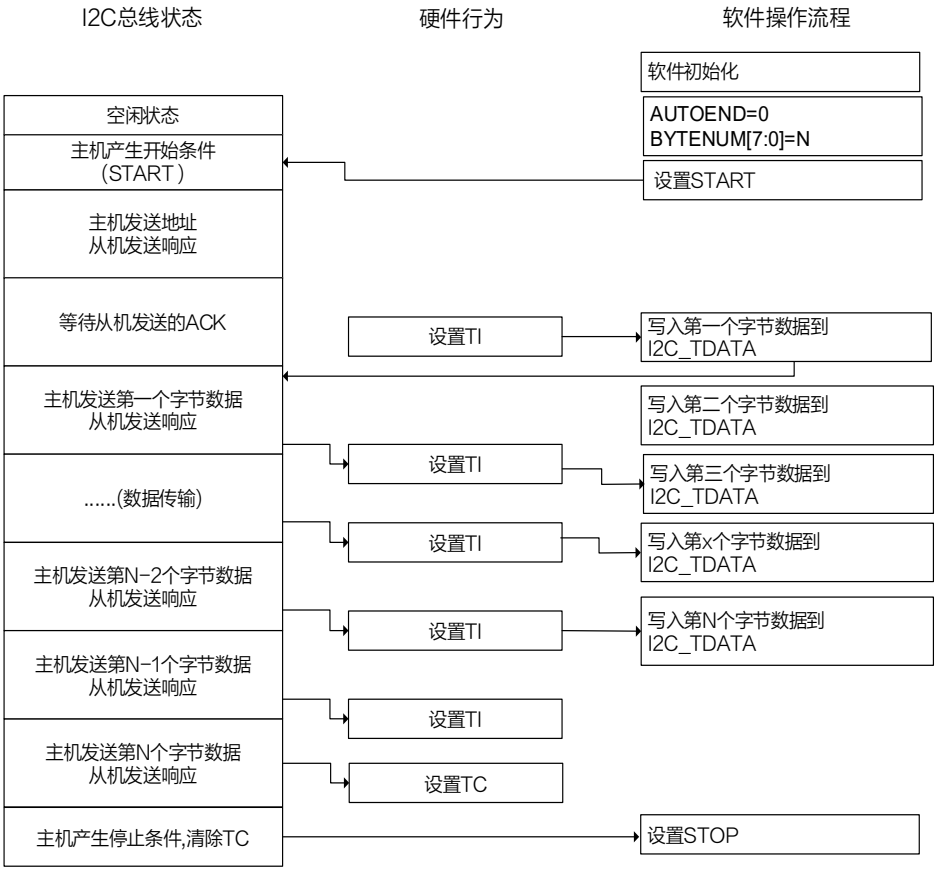


图 24-32. I2C 主机发送编程模型(N>255)



主机接收模式下的软件流程

在主机接收模式下，当接收到一个字节时，I2C_STAT 寄存器中 RBNE 位置 1。如果 I2C_CTL0 寄存器中 RBNEIE 置 1，将产生一个中断。如果待接收字节数大于 255，必须将 I2C_CTL1 寄存器中 RELOAD 位置 1 来使能重载模式。在重载模式下，当 BYTENUM[7:0]个字节传输完成，I2C_STAT 寄存器中 TCR 位将置 1，在 BYTENUM[7:0]中写入一个非零值之前，SCL 被拉低。

如果 BYTENUM[7:0]个字节传输完成且 RELOAD=0，将 I2C_CTL1 寄存器中 AUTOEND 置 1 可以自动产生 STOP 信号。当 AUTOEND=0 时，I2C_STAT 寄存器 TC 位将置 1 且 SCL 被拉低。在这种情况下，主机可以通过将 I2C_CTL1 寄存器中 STOP 位置 1 来产生 STOP 信号。或者产生 RESTART 信号来开始一个新的数据传输过程。将 START / STOP 置 1 可以清除 TC 位。

图 24-33. I2C 主机接收编程模型(N<=255)

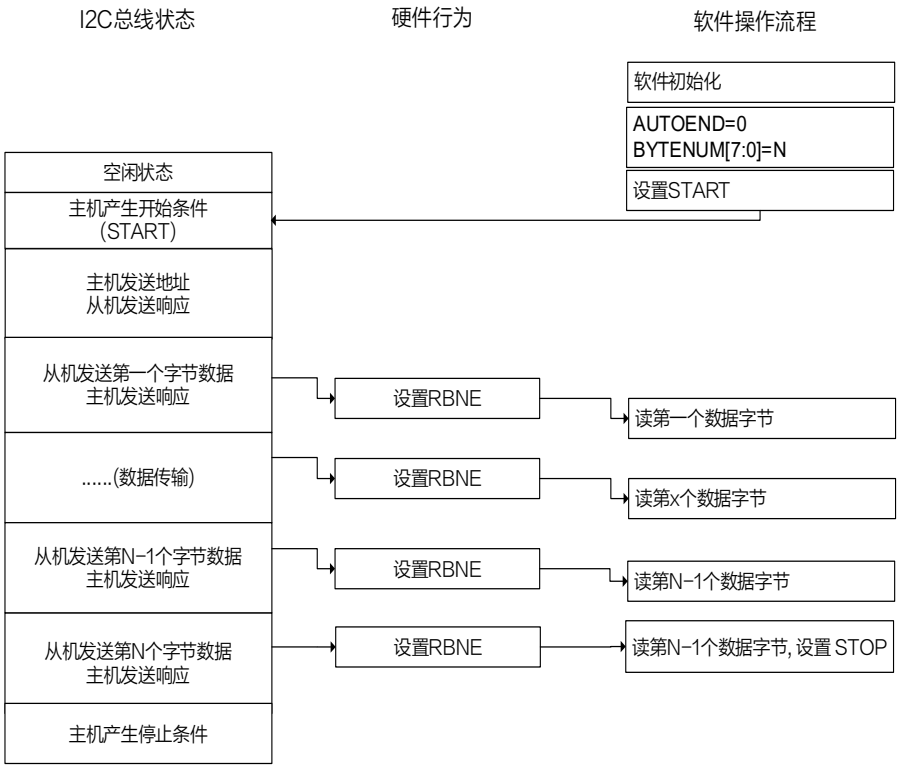


图 24-34. I2C 主机接收编程模型(N>255)



SMBus 支持

系统管理总线(System Management Bus，简写为 SMBus 或 SMB)是一种结构简单的单端双线制总线，可实现轻量级的通信需求。一般来说，SMBus 最常见于计算机主板，主要用于电源传输 ON/OFF 指令的通信。SMBus 是 I2C 的一种衍生总线形式，主要用于计算机主板上的低带宽设备间通信，尤其是与电源相关的芯片，例如笔记本电脑的可充电电池子系统(参见 Smart Battery Data)。

SMBus 协议

SMBus 上每个报文交互都遵从 SMBus 协议中预定义的格式。SMBus 是 I2C 规范中数据传输格式的子集。只要 I2C 设备可通过 SMBus 协议之一进行访问，便视为兼容 SMBus 规范。不符合这些协议的 I2C 设备，将无法被 SMBus 和 ACPI 规范所定义的标准方法访问。

地址解析协议

SMBus 采用了 I2C 硬件以及 I2C 的硬件寻址方式，但在 I2C 的基础上增加了二级软件处理，建立自己独特的系统。比较特别的是 SMBus 规范包含一个地址解析协议，可用于实现动态地址分配。动态识别硬件和软件使得总线设备能够支持热插拔，无需重启系统便能即插即用。总线中的设备将被自动识别并分配唯一地址。这个优点非常有利于实现即插即用的用户界面。在此协议中，系统中的 host 与设备之间有一个重要的区别，即 host 具有分配地址的功能。

SMBus 从机字节控制

SMBus 接收器从机字节控制与 I2C 一样。它允许 ACK 控制每个字节。必须能对接收到的命令或者数据进行 NACK 应答。通过将 I2C_CTL0 寄存器中 SBCTL 位置 1 来使能从机字节控制模式。

主机通知协议

通过将 I2C_CTL0 寄存器 SMBHAEN 位置 1，SMBus 可以支持主机通知协议。在该协议中，从设备作为主机，主设备作为从机，主机将应答 SMBus 主机地址。

超时特性

SMBus 有一种超时特性：假如某个通信耗时太久，便会自动复位设备。这就解释了为什么最小时钟周期为 10kHz--为了防止长时间锁死总线。I2C 在本质上可以视为一个"直流"总线，也就是说当主机正在访问从机的时候，假如从机正在执行一些子程序无法及时响应，从机可以拉住主机的时钟。这样便可以提醒主机：从机正忙，但并不想放弃当前的通信。从机的当前任务结束之后，将可以继续 I2C 通信。I2C 总线协议中并没有限制这个延时的上限，但在 SMBus 系统中，这个时间被限定为 25~35ms。按照 SMBus 协议的假定，如果某个会话耗时太久，就意味着总线出了问题，此时所有设备都应当复位以消除这种(问题)状态。这样就并不允许从设备将时钟拉低太长时间。

将 I2C_TIMEOUT 寄存器中 TOEN 位和 EXTOEN 位置 1 可以使能超时检测。配置定时器必须保证在 SMBus 规范规定的时间最大值之前检测出超时情况。

在 BUSTOA[11:0]中编程的值被用来检查$t_{TIMEOUT}$参数。必须将 TOIDLE 位配置为 0，以检测 SCL 低电平超时。将 I2C_TIMEOUT 寄存器中 TOEN 位置 1 来使能定时器，在 TOEN 置 1 之后，BUSTOA[11:0] 和 TOIDLE 位不能被修改。如果 SCL 低电平时间大于(BUSTOA+1)*2048*t_{I2CCLK}，I2C_STAT 寄存器中 TIMEOUT 位将置 1。

BUSTOB[11:0]为从机校验$t_{LOW:SEXT}$，为主机校验$t_{LOW:MEXT}$。通过将 I2C_TIMEOUT 寄存器中 EXTOEN 位置 1 来使能定时器。在 EXTOEN 置 1 之后，BUSTOB[11:0]不能被修改。如果 SMBus 外设 SCL 拉低时间大于(BUSTOB+1)*2048*t_{I2CCLK}，并且达到了总线空闲检测章节中描述的超时时间间隔，I2C_STAT 寄存器中 TIMEOUT 位将置 1。

报文错误校验

I2C 模块中有一个 PEC 模块，它使用 CRC-8 计算器来执行 I2C 数据的报文校验。一个 PEC 字节(PEC 错误码)附加在每次传输结束。PEC 的计算方式是对所有消息字节(包含地址和读/写位)使用 CRC-8 计算校验和。CRC-8 多项式位x^8+x^2+x+1(CRC-8-ATM HEC 算法，初始化为 0)。

当 I2C 被禁用时，通过 I2C_CTL0 寄存器中的 PECEN 位置 1 可以使能 PEC。由于 PEC 传输

是由 I2C_CTL1 寄存器中 BYTENUM[7:0]管理的，因此在从机模式下必须将 SBCTL 位置 1。当 PECTRANS 置 1，RELOAD 为 0 时，在 BYTENUM[7:0]-1 数据字节后发送 PEC。PEC 在 BYTENUM[7:0]-1 传输完成后发送。当 RELOAD 置 1 时 PECTRANS 无效。

SMBus 警报

SMBus 还有一个额外的共享的中断信号，称为 SMBALERT#。从机上发生事件后，可通过这个信号通知主机来访问从机。主机会处理该中断，并通过报警响应地址，同时访问所有 SMBALERT#设备。如果 SMBALERT#电平被设备拉低，这些设备会应答报警响应地址。当配置为从设备(SMBHAEN = 0)时，通过将 I2C_CTL0 寄存器中 SMBALTEN 置 1 可以将 SMBA 引脚电平拉低。同时也使能了报警响应地址。当配置为主设备(SMBHAEN = 1)，且 SMBALTEN 置 1 时，当在 SMBA 引脚检测到下降沿时，I2C_STAT 寄存器中 SMBALT 位将置 1。如果 I2C_CTL0 寄存器中 ERRIE 位置 1，将产生中断。当 SMBALTEN = 0 时，即使外部 SMBA 引脚为低电平，ALERT 线也将被视为高电平。当 SMBALTEN = 0 时，SMBA 引脚可用作标准 GPIO。

总线空闲检测

如果主机检测到时钟信号和数据信号的高电平持续时间大于$t_{HIGH,MAX}$，总线被视为空闲。

该时序参数已考虑到主机已动态添加至总线，但可能还未检测到 SMBCLK 或 SMBDAT 线上的状态转换的情况。在这种情况下，为了保证当前没有数据传输正在进行，主机必须等待足够长的时间。

要使能t_{IDLE}检查，必须将 BUSTOA[11:0]编程为定时器重载值，以获取t_{IDLE}参数。必须将 TIDLE 位置 1，以检测 SCL 和 SDA 高电平超时。然后通过将 I2C_TIMEOUT 寄存器中的 TOEN 位置 1 来使能定时器。TOEN 置 1 后，BUSTOA[11:0]和 TIDLE 不能被修改。如果 SCL 和 SDA 的高电平持续时间都大于(BUSTOA+1)*4*t_{I2CCLK}，I2C_STAT 寄存器中 TIMEOUT 位将置位。

SMBus 从机模式

SMBus 接收器必须能够对接收到的命令和数据进行 NACK 应答。对于从机模式下的 ACK 控制，通过将 I2C_CTL0 寄存器中 SBCTL 位置 1 可以使能从机字节控制模式。

必要时应使能特定的 SMBus 地址。通过将 I2C_CTL0 寄存器中 SMBDAEN 置 1 可以使能 SMBus 设备默认地址(0b1100 001)。通过将 I2C_CTL0 寄存器中 SMBHAEN 置 1 可以使能 SMBus 主机地址(0b0001 000)。通过将 I2C_CTL0 寄存器中 SMBALTEN 置 1 可以使能报警响应地址(0b0001 100)。

SMBus 模式

SMBus 主机发送器和从机接收器

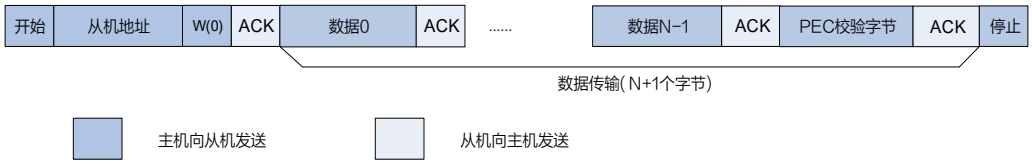
当 SMBus 主机发送 PEC 时，必须在 START 位置 1 前，将 PECTRANS 位置 1 并在 BYTENUM[7:0]位域中配置字节数。在这种情况下，总 TI 中断数为 BYTENUM-1。因此，如果 BYTENUM=0x1 且 PECTRANS 位置 1，则 I2C_PEC 寄存器的数据将自动发送。如果 AUTOEND 为 1，SMBus 主机在 PEC 字节发送完成之后将自动发送 STOP 信号。如果 AUTOEND 为 0，SMBus 主机可以在 PEC 字节发送完成之后发送 RESTART 信号。I2C_PEC 寄存器中的数据将在 BYTENUM -1 个字节发送完成后发送，PEC 字节发送完成后 TC 位将置

1。SCL 线被拉低。RESTART 位必须在 TC 中断服务程序中置 1。

SMBus 作为从机接收器时，为了在数据发送完成时进行 PEC 校验，SBCTL 位必须置 1。要对每个字节进行 ACK 控制，必须通过将 RELOAD 位置 1 来使能 RELOAD 模式。如果要校验 PEC 字节，必须将 RELOAD 位清零同时将 PECTRANS 置 1。在 BYTENUM-1 个字节接收完成后，接收的下一个字节将与 I2C_PEC 寄存器中的数据进行比较。如果校验值不匹配，将自动产生 NACK 信号；如果校验值匹配将自动产生 ACK 信号，将忽略 NACKEN 位的值。当接收到 PEC 字节时，PEC 字节会存到 I2C_RDATA 寄存器中，RBNE 位将置 1。如果 I2C_CTL0 寄存器中 ERRIE 位置 1，且 PEC 值不匹配，PECERR 将会置 1 并产生中断。如果无须使用 ACK 控制，PECTRANS 可以设置为 1，BYTENUM 可以根据待接收字节数来配置。

注意：在 RELOAD 位置 1 之后，PECTRANS 不可以被修改。

图 24-35. SMBus 主机发送器和从机接收器通信流程



SMBus 主机接收器和从机发送器

如果 SMBus 主机需要在数据传输完成后接收 PEC 字节，可以使能自动结束模式。在 START 信号发送之前，必须将 PECTRANS 位置 1，且配置好从机地址。在接收 BYTENUM-1 数据之后，接收的下一个字节将自动与 I2C_PEC 寄存器中的数据进行比较。在停止信号发送之前，接收 PEC 字节之后会给出 NACK 响应。

如果 SMBus 主机需要在接收到 PEC 字节之后产生 RESTART 信号，需要禁能自动结束模式。在 START 信号发送之前，PECTRANS 位必须置 1，且配置好从机地址。在接收 BYTENUM-1 数据之后，接收的下一个字节将自动与 I2C_PEC 寄存器中的数据进行比较。在 PEC 字节发送完成之后 TC 位将置 1，SCL 线被拉低。在 TC 中断服务程序中可将 RESTART 位置 1。

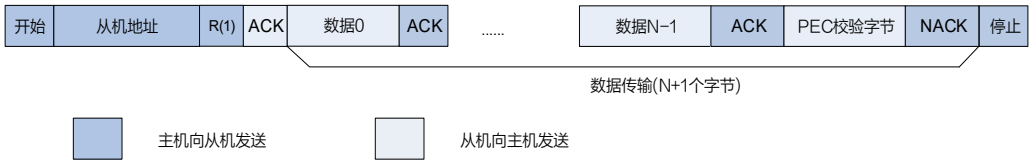
当 SMBus 作为从机发送器时，为了在 BYTENUM[7:0]个字节发送完成之后发送 PEC 字节，SBCTL 位必须置 1。如果 PECTRANS 置 1，字节数 BYTENUM[7:0]包含 PEC 字节。在这种情况下，如果主机请求接收的字节数大于 BYTENUM-1，总 TI 中断数为 BYTENUM-1，I2C_PEC 寄存器中的数据将自动发送。

注意：

1. PECTRANS 位在 RELOAD 置 1 之后不能被修改。

2. SMBus 作为从机发送器，并且使用 PEC 功能时，必须在检测到 START 信号前配置 BYTENUM[7:0]。

图 24-36. SMBus 主机接收器和从机发送器通信流程



从省电模式唤醒

当 I2C 地址匹配成功时，MCU 从睡眠模式，深度睡眠模式被唤醒。为了将 MCU 从这些省电模式唤醒，I2C_CTL0 寄存器中 WUEN 位必须置 1，同时 I2CCLK 时钟源选择 IRC16M。在深度睡眠模式下，IRC16M 关闭。当 I2C 检测到 START 信号时，IRC16M 打开，I2C 会将 SCL 拉低直到 IRC16M 被唤醒。在接收地址期间，IRC16M 为 I2C 提供时钟。当地址匹配时，在 MCU 唤醒期间，I2C 的 SCL 线被拉低。当 ADDSEND 清除时，SCL 线被释放，数据传输过程恢复正常。如果检测到的地址不匹配，IRC16M 会再次关闭，MCU 将不会被唤醒。

只有地址匹配中断(ADDMIE = 1)能唤醒 MCU。如果 I2C 的时钟源是系统时钟，或者 WUEN = 0，IRC16M 在接收到 START 信号之后将不会打开。当从省电模式唤醒使能时，数字滤波器必须禁能，I2C_CTL0 寄存器中 SS 位也必须清 0。如果禁止从省电模式唤醒(WUEN = 0)，则在进入省电模式之前必须禁能 I2C 外设(I2CEN = 0)。

DMA 模式下数据传输

如 I2C 从机模式和主机模式中描述，每当 TI 位和 RBNE 位被置 1 之后，软件都应该写或读一个字节，这样将导致 CPU 的负荷较重。I2C 的 DMA 功能可以在 TI 或 RBNE 位置 1 时，自动进行一次写或读操作。

将 I2C_CTL0 寄存器中 DENT 置 1 可以使能 DMA 发送请求。将 I2C_CTL0 寄存器中 DENR 置 1 可以使能 DMA 接收请求。在主机模式下，由软件写入从机地址，传输方向，待发送字节数和 START 位。DMA 必须在 START 位置 1 之前初始化。在 I2C_CTL1 寄存器 BYTENUM[7:0] 位配置待传输字节数。在从机模式下，DMA 必须在地址匹配事件发生之前或 ADDSEND 中断服务程序中清除 ADDSEND 标志之前完成初始化。

I2C 错误和中断

I2C 错误标志如*表 24-7. I2C 错误标志*所示。

表 24-7. I2C 错误标志

I2C 错误名称	描述
BERR	总线错误
LOSTARB	仲裁丢失
OUERR	上溢 / 下溢标志
PECERR	CRC 值不匹配
TIMEOUT	SMBus 模式下总线超时
SMBALT	SMBus 报警

I2C 中断和事件标志如*表 24-8. I2C 中断事件*所示。

表 24-8. I2C 中断事件

中断事件	事件标志	使能控制位
在接收期间 I2C_RDATA 非空	RBNE	RBNEIE
发送中断	TI	TIE
从机模式下检测到 STOP 信号	STPDET	STPDETIE
传输完成重载	TCR	TCIE
传输完成	TC	
地址匹配	ADDSEND	ADDMIE
接收到 NACK	NACK	NACKIE
总线错误	BERR	ERRIE
仲裁丢失	LOSTARB	
上溢 / 下溢错误	OUERR	
PEC 错误	PECERR	
超时错误	TIMEOUT	
SMBus 报警	SMBALT	

I2C 调试模式

当为控制器进入调试模式(Cortex®-M33 内核停止)，SMBus 超时定时器会根据 DBG 模块中的 I2Cx_HOLD 配置位选择继续正常工作还是停止工作。

24.2.4. I2C 寄存器

I2C3基地址：0x4000 8000

I2C4基地址：0x4000 8400

I2C5基地址：0x4000 8800

控制寄存器 0(I2C_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								PECEN	SMBALTEN	SMBDAEN	SMBHAEN	GCEN	WUEN	SS	SBCTL
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DENR	DENT	保留	ANOFF	DNF[3:0]				ERRIE	TCIE	STPDETIE	NACKIE	ADDMIE	RBNEIE	TIE	I2CEN
rw	rw		rw	rw				rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:24	保留	必须保持复位值。
23	PECEN	PEC 计算开关。 0：PEC 计算关闭。 1：PEC 计算打开。
22	SMBALTEN	SMBus 报警使能。 0：从机模式下 SMBA 引脚高电平或主机模式下 SMBus 报警引脚 SMBA 禁能。 1：从机模式下 SMBA 引脚低电平或主机模式下 SMBus 报警引脚 SMBA 使能。
21	SMBDAEN	SMBus 设备默认地址使能。 0：设备默认地址禁能，对默认地址 0b1100001x 进行 NACK 应答。 1：设备默认地址使能，对默认地址 0b1100001x 进行 ACK 应答。
20	SMBHAEN	SMBus 主机地址使能。 0：主机地址禁能，对地址 0b0001000x 进行 NACK 应答。 1：主机地址使能，对地址 0b0001000x 进行 ACK 应答。
19	GCEN	是否响应对地址(0x00)的广播呼叫。 0：从机不响应广播呼叫。 1：从机将响应广播呼叫。
18	WUEN	使能从省电模式中唤醒，包含睡眠模式和深度睡眠模式。 0：禁止从省电模式中唤醒。

		1：使能从省电模式中唤醒。 **注意：**当 DNF[3:0] = 0 时，WUEN 才能被置 1。
17	SS	在从机模式下数据未就绪时是否将 SCL 拉低。 软件置 1 和清 0。 0：拉低 SCL 1：不拉低 SCL **注意：**在主机模式下，该位必须为 0。该位只能在 I2CEN=0 时被修改。
16	SBCTL	从机模式下字节控制。 该位用于在从机模式下使能硬件字节控制。 0：从机模式下字节控制禁能。 1：从机模式下字节控制使能。
15	DENR	DMA 接收使能 0：DMA 接收禁能 1：DMA 接收使能
14	DENT	DMA 发送使能 0：DMA 发送禁能 1：DMA 发送使能
13	保留	必须保持复位值。
12	ANOFF	模拟噪声滤波器禁能 0：模拟噪声滤波器使能。 1：模拟噪声滤波器禁能。 **注意：**该位只有在 I2C 禁能(I2CEN=0)时被编程。
11:8	DNF[3:0]	数字噪声滤波器 0000：数字噪声滤波器禁能。 0001：数字噪声滤波使能并且可以滤除脉宽宽度不大于 1 t_{I2CCLK}的尖峰。 ... 1111：数字噪声滤波使能并且可以滤除脉宽宽度不大于 15 t_{I2CCLK}的尖峰。 这些位只能在 I2C 禁能(I2CEN = 0)时修改。
7	ERRIE	错误中断使能 0：错误中断禁能 1：错误中断使能，当 BERR，LOSTARB，OUERR，PECERR，TIMEOUT 或 SMBALT 位置 1 时，将产生中断。
6	TCIE	传输完成中断使能 0：传输完成中断禁能。 1：传输完成中断使能。
5	STPDETIE	停止信号检测中断使能 0：停止信号(STPDET)检测中断禁能。 1：停止信号(STPDET)检测中断使能。
4	NACKIE	接收到 NACK 应答中断使能

0：接收到 NACK 应答中断禁能。
1：接收到 NACK 应答中断使能。

3	ADDMIE	从机模式下地址匹配中断使能 0：地址匹配中断禁能。 1：地址匹配中断使能。
2	RBNEIE	接收中断使能 0：接收(RBNE)中断禁能。 1：接收(RBNE)中断使能。
1	TIE	发送中断使能 0：发送中断(TI)禁能。 1：发送中断(TI)使能。
0	I2CEN	I2C 外设使能 0：I2C 禁能。 1：I2C 使能。

控制寄存器 1(I2C_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					PECTRANS	AUTOEND	RELOAD	BYTENUM[7:0]							
					rw	rw	rw	rw							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NACKEN	STOP	START	HEAD10R	ADD10EN	TRDIR	SADDRESS[9:0]									
rw	rw	rw	rw	rw	rw	rw									

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	PECTRANS	PEC 传输 软件置 1 和清 0，硬件在以下条件下清除此位：PEC 传输完成或者 ADDSEND 置 1 或者检测到 STOP 信号或者 I2CEN=0。 0：不传输 PEC 值。 1：传输的 PEC 值。 **注意：**当 RELOAD=1 或者从机模式下 SBCTL=0 时，该位无效。
25	AUTOEND	主机模式下自动结束模式 0：当 BYTENUM[7:0]个字节传输完成后时，TC 位置 1。 1：当 BYTENUM[7:0]个字节传输完成后时，自动发送 STOP 信号。

		注意：该位仅在 RELOAD=0 时有效。该位由软件置 1 和清 0。
24	RELOAD	重载模式使能 0：当 BYTENUM[7:0]个字节传输完成后时，传输结束。 1：当 BYTENUM[7:0]个字节传输完成后时，传输未结束，重载新的 BYTENUM[7:0]。每次 BYTENUM[7:0]个字节传输完成，I2C_STAT 寄存器中 TCR 位将置 1。该位由软件置 1 和清 0。
23:16	BYTENUM[7:0]	待传输的字节数 这些用来编程待传输的字节数。当 SBCTL=0 时，这些位无效。 **注意：**当 START 位置 1 时，这些位不能被修改，传输过程中软件不能修改该位。
15	NACKEN	从机模式下产生 NACK 0：在接收到新的字节时，发送 ACK。 1：在接收到新的字节时，发送 NACK。 **注意：**该位可由软件置 1，并在以下情况下由硬件清零：NACK 发送完成或检测到 STOP 信号或 ADDSEND 置 1，或 I2CEN=0。当 PEC 使能时，发送 ACK 还是 NACK 与 NACKEN 值无关。当 SS=1 时，且 OUERR 位置 1，NACKEN 的值会被忽略，并且发送 NACK。
14	STOP	I2C 总线上产生一个 STOP 结束信号。 该位由软件置 1，并在 I2CEN=0 或检测到 STOP 信号时由硬件清零。 0：不发送 STOP。 1：发送 STOP。
13	START	I2C 总线上产生一个 START 信号 该位由软件置 1，并在从机地址发送后由硬件清零。当仲裁丢失时，或发生超时错误，或 I2CEN=0 时，该位也可以由硬件清零。将 I2C_STATC 寄存器中 ADDSENDC 位置 1 可以软件清除该位。 0：不发送 START。 1：发送 START。
12	HEAD10R	在主机接收模式下仅执行 10 位地址头读操作。 0：主机发送 10 位从机地址读序列为 START + 10 位地址头(写) + 第二个地址字节 + RESTART + 10 位地址头(读)。 1：主机寻址读序列为 RESTART + 10 位地址头(读)。 **注意：**当 START 位置 1 时，该位不能被修改，传输过程中软件不能修改该位。
11	ADD10EN	主机模式下使能 10 位寻址模式 0：主机工作在 7 位寻址模式下。 1：主机工作在 10 位寻址模式下。 **注意：**当 START 位置 1 时，该位不能被修改，传输过程中软件不能修改该位。
10	TRDIR	主机模式下传输方向 0：主机发送 1：主机接收 **注意：**当 START 位置 1 时，该位不能被修改，传输过程中软件不能修改该位。
9:0	SADDRESS[9:0]	待发送的从机地址

SADDRESS[9:8]：从机地址 9:8 位。
如果 ADD10EN = 0，该位域无效。
如果 ADD10EN = 1，将该位域写入待发送从机地址的 9:8 位。
SADDRESS[7:1]：从机地址 7:1 位。
如果 ADD10EN = 0，在这些位写入待发送 7 位从机地址。
如果 ADD10EN = 1，在这些位写入待发送从机地址的 7:1 位。
SADDRESS0：从机地址 0 位。
如果 ADD10EN = 0，这些位无效。
如果 ADD10EN = 1，在这些位写入待发送从机地址的 0 位。
注意：当 START 位置 1 时，该位不能被修改，传输过程中软件不能修改该位。

从机地址寄存器 0(I2C_SADDR0)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15	ADDRESSEN	I2C 地址使能 0：I2C 地址禁能。 1：I2C 地址使能。
14:11	保留	必须保持复位值。
10	ADDFORMAT	I2C 从机地址模式 0：7 位地址。 1：10 位地址。 **注意：**当 ADDRESSEN =1 时，该位不能被改写。
9:8	ADDRESS[9:8]	10 位地址的最高两位 **注意：**当 ADDRESSEN =1 时，该位不能被改写。
7:1	ADDRESS[7:1]	7 位地址或者 10 位地址的第 7-1 位 **注意：** 3. 当 ADDRESSEN =1 时，该位不能被改写。 4. 当从机地址设置为保留地址 0b1111000 时，如果地址匹配，从机不响应。

0	ADDRESS0	10 位地址的第 0 位 **注意：**当 ADDRESSEN =1 时，该位不能被改写。

从机地址寄存器 1(I2C_SADDR1)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15	ADDRESS2EN	I2C 第二个地址使能 0：I2C 第二个地址禁能 1：I2C 第二个地址使能
14:11	保留	必须保持复位值。
10:8	ADDMSK2[2:0]	ADDRESS2[7:1]掩码 定义接收到的地址哪些位需要与 ADDRESS2[7:1]进行比较，哪些位屏蔽(不比较)。 000：不屏蔽，所有的位都进行比较。 n(001~110)：ADDRESS2[n:1]屏蔽。ADDRESS2[7:n+1]需要进行比较。 111：ADDRESS2[7:1]屏蔽。对于接收到的所有 7 位地址都会进行 ACK 应答，保留地址(0b0000xxx 和 0b1111xxx)除外。 **注意：**当 ADDRESS2EN =1 时，该位不能被改写。如果 ADDMSK2 不等于 0，即使所有位都匹配，I2C 保留地址(0b0000xxx 和 0b1111xxx)也不会进行 ACK 应答。
7:1	ADDRESS2[7:1]	I2C 从机的第二个地址 **注意：** 1. 当 ADDRESS2EN =1 时，该位不能被改写。 2. 当从机地址设置为保留地址 0b1111000 时，如果地址匹配，从机不响应。
0	保留	必须保持复位值。

时序寄存器(I2C_TIMING)

地址偏移：0x10
复位值：0x0000 0000

当 I2C(I2CEN = 1)被使能时，该寄存器不能被改写。

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSC[3:0]				保留				SCLDELY[3:0]				SDADELY[3:0]			
rw								rw				rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLH[7:0]								SCLL[7:0]							
rw								rw							

位/位域	名称	描述
31:28	PSC[3:0]	时序预分频 为了生成用于数据建立和数据保持的计数器的时钟周期t_{PSC}，这些位用于配置 I2CCLK 时钟预分频。t_{PSC}也用于 SCL 高电平和低电平计数器。 $t_{PSC}=(PSC+1)*t_{I2CCLK}$。
27:24	保留	必须保持复位值。
23:20	SCLDELY[3:0]	数据建立时间 这些位用于在 SDA 边沿和 SCL 上升沿之间生成延时$t_{SCLDELY}$。在主机模式下和在从机模式下 SS=0 时，在$t_{SCLDELY}$期间 SCL 线被拉低。 $t_{SCLDELY}=(SCLDELY+1)*t_{PSC}$。
19:16	SDADELY[3:0]	数据保持时间 这些位用于在 SCL 下降沿和 SDA 边沿之间生成延时$t_{SDADELY}$。在主机模式下和在从机模式下 SS=0 时，在$t_{SDADELY}$期间 SCL 线被拉低。 0x0：$t_{SDADELY} = 1*t_{PSC}$ 0x1-0xF：$t_{SDADELY}=SDADELY*t_{PSC}$
15:8	SCLH[7:0]	SCL 高电平周期 SCL 高电平周期可以通过配置这些位来产生。 $t_{SCLH}=(SCLH+1)*t_{PSC}$。 **注意：**这些位只能用于主机模式。
7:0	SCLL[7:0]	SCL 低电平周期 SCL 低电平周期可以通过配置这些位来产生。 $t_{SCLL}=(SCLL+1)*t_{PSC}$。 **注意：**这些位只能用于主机模式。

超时寄存器(I2C_TIMEOUT)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTOEN	保留			BUSTOB[11:0]											

rw										rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEN	保留		TOIDLE	BUSTOA[11:0]											
rw			rw	rw											

位/位域	名称	描述
31	EXTOEN	时钟信号延展超时使能 当 SCL 累计拉低时间大于 $t_{LOW:EXT}$ 时，将会产生超时错误，$t_{LOW:EXT}$=(BUSTOB+1)*2048*t_{I2CCLK}。 0：时钟信号延展超时检测禁能。 1：时钟信号延展超时检测使能。
30:28	保留	必须保持复位值。
27:16	BUSTOB[11:0]	总线超时 B 配置累积时钟延展超时。在主机模式下，检测主机累计时钟低电平延展时间$t_{LOW:MEXT}$。 从机模式下，检测从机累计时钟低电平延展时间$t_{LOW:SEXT}$。 $t_{LOW:EXT}$=(BUSTOB+1)*2048*t_{I2CCLK}。 **注意：**该位域仅在 EXTOEN = 0 时可以被修改。
15	TOEN	时钟超时使能 当 TOIDLE = 0，SCL 拉低时间大于$t_{TIMEOUT}$或当 TOIDLE = 1，SCL 拉高时间大于 t_{IDLE}，将检测到超时错误。 0：SCL 超时检测禁能 1：SCL 超时检测使能
14:13	保留	必须保持复位值。
12	TOIDLE	空闲时钟超时检测 0：BUSTOA 用于检测 SCL 低电平超时。 1：BUSTOA 用于检测 SCL 和 SDA 高电平超时(总线空闲条件)。 **注意：**该位域仅在 TOEN = 0 时可以被改写。
11:0	BUSTOA[11:0]	总线超时 A 当 TOIDLE=0 时，$t_{TIMEOUT}$=(BUSTOA+1)*2048*t_{I2CCLK} 当 TOIDLE=1 时，t_{IDLE}=(BUSTOA+1)*4*t_{I2CCLK} **注意：**该位域仅在 TOEN = 0 时可以被改写。

状态寄存器(I2C_STAT)

地址偏移：0x18
复位值：0x0000 0001

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								READDR[6:0]							TR
								r							r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2CBSY	保留	SMBALT	TIMEOUT	PECERR	OUERR	LOSTARB	BERR	TCR	TC	STPDET	NACK	ADDSEND	RBNE	TI	TBE
r		r	r	r	r	r	r	r	r	r	r	r	r	rw	rw

位/位域	名称	描述
31:24	保留	必须保持复位值。
23:17	READDR[6:0]	从机模式下接收到的匹配地址 当 ADDSEND 置 1 时，这些位用于存储接收到的地址。在 10 位地址情况下，READDR[6:0]存储 10 位地址头和地址的最高两位。
16	TR	I2C 在从机模式下作为发送端还是接收端 该位在 ADDSEND 位置 1 时更新。 0：接收端 1：发送端
15	I2CBSY	忙标志 该位在硬件检测到 START 信号时置 1。在 STOP 信号后硬件清 0。当 I2CEN=0 时，由硬件清零。 0：无 I2C 通讯 1：I2C 正在通讯
14	保留	必须保持复位值。
13	SMBALT	SMBus 报警 当 SMBHAEN=1，SMBALTEN=1 且在 SMBA 引脚检测到 SMBALERT 事件(下降沿)时，该位由硬件置 1。SMBALTC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：在 SMBA 引脚上未检测到 SMBALERT 事件。 1：在 SMBA 引脚上检测到 SMBALERT 事件。
12	TIMEOUT	超时标志 当发生超时或延展时钟超时，该位将置 1。TIMEOUTC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：无超时或延展时钟超时发生。 1：发生超时或延展时钟超时。
11	PECERR	PEC 错误 当接收到的 PEC 字节与 I2C_PEC 寄存器中的内容不匹配时，该位置 1。然后将自动发生 NACK。PECERRC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：接收到 PEC 与 I2C_PEC 的内容匹配。 1：接收到 PEC 与 I2C_PEC 的内容不匹配，此时 I2C 将忽略 NACKEN 位的值，并直接发送 NACK。
10	OUERR	从模式下上溢 / 下溢错误 在从机模式下且 SS=1，当发生上溢 / 下溢错误时，该位置 1。OUERRC 置 1 可以

		将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：未发生上溢 / 下溢错误。 1：发生上溢 / 下溢错误。
9	LOSTARB	仲裁丢失 LOSTARBC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：无仲裁丢失。 1：发生仲裁丢失，I2C 模块返回从机模式。
8	BERR	总线错误 当 I2C 总线上发生了预料之外的 START 信号或 STOP 信号时，将产生总线错误，该位将置 1。BERRC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：无总线错误。 1：发生了总线错误。
7	TCR	传输完成重载 当 RELOAD=1 且 BYTENUM[7:0]个字节传输完成时，该位置 1。在 BYTENUM[7:0]写入一个非零值可以软件清零该位。 0：当 RELOAD=1 时，BYTENUM[7:0]个字节传输未完成。 1：当 RELOAD=1 时，BYTENUM[7:0]个字节传输完成。
6	TC	主机模式下传输完成 当 RELOAD=0，AUTOEND=0 且 BYTENUM[7:0]个字节传输完成时，该位置 1。当 START 位或 STOP 位置 1 时该位清零。 0：BYTENUM[7:0]个字节传输未完成。 1：BYTENUM[7:0]个字节传输完成。
5	STPDET	总线上检测到 STOP 信号 当在总线上检测到 STOP 信号时，主机和从机的该位由硬件置 1。STPDETC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：未监测到 STOP 结束位。 1：监测到 STOP 结束位。
4	NACK	接收到 NACK 应答 当接收到 NACK 时，该位置 1。NACKC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：接收到 ACK。 1：接收到 NACK。
3	ADDSEND	从机模式下接收到的地址与自身地址匹配 当接收到的地址与使能的从机地址之一匹配时，该位由硬件置 1。ADDSENDC 置 1 可以将该位软件清零。当 I2CEN=0 时，该位由硬件清零。 0：接收到的地址不匹配。 1：接收到的地址匹配。
2	RBNE	接收期间 I2C_RDATA 非空 当接收到的数据移入 I2C_RDATA 寄存器时，该位置 1。读 I2C_RDATA 可清除该位。 0：I2C_RDATA 空。

1：I2C_RDATA 非空，软件可以读。

1	TI	发送中断 当 I2C_TDATA 为空且 I2C 已经做好发送数据准备时，该位置 1。在下一个待发送字节写入 I2C_TDATA 寄存器时该位清零。当 SS=1 时，可由软件将该位置 1 来产生 TI 事件(TIE=1 时为中断，DENT=1 时为 DMA 请求)。 0：I2C_TDATA 非空或者 I2C 还未做好发送数据准备。 1：I2C_TDATA 空且 I2C 已经做好发送数据准备。
0	TBE	发送期间 I2C_TDATA 空 当 I2C_TDATA 寄存器为空，该位置 1。当下一个待发送数据写入 I2C_TDATA 寄存器时，该位清零。可以软件将该位置 1 来清空 I2C_TDATA 寄存器。 0：I2C_TDATA 非空。 1：I2C_TDATA 空。

状态清除寄存器(I2C_STATC)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



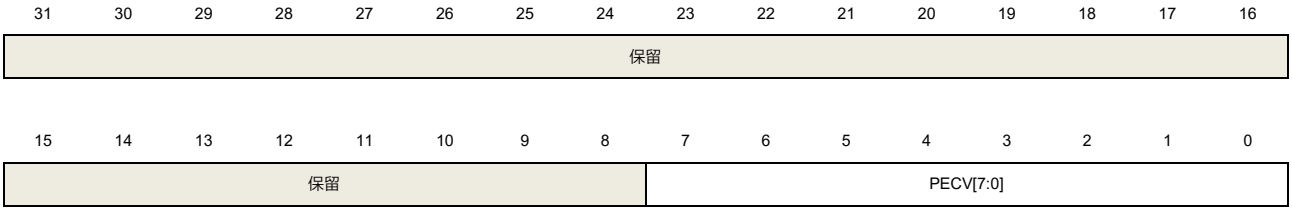
位/位域	名称	描述
31:14	保留	必须保持复位值。
13	SMBALTC	SMBus 报警标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 SMBALT 位。
12	TIMEOUTC	TIMEOUT 标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 TIMEOUT 位。
11	PECERRC	PEC 错误标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 PECERR 位。
10	OUERRC	上溢 / 下溢标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 OUERR 位。
9	LOSTARBC	仲裁丢失标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 LOSTARB 位。
8	BERRC	总线错误标志清零

		软件对该位写 1 可以清除 I2C_STAT 寄存器中 BERR 位。
7:6	保留	必须保持复位值。
5	STPDETC	停止位检测标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 STPDET 位。
4	NACKC	NACK 标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 NACK 位。
3	ADDSENDC	地址匹配标志清零 软件对该位写 1 可以清除 I2C_STAT 寄存器中 ADDSEND 位。
2:0	保留	必须保持复位值。

PEC 寄存器(I2C_PEC)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	PECV[7:0]	在 PEC 使能时，由硬件计算出来的 PEC 值。 当 I2CEN = 0 时，PECV 由硬件清零。

接收数据寄存器(I2C_RDATA)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

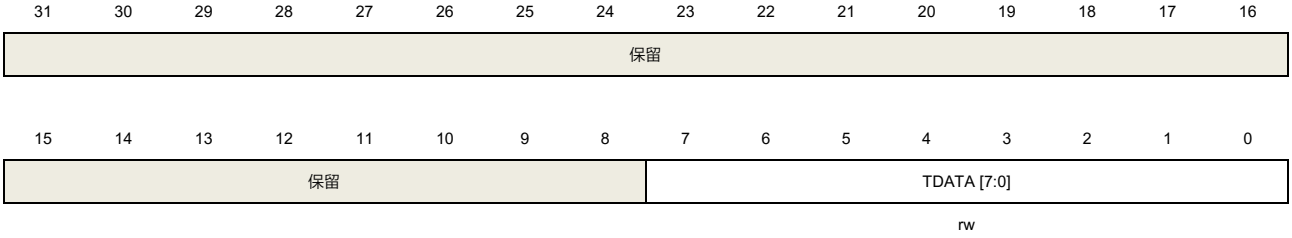


位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	RDATA[7:0]	接收到的数据

发送数据寄存器(I2C_TDATA)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

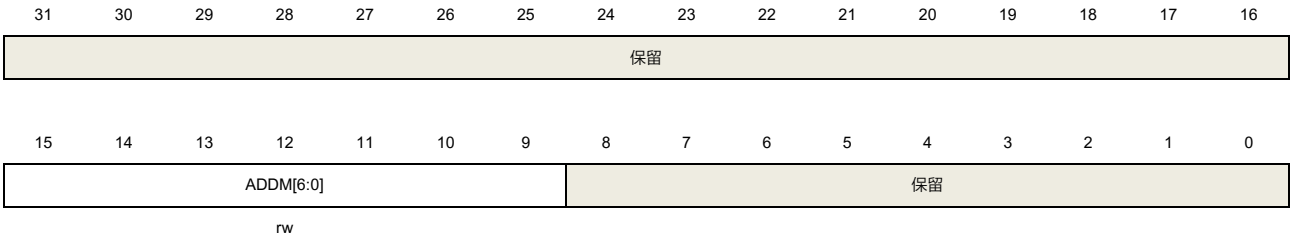


位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	TDATA[7:0]	发送的数据

控制寄存器 2(I2C_CTL2)

地址偏移：0x90
复位值：0x0000 FE00

该寄存器只能按字(32 位)访问。



位/位域	名称	描述
31:16	保留	必须保持复位值。
15:9	ADDM[6:0]	定义 ADDRESS[7:1]的哪些位和接收到的地址进行比较，哪些位不比较。ADDM[6:0]中设置为 1 的位使能 ADDRESS[7:1]中的相应位与接收到的地址进行比较，设置为 0 的位则忽略(此时接收到的地址在该位可以为 0 或 1)。
8:0	保留	必须保持复位值。

25. 串行外设接口/片上音频接口(SPI/I2S)

25.1. 简介

SPI/I2S 模块可以通过 SPI 协议或 I2S 音频协议与外部设备进行通信。

串行外设接口(Serial Peripheral Interface，缩写为 SPI)提供了基于 SPI 协议的数据发送和接收功能，可以工作于主机或从机模式。SPI 接口支持具有硬件 CRC 计算和校验的全双工和单工模式。SPI5 还支持 SPI 四线主机模式。

片上音频接口(Inter-IC Sound，缩写为 I2S)支持四种音频标准，分别是 I2S 飞利浦标准，MSB 对齐标准，LSB 对齐标准和 PCM 标准。它可以在四种模式下运行，包括主机发送模式，主机接收模式，从机发送模式和从机接收模式。通过使用附加的 I2S 模块：I2S1_ADD 和 I2S2_ADD，I2S1 和 I2S2 支持 I2S 全双工模式。

25.2. 主要特性

25.2.1. SPI 主要特性

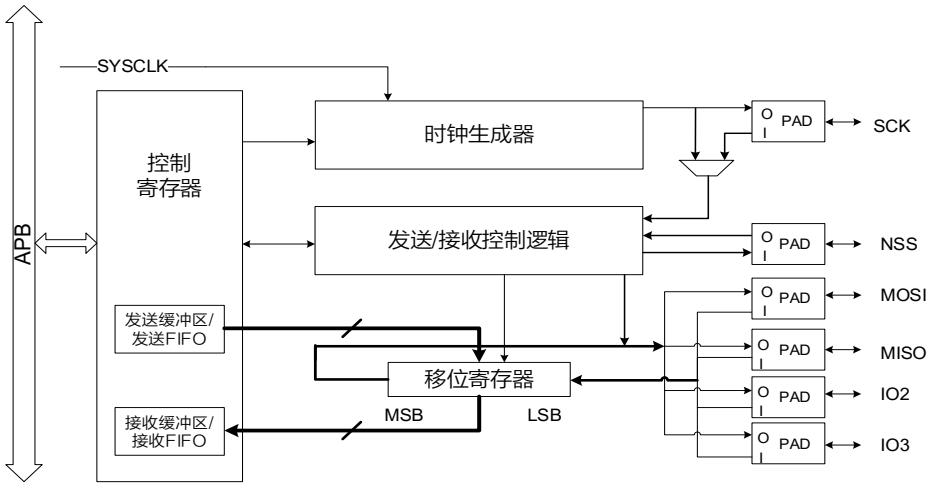
- 具有全双工和单工模式的主从操作；
- 16位宽度，独立的发送和接收缓冲区；
- 8位或16位数据帧格式；
- 低位在前或高位在前的数据位顺序；
- 软件和硬件NSS管理；
- 硬件CRC计算、发送和校验；
- 发送和接收支持DMA模式；
- 支持SPI TI模式；
- 支持SPI四线功能的主机模式(只有SPI5)。

25.2.2. I2S 主要特性

- 具有发送和接收功能的主从操作；
- 具有全双工模式的主从操作(仅在SPI1和SPI2中)；
- 支持四种I2S音频标准：飞利浦标准，MSB对齐标准，LSB对齐标准和PCM标准；
- 数据长度可以为16位，24位和32位；
- 通道长度为16位或32位；
- 16位缓冲区用于发送和接收；
- 通过I2S时钟分频器，可以得到8 KHz到192 KHz的音频采样频率；
- 可编程空闲状态时钟极性；
- 可以输出主时钟(MCK)；
- 发送和接收支持DMA功能。

25.3. SPI 结构框图

图 25-1. SPI 结构框图



25.4. SPI 信号线描述

25.4.1. 常规配置(非 SPI 四线模式)

表 25-1. SPI 信号描述

引脚名称	方向	描述
SCK	I/O	主机：SPI 时钟输出 从机：SPI 时钟输入
MISO	I/O	主机：数据接收线 从机：数据发送线 主机双向线模式：不使用 从机双向线模式：数据发送和接收线
MOSI	I/O	主机：数据发送线 从机：数据接收线 主机双向线模式：数据发送和接收线 从机双向线模式：不使用
NSS	I/O	软件 NSS 模式：不使用 主机硬件 NSS 模式：NSSDRV=1 时，为 NSS 输出，适用于单主机模式；NSSDRV=0 时，为 NSS 输入，适用于多主机模式。 从机硬件 NSS 模式：为 NSS 输入，作为从机的片选信号

25.4.2. SPI 四线配置

SPI 默认配置为单路模式，当 SPI_QCTL 中的 QMOD 位置 1 时，配置为 SPI 四线模式(只适

用于 SPI5)。SPI 四线模式只能工作在主机模式。

在 SPI 四线模式下，SPI 通过以下 6 个引脚与外部设备连接：

表 25-2. SPI 四线信号描述

引脚名称	方向	描述
SCK	O	SPI 时钟输出
MOSI	I/O	发送或接收数据 0
MISO	I/O	发送或接收数据 1
IO2	I/O	发送或接收数据 2
IO3	I/O	发送或接收数据 3
NSS	O	NSS 输出

25.5. SPI 功能描述

25.5.1. SPI 时序和数据帧格式

SPI_CTL0 寄存器中的 CKPL 位和 CKPH 位决定了 SPI 时钟和数据信号的时序。CKPL 位决定了空闲状态时 SCK 的电平，CKPH 位决定了第一个或第二个时钟跳变沿为有效采样边沿。在 TI 模式下，这两位没有意义。

图 25-2. 常规模式下的 SPI 时序图

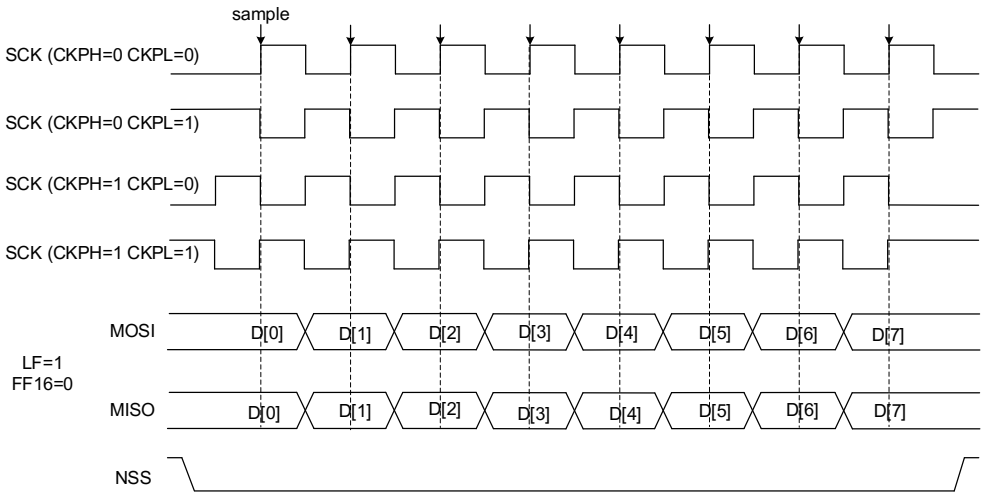
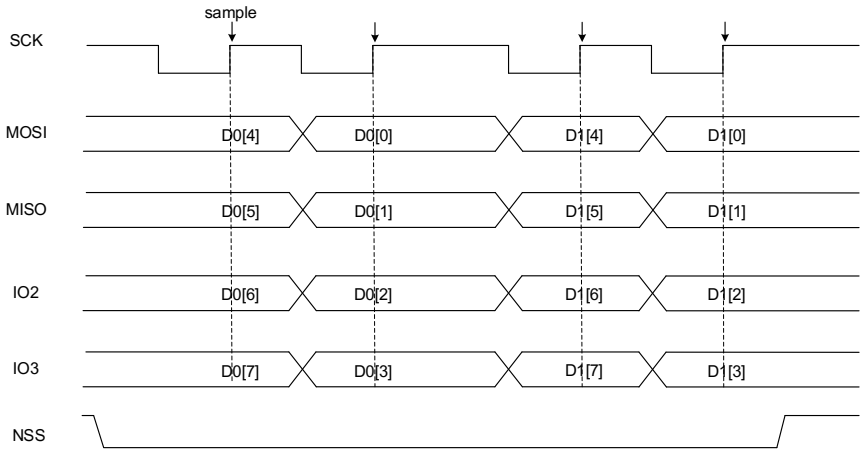


图 25-3. SPI 四线模式下的 SPI 时序图(CKPL=1, CKPH=1, LF=0)



在常规模式中，通过 SPI_CTL0 中的 FF16 位配置数据长度，当 FF16=1 时，数据长度为 16 位，否则为 8 位。在 SPI 四线模式下，数据帧长度固定为 8 位。

通过设置 SPI_CTL0 中的 LF 位可以配置数据顺序，当 LF=1 时，SPI 先发送 LSB 位，当 LF=0 时，则先发送 MSB 位。在 TI 模式中，数据顺序固定为先发 MSB 位。

25.5.2. NSS 功能

从机模式

当配置为从机模式(MSTMOD = 0)时，在硬件 NSS 模式(SWNSSEN = 0)下，SPI 从 NSS 引脚获取 NSS 电平，在软件 NSS 模式(SWNSSEN = 1)下，SPI 根据 SWNSS 位得到 NSS 电平。只有当 NSS 为低电平时，才能发送或接收数据。在软件 NSS 模式下，不使用 NSS 引脚。

表 25-3. 从机模式 NSS 功能

模式	寄存器配置	描述
从机硬件 NSS 模式	MSTMOD = 0 SWNSSEN = 0	SPI 从机 NSS 电平从 NSS 引脚获取。
从机软件 NSS 模式	MSTMOD = 0 SWNSSEN = 1	SPI 从机 NSS 电平由 SWNSS 位决定。 SWNSS = 0：NSS 电平为低 SWNSS = 1：NSS 电平为高

主机模式

在主机模式(MSTMOD=1)下，如果应用程序使用多主机连接方式，NSS 可以配置为硬件输入模式(SWNSSEN=0, NSSDRV=0)或者软件模式(SWNSSEN=1)。一旦 NSS 引脚(在硬件 NSS 模式下)或 SWNSS 位(在软件 NSS 模式下)被拉低，SPI 将自动进入从机模式，并且产生主机配置错误，CONFERR 位置 1。

如果应用程序希望使用 NSS 引脚控制 SPI 从设备，NSS 应该配置为硬件输出模式(SWNSSEN=0, NSSDRV=1)。使能 SPI 之后，NSS 变为低电平。

应用程序可以使用一个通用 I/O 口作为 NSS 引脚，以实现更加灵活的 NSS 应用。

表 25-4. 主机模式 NSS 功能

模式	寄存器配置	描述
主机硬件 NSS 输出模式	MSTMOD = 1 SWNSSEN = 0 NSSDRV=1	适用于单主机模式，主机使用 NSS 引脚控制 SPI 从设备，此时 NSS 配置为硬件输出模式。使能 SPI 后 NSS 为低电平。
主机硬件 NSS 输入模式	MSTMOD = 1 SWNSSEN = 0 NSSDRV=0	适用于多主机模式，此时 NSS 配置为硬件输入模式，一旦 NSS 引脚被拉低，SPI 将自动进入从机模式，并且产生主机配置错误，CONFERR 位置 1。
主机软件 NSS 模式	MSTMOD = 1 SWNSSEN = 1 SWNSS = 0 NSSDRV：不要求	适用于多主机模式，一旦 SWNSS = 0，SPI 将自动进入从机模式，并且产生主机配置错误，CONFERR 位置 1。
	MSTMOD = 1 SWNSSEN = 1 SWNSS = 1 NSSDRV：不要求	从机可以使用硬件或软件 NSS 模式

25.5.3. SPI 运行模式

表 25-5. SPI 运行模式

模式	描述	寄存器配置	使用的数据引脚
MFD	全双工主机模式	MSTMOD = 1 RO = 0 BDEN = 0 BDOEN：不要求	MOSI：发送 MISO：接收
MTU	单向线连接主机发送模式	MSTMOD = 1 RO = 0 BDEN = 0 BDOEN：不要求	MOSI：发送 MISO：不使用
MRU	单向线连接主机接收模式	MSTMOD = 1 RO = 1 BDEN = 0 BDOEN：不要求	MOSI：不使用 MISO：接收
MTB	双向线连接主机发送模式	MSTMOD = 1 RO = 0 BDEN = 1 BDOEN = 1	MOSI：发送 MISO：不使用
MRB	双向线连接主机接收模式	MSTMOD = 1	MOSI：接收

模式	描述	寄存器配置	使用的数据引脚
		RO = 0 BDEN = 1 BDOEN = 0	MISO：不使用
SFD	全双工从机模式	MSTMOD = 0 RO = 0 BDEN = 0 BDOEN：不要求	MOSI：接收 MISO：发送
STU	单向线连接从机发送模式	MSTMOD = 0 RO = 0 BDEN = 0 BDOEN：不要求	MOSI：不使用 MISO：发送
SRU	单向线连接从机接收模式	MSTMOD = 0 RO = 1 BDEN = 0 BDOEN：不要求	MOSI：接收 MISO：不使用
STB	双向线连接从机发送模式	MSTMOD = 0 RO = 0 BDEN = 1 BDOEN = 1	MOSI：不使用 MISO：发送
SRB	双向线连接从机接收模式	MSTMOD = 0 RO = 0 BDEN = 1 BDOEN = 0	MOSI：不使用 MISO：接收

图 25-4. 典型的全双工模式连接

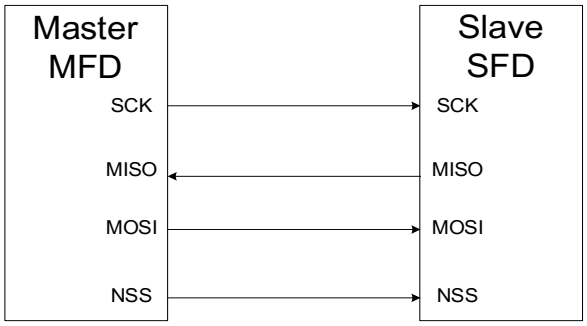


图 25-5. 典型的单工模式连接(主机：接收，从机：发送)

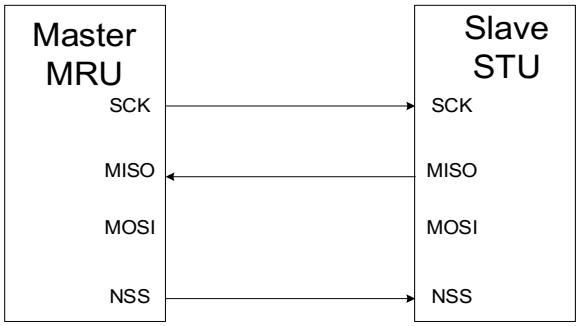


图 25-6. 典型的单工模式连接(主机：只发送，从机：接收)

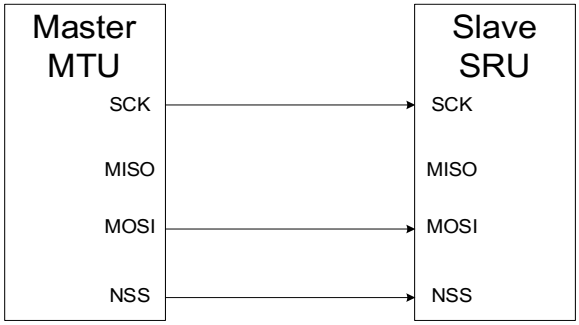
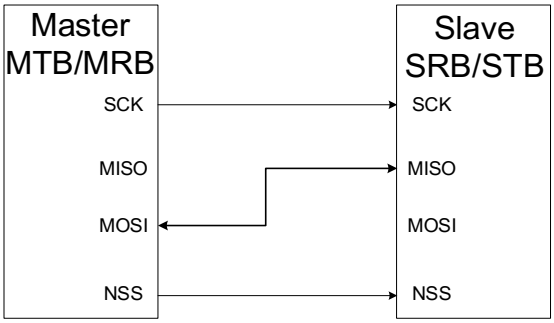


图 25-7. 典型的双向线连接



SPI 初始化流程

在发送或接收数据之前，应用程序应遵循如下的 SPI 初始化流程：

1. 如果工作在主机模式或从机TI模式，配置SPI_CTL0中的PSC[2:0]位来生成预期波特率的SCK信号，或配置TI模式下的Td时间。否则，忽略此步骤。
2. 配置数据格式(SPI_CTL0中的FF16位)
3. 配置时钟时序(SPI_CTL0中的CKPL位和CKPH位)。
4. 配置帧格式(SPI_CTL0中的LF位)。
5. 按照上文*NSS功能*的描述，根据应用程序的需求，配置NSS模式(SPI_CTL0中的SWNSSEN位和SPI_CTL1中的NSSDRV位)。
6. 如果工作在TI模式，需要将SPI_CTL1中的TMOD位置1，否则，忽略此步骤。
7. 根据*表25-5. SPI运行模式*，配置MSTMOD位、RO位、BDEN位和BDOEN位。

8. 如果工作在SPI四线模式，需要将SPI_QCTL中的QMOD位置1，如果不是，则忽略此步骤。
9. 使能SPI(将SPIEN位置1)。

注意：在通信过程中，不应更改 CKPH、CKPL、MSTMOD、PSC[2:0]、LF 位。

SPI 基本发送和接收流程

发送流程

在完成初始化过程之后，SPI 模块使能并保持在空闲状态。在主机模式下，当软件写一个数据到发送缓冲区时，发送过程开始。在从机模式下，当 SCK 引脚上的 SCK 信号开始翻转，且 NSS 引脚电平为低，发送过程开始。所以，在从机模式下，应用程序必须确保在数据发送开始前，数据已经写入发送缓冲区中。

当 SPI 开始发送一个数据帧时，首先将这个数据帧从数据缓冲区加载到移位寄存器中，然后开始发送加载的数据。在数据帧的第一位发送之后，TBE(发送缓冲区空)位置 1。TBE 标志位置 1，说明发送缓冲区为空，此时如果需要发送更多数据，软件应该继续写 SPI_DATA 寄存器。

在主机模式下，若想要实现连续发送功能，那么在当前数据帧发送完成前，软件应该将下一个数据写入 SPI_DATA 寄存器中。

接收流程

在最后一个采样时钟边沿之后，接收到的数据将从移位寄存器存入到接收缓冲区，且 RBNE(接收缓冲区非空)位置 1。软件通过读 SPI_DATA 寄存器获得接收的数据，此操作会自动清除 RBNE 标志位。在 MRU 和 MRB 模式中，为了接收下一个数据帧，硬件需要连续发送时钟信号，而在全双工主机模式(MFD)中，当发送缓冲区非空时，硬件才接收下一个数据帧。

SPI 不同模式下的操作流程(非 SPI 四线模式或 TI 模式)

在全双工模式下，无论是 MFD 模式或者 SFD 模式，应用程序都应该监视 RBNE 标志位和 TBE 标志位，并且遵循上文描述的操作流程。

发送模式(MTU，MTB，STU 或 STB)与全双工模式中的发送流程类似，不同的是需要忽略 RBNE 位和 RXORERR 位。

相比于发送模式的情况，主机接收模式(MRU 或 MRB)与全双工的接收流程大不相同。在 MRU 模式或 MRB 模式下，在 SPI 使能后，SPI 产生连续的 SCK 信号，直到 SPI 停止。所以，软件应该忽略 TBE 标志位，并且在 RBNE 位置 1 后，读出接收缓冲区内的数据，否则，将会产生接收过载错误。

除了忽略 TBE 标志位，且只执行上述的接收流程之外，从机接收模式(SRU 或 SRB)与全双工模式类似。

SPI TI 模式

SPI TI 模式将 NSS 作为一种特殊的帧头标志信号，它的操作流程与上文描述的常规模式类似。

上文描述的模式(MFD，MTU，MRU，MTB，MRB，SFD，STU，SRU，STB 和 SRB)都支持 TI 模式。但是，在 TI 模式中，SPI_CTL0 中的 CKPL 位和 CKPH 位是没有意义的，SCK 信号的采样边沿为下降沿。

图 25-8. 主机 TI 模式在不连续发送时的时序图

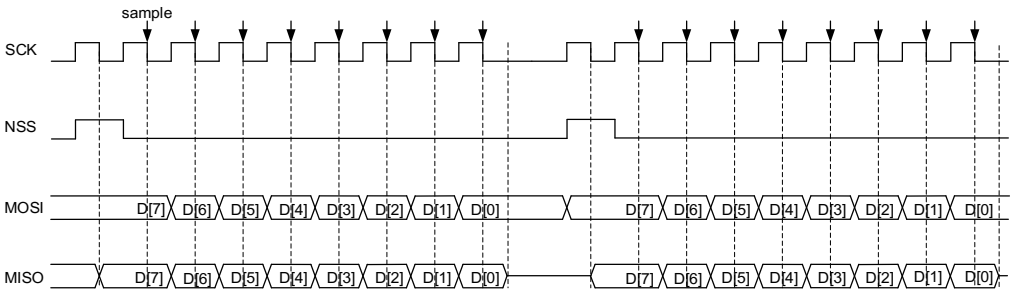
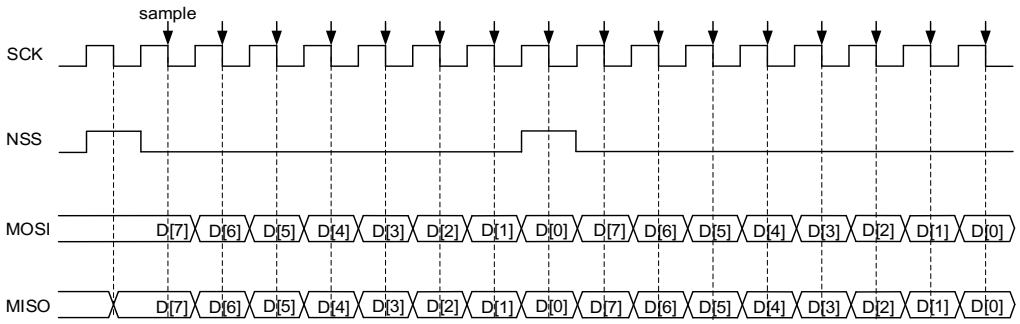
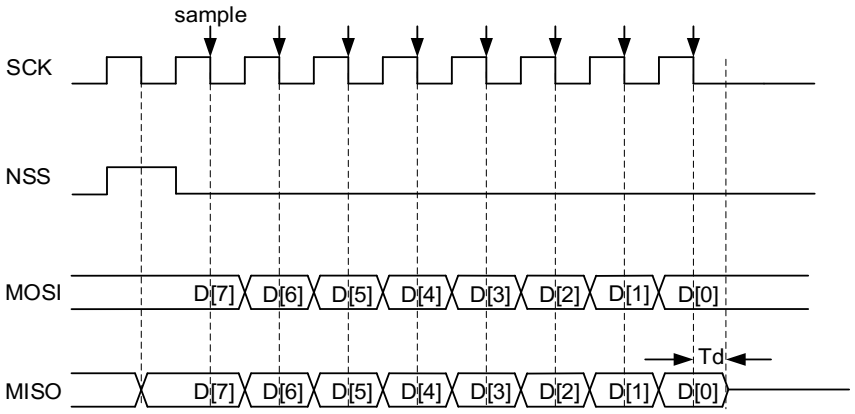


图 25-9. 主机 TI 模式在连续发送时的时序图



在主机 TI 模式下，SPI 模块可实现连续传输或者不连续传输。如果主机写 SPI_DATA 的速度很快，那么就是连续传输，否则，为不连续传输。在不连续传输中，在每个字节传输前需要一个额外的时钟周期。但是在连续传输中，额外的时钟周期只存在于第一个字节之前，随后字节的起始时钟周期被前一个字节的最后一位的时钟周期覆盖。

图 25-10. 从机 TI 模式时序图



在从机 TI 模式中，在 SCK 信号的最后一个上升沿，从机开始发送最后一个字节的 LSB 位，在半位的时间之后，主机开始采集数据。为了确保主机采集到正确的数据，在释放该引脚之前，从机需要在 SCK 信号的下降沿之后继续驱动该位一段时间，这段时间称为 T_d，T_d 通过 SPI_CTL0 寄存器中的 PSC[2:0]位来设置。

$$T_d = \frac{T_{bit}}{2} + 5*T_{pclk} \quad (25\text{-}1)$$

例如，如果 PSC[2:0] = 010，那么T_d数值为 9*Tpclk。

在从机模式下，从机需要监视 NSS 信号，如果检测到错误的 NSS 信号，将会置位 FE 标志位。例如，NSS 信号在一个字节的中间位发生翻转。

SPI 四线模式操作流程

SPI 四线模式用于控制四线 SPI Flash 外设。

要配置成 SPI 四线模式，首先要确认 TBE 位置 1，且 TRANS 位清零，然后将 SPI_QCTL 寄存器中的 QMOD 位置 1。在 SP 四线模式，SPI_CTL0 寄存器中 BDEN 位、BDOEN 位、CRCEN 位、CRCNT 位、FF16 位、RO 位和 LF 位保持清零，且 MSTMOD 位置 1，以保证 SPI 工作于主机模式。SPIEN 位、PSC 位、CKPL 位和 CKPH 位根据需要进行配置。

SPI 四线模式有两种运行模式：四线写模式和四线读模式，通过 SPI_QCTL 寄存器中的 QRD 位进行配置。

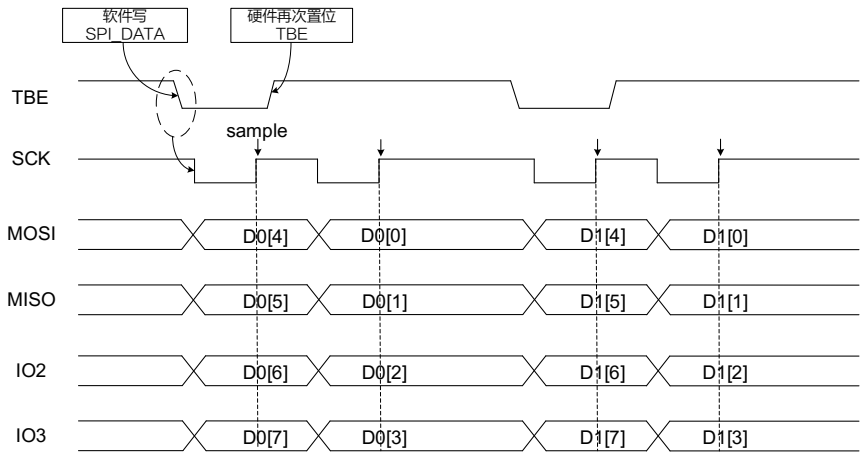
四线写模式

当SPI_QCTL寄存器中的QMOD位置1且QRD位清零时，SPI工作在四线写模式。在四线写模式中，MOSI、MISO、IO2和IO3都用作输出引脚，在SCK产生时钟信号后，一旦数据写入SPI_DATA寄存器(TBE位清零)且SPIEN位置1时，将会通过这四个引脚发送写入的数据。SPI开始数据传输之后，每发送一个数据帧都要检测TBE标志位，若不能满足条件则停止传输。

四路模式下发送操作流程：

1. 根据应用需求，配置SPI_CTL0和SPI_CTL1中的时钟预分频、时钟极性、相位等参数；
2. 将SPI_QCTL中的QMOD位置1，然后将SPI_CTL0中的SPIEN位置1来使能SPI功能；
3. 向SPI_DATA寄存器中写入一个字节的数据，TBE标志位将会清零；
4. 等待硬件将TBE位重新置位，然后写入下一个字节数据。

图 25-11. SPI 四线模式写操作时序图



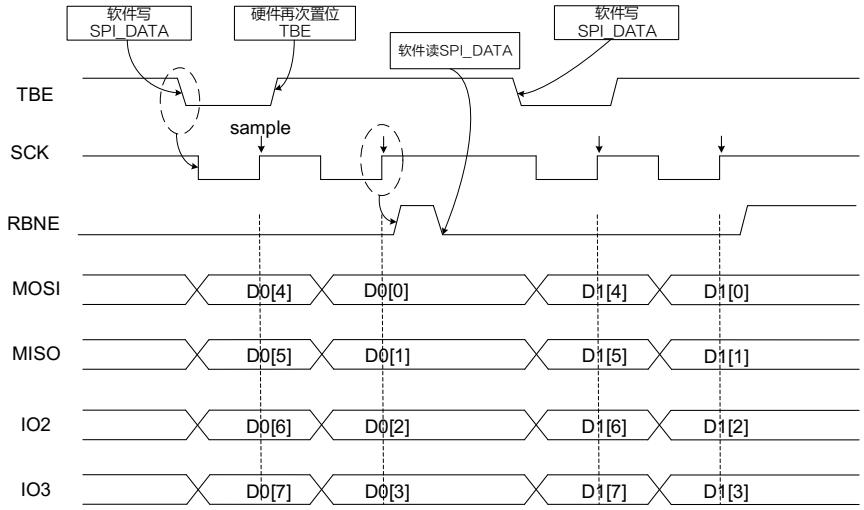
四线读模式

当 SPI_QCTL 寄存器中的 QMOD 位和 QRD 位都置 1 时，SPI 工作在四路读模式。在四路读模式中，MOSI、MISO、IO2 和 IO3 都用作输入引脚。当数据写入 SPI_DATA 寄存器(此时 TBE 位被清零)且 SPIEN 位置 1 时，SPI 开始在 SCK 信号线上产生时钟信号。写数据到 SPI_DATA 寄存器只是为了产生 SCK 时钟信号，所以可以写入任何数据。SPI 开始数据传输之后，每发送一个数据帧都要检测 SPIEN 位和 TBE 位，若条件不满足则停止传输。所以软件需要一直向 SPI_DATA 写空闲数据，以产生 SCK 时钟信号。

四线模式下接收操作流程：

1. 根据应用需求，配置SPI_CTL0和SPI_CTL1中时钟预分频、时钟极性、相位等参数；
2. 将SPI_QCTL中的QMOD位和QRD位置1，然后将SPI_CTL0中的SPIEN位置1来使能SPI功能；
3. 写任意数据(例如0xFF)到SPI_DATA寄存器；
4. 等待RBNE位置1，然后读SPI_DATA寄存器来获取接收的数据；
5. 写任意数据(例如0xFF)到SPI_DATA寄存器，以接收下一个字节数据。

图 25-12. SPI 四线模式读操作时序图



SPI 停止流程

不同运行模式下采用不同的流程来停止 SPI 功能：

MFD SFD

等待最后一个 RBNE 置位并接收最后一个数据，等待 TBE=1 和 TRANS=0。最后，通过清零 SPIEN 位关闭 SPI。

MTU MTB STU STB

将最后一个数据写入 SPI_DATA 寄存器，等待 TBE 位置 1。然后等待 TRANS 位清零，通过清零 SPIEN 位关闭 SPI。

MRU MRB

等待倒数第二个 RBNE 位置 1，从 SPI_DATA 寄存器读数据，等待一个 SCK 时钟周期，然后通过清零 SPIEN 位关闭 SPI。等待最后一个 RBNE 位置 1，并从 SPI_DATA 读数据。

SRU SRB

当应用程序不想接收数据时，可以禁用 SPI，然后等待 TRANS=0 以确保正在进行的传输完成。

TI 模式

TI 模式的停止流程与上面描述过程相同。

SPI 四线模式

在禁用 SPI 四路模式或者关闭 SPI 功能之前，软件应该先检查：TBE 位置 1，TRANS 位清零，SPI_QCTL 中的 QMOD 位和 SPI_CTL0 中的 SPIEN 位清零。

25.5.4. DMA 功能

DMA 功能在传输过程中将应用程序从数据读写过程中释放出来，从而提高了系统效率。

通过置位 SPI_CTL1 寄存器中的 DMATEN 位和 DMAREN 位，使能 SPI 模式的 DMA 功能。为了使用 DMA 功能，软件首先应当正确配置 DMA 模块，然后通过初始化流程配置 SPI 模块，最后使能 SPI。

SPI 使能后，如果 DMATEN 位置 1，每当 TBE=1 时，SPI 将会发出一个 DMA 请求，然后 DMA 应答该请求，并自动写数据到 SPI_DATA 寄存器。如果 DMAREN 位置 1，每当 RBNE=1 时，SPI 将会发出一个 DMA 请求，然后 DMA 应答该请求，并自动从 SPI_DATA 寄存器读取数据。

25.5.5. CRC 功能

SPI 模块包含两个 CRC 计算单元：分别用于发送数据和接收数据。CRC 计算单元使用 SPI_CRCPOLY 寄存器中定义的多项式。

通过配置 SPI_CTL0 中的 CRCEN 位使能 CRC 功能。对于数据线上每个发送和接收的数据，CRC 单元逐位计算 CRC 值，计算得到的 CRC 值可以从 SPI_TCRC 寄存器和 SPI_RCRC 寄存器中读取。

为了传输计算得到的 CRC 值，应用程序需要在最后一个数据写入发送缓冲区之后，设置 SPI_CTL0 中的 CRCNT 位。在全双工模式(MFD 或 SFD)，当 SPI 发送一个 CRC 值并且准备校验接收到的 CRC 值时，会将最新接收到的数据当作 CRC 值。在接收模式(MRB，MRU，SRU 和 SRB)下，在倒数第二个数据帧被接收后，软件应该把 CRCNT 位置 1。在 CRC 校验失败时，CRCERR 错误标志位将会置 1。

如果使能了 DMA 功能，软件不需要设置 CRCNT 位，硬件将会自动处理 CRC 传输和校验。

注意：当 SPI 处于从机模式且 CRC 功能使能时，无论 SPI 是否使能，CRC 计算器都对输入 SCK 时钟敏感。只有当时钟稳定时，软件才能启用 CRC，以避免错误的 CRC 计算。当 SPI 作

为从机工作时，在数据阶段和 CRC 阶段之间，内部 NSS 信号需要保持低电平。

当配置SPI为从模式并且使用CRC功能时，即使NSS引脚为高时仍然会执行CRC的计算(当NSS信号为高时，只要SCK引脚上有时钟脉冲，则CRC计算会继续执行)。当主设备交替地与多个从设备进行通信时，将会出现这种情况,此时建议在NSS信号为低时重启CRC功能。当从设备未选中(NSS信号为高)转换到被选中为一个新的从设备(NSS信号为低)的时候，为了保持主从设备端下次CRC计算结果的同步，应该清除主从两端的CRC数值。建议按照下述步骤清除CRC数值：

1. 关闭SPI模块(SPIEN=0);
2. 清除CRCEN位(CRCEN=0);
3. 设置CRCEN位(CRCEN=1);
4. 使能SPI模块(SPIEN=1)。

25.6. SPI 中断

25.6.1. 状态标志位

- **发送缓冲区空标志位(TBE)**

当发送缓冲区为空时，TBE 置位。软件可以通过写 SPI_DATA 寄存器将下一个待发送数据写入发送缓冲区。

- **接收缓冲区非空标志位(RBNE)**

当接收缓冲区非空时，RBNE 置位，表示此时接收到一个数据，并已存入到接收缓冲区中，软件可以通过读 SPI_DATA 寄存器来读取此数据。

- **SPI通信进行中标志位(TRANS)**

TRANS 位是用来指示当前传输是否正在进行或结束的状态标志位，它由内部硬件置位和清除，无法通过软件控制。该标志位不会产生任何中断。

25.6.2. 错误标志

- **配置错误标志(CONFERR)**

在主机模式中，CONFERR 位是一个错误标志位。在硬件 NSS 模式中，如果 NSSDRV 没有使能，当 NSS 被拉低时，CONFERR 位被置 1。在软件 NSS 模式中，当 SWNSS 位为 0 时，CONFERR 位置 1。当 CONFERR 位置 1 时，SPIEN 位和 MSTMOD 位由硬件清除，SPI 关闭，设备强制进入从机模式。

在 CONFERR 位清零之前，SPIEN 位和 MSTMOD 位保持写保护，从机的 CONFERR 位不能置 1。在多主机配置中，设备可以在 CONFERR 位置 1 时进入从机模式，这意味着发生了系统控制的多主冲突。

- **接收过载错误(RXORERR)**

在 RBNE 位为 1 时，如果再有数据被接收，RXORERR 位将会置 1。这说明，上一帧数据还未被读出而新的数据已经接收了。接收缓冲区的内容不会被新接收的数据覆盖，所以新接收的数据丢失。

- **帧错误(FERR)**

在 TI 从机模式下，从机也要监视 NSS 信号，如果检测到错误的 NSS 信号，将会置位 FERR 标志位。例如，NSS 信号在一个字节的中间位发生翻转。

- **CRC错误(CRCERR)**

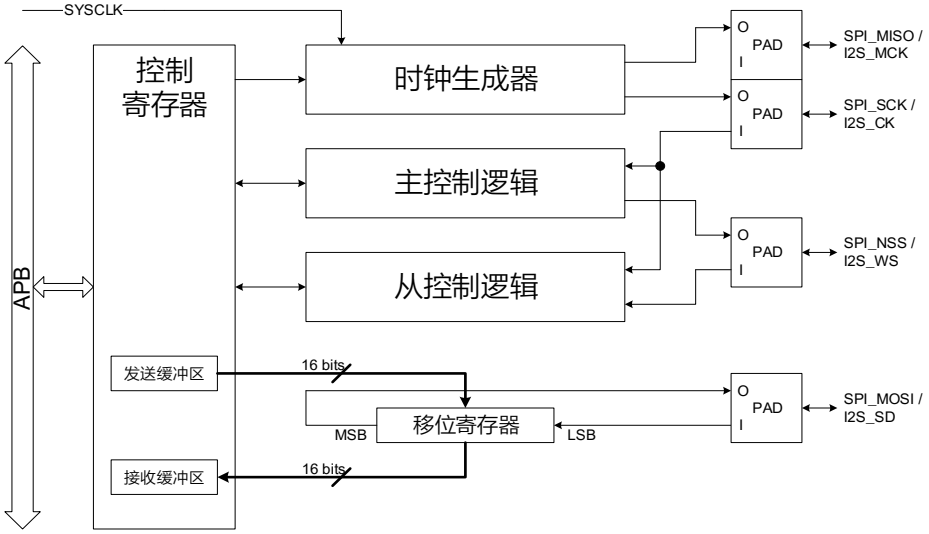
当 CRCEN 位置 1 时，SPI_RCRC 寄存器中接收到的 CRC 值将会和紧随着最后一帧数据接收到的 CRC 值进行比较。当两者不同时，CRCERR 位将会置 1。

表 25-6. SPI 中断请求

中断事件	描述	清除方式	中断使能位
TBE	发送缓冲区空	写SPI_DATA寄存器	TBEIE
RBNE	接收缓冲区非空	读SPI_DATA寄存器	RBNEIE
CONFERR	配置错误	读或写 SPI_STAT 寄存器，然后写 SPI_CTL0 寄存器	ERRIE
RXORERR	接收过载错误	读SPI_DATA寄存器，然后读 SPI_STAT寄存器	
CRCERR	CRC错误	写0到CRCERR位	
FERR	TI模式帧错误	写0到FERR位	

25.7. I2S 结构框图

图 25-13. I2S 结构框图



I2S 功能有 5 个子模块，分别是控制寄存器、时钟生成器、主机控制逻辑、从机控制逻辑和移位寄存器。所有的用户可配置寄存器都在控制寄存器模块实现，其中包括发送缓冲区和接收缓冲区。时钟生成器用来在主机模式下生成 I2S 通信时钟。主机控制逻辑用来在主机模式下生成

I2S_WS 信号并控制通信。从机控制逻辑根据接收到的 I2SCK 和 I2S_WS 信号来控制从机模式的通信。移位寄存器控制 I2S_SD 上的串行数据发送和接收。

25.8. I2S 信号线描述

I2S 接口有 4 个引脚，分别是 I2S_CK、I2S_WS、I2S_SD 和 I2S_MCK。I2S_CK 是串行时钟信号，与 SPI_SCK 共享引脚。I2S_WS 是数据帧控制信号，与 SPI_NSS 共享引脚。I2S_SD 是串行数据信号，与 SPI_MOSI 共享引脚。I2S_MCK 是主时钟信号，在 SPI0，SPI3 和 SPI4 中，与 SPI_MISO 共享引脚，而在 SPI1 和 SPI2 中，I2S_MCK 有一个专用引脚。I2S_MCK 对于 I2S 接口而言是个可选信号，它提供了一个 256 倍于 Fs 的时钟频率，其中 Fs 是音频采样率。

25.9. I2S 功能描述

25.9.1. I2S 音频标准

I2S 音频标准是通过设置 SPI_I2SCTL 寄存器中的 I2SSTD[1:0]位域来选择的，可以选择四种音频标准：I2S 飞利浦标准，MSB 对齐标准，LSB 对齐标准和 PCM 标准。除 PCM 之外的所有标准都是两个通道(左通道和右通道)的音频数据分时复用 I2S 接口的，并通过 I2S_WS 信号来区分当前数据属于哪个通道。对于 PCM 标准，I2S_WS 信号表示帧同步信息。

数据长度和通道长度可以通过 SPI_I2SCTL 寄存器中的 DTLEN 位和 CHLEN 位来设置。由于通道长度必须大于或等于数据长度，所以有四种数据包类型可供选择。它们分别是：16 位数据打包成 16 位数据帧格式，16 位数据打包成 32 位数据帧格式，24 位数据打包成 32 位数据帧格式，32 位数据打包成 32 位数据帧格式。用于发送和接收的数据缓冲区都是 16 位宽度。所以，要完成数据长度为 24 位或 32 位的数据帧传输，SPI_DATA 寄存器需要被访问 2 次；而要完成数据长度为 16 位的数据帧传输，SPI_DATA 寄存器只需被访问 1 次。如需将 16 位数据打包成 32 位数据帧，硬件会自动插入 16 位 0 将 16 位数据扩展为 32 位格式。

对于所有标准和数据包类型来说，数据的最高有效位总是最先被发送的。对于所有基于两通道分时复用的标准来说，总是先发送左通道，然后是右通道。

I2S 飞利浦标准

对于 I2S 飞利浦标准，I2S_WS 和 I2S_SD 在 I2S_CK 的下降沿变化，I2S_WS 在数据的前一个时钟开始有效。各种配置情况的时序图如下所示。

图 25-14. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=0, CKPL=0)

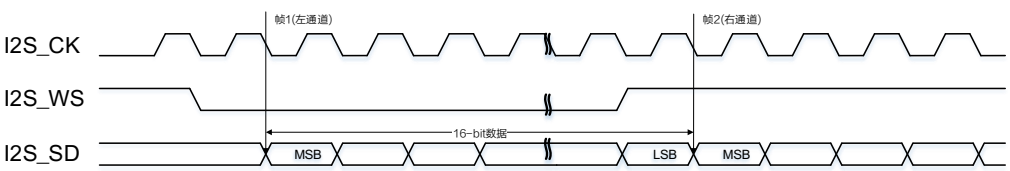
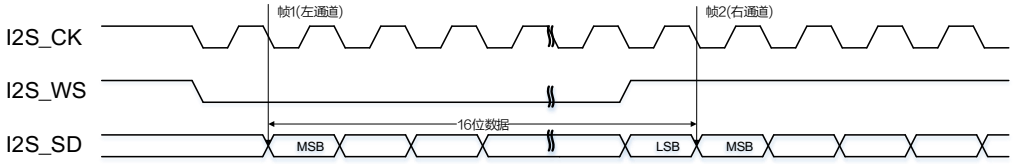


图 25-15. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=0, CKPL=1)



当 16 位数据打包成 16 位数据帧时，每完成一帧数据的传输只需要访问 SPI_DATA 寄存器一次。

图 25-16. I2S 飞利浦标准时序图(DTLEN=10, CHLEN=1, CKPL=0)

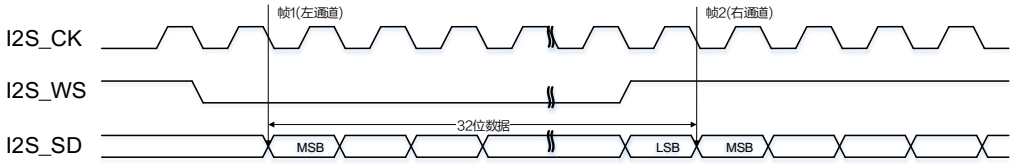
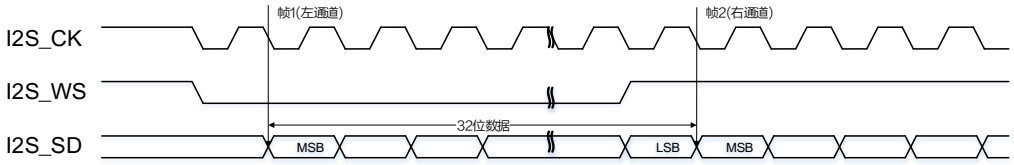


图 25-17. I2S 飞利浦标准时序图(DTLEN=10, CHLEN=1, CKPL=1)



当 32 位数据打包成 32 位数据帧的帧格式时，每完成 1 帧数据的传输需要访问 SPI_DATA 寄存器 2 次。在发送模式下，如果要发送一个 32 位数据，第一个写入 SPI_DATA 寄存器的数据应该是高 16 位数据，第二个数据应该是低 16 位数据。在接收模式下，如果要接收一个 32 位数据，第一个从 SPI_DATA 寄存器读到的数据应该是高 16 位数据，第二个数据应该是低 16 位数据。

图 25-18. I2S 飞利浦标准时序图(DTLEN=01, CHLEN=1, CKPL=0)

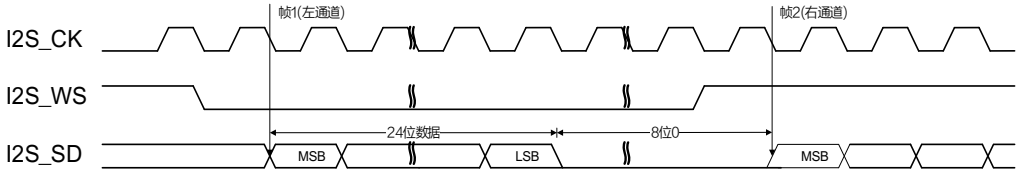
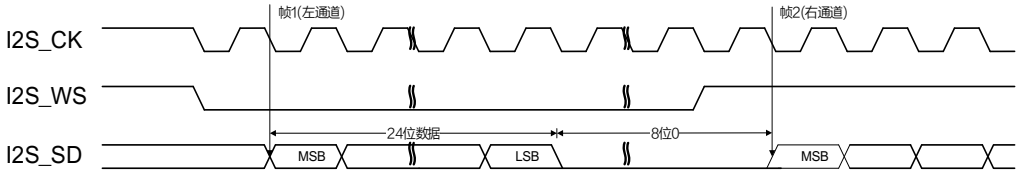


图 25-19. I2S 飞利浦标准时序图(DTLEN=01, CHLEN=1, CKPL=1)



当 24 位数据打包成 32 位数据帧的帧格式时，每完成 1 帧数据的传输需要访问 SPI_DATA 寄存器 2 次。在发送模式下，如果要发送一个 24 位数据 D[23:0]，第一个写入 SPI_DATA 寄存器的数据应该是高 16 位数据 D[23:8]，第二个数据应该是一个 16 位数据，该 16 位数据的高 8 位是 D[7:0]，低 8 位数据可以是任意值。在接收模式下，如果要接收一个 24 位数据 D[23:0]，

第一个从 SPI_DATA 寄存器读到的数据应该是高 16 位数据 D[23:8]，第二个数据应该是一个 16 位数据，该 16 位数据的高 8 位是 D[7:0]，低 8 位数据全是 0。

图 25-20. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=1, CKPL=0)

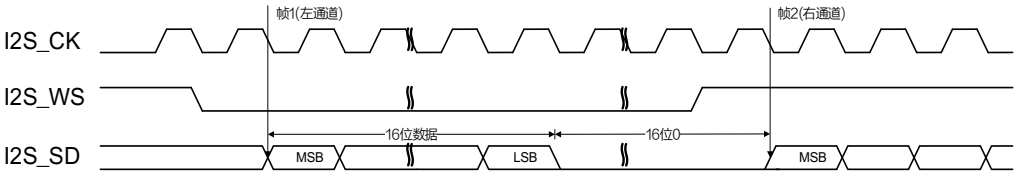
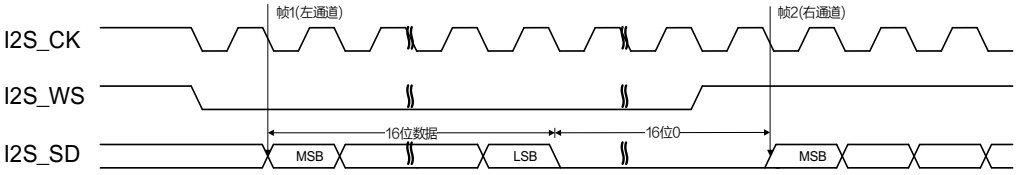


图 25-21. I2S 飞利浦标准时序图(DTLEN=00, CHLEN=1, CKPL=1)



当 16 位数据打包成 32 位数据帧时，每完成一帧数据的传输只需要访问 SPI_DATA 寄存器一次。为了将该 16 位数据扩展成 32 位数据，剩下的 16 位被硬件强制填充为 0x0000。

MSB 对齐标准

对于MSB对齐标准，I2S_WS和I2S_SD在I2S_CK的下降沿变化。SPI_DATA寄存器的处理方式与I2S飞利浦标准完全相同。各个配置情况的时序图如下所示。

图 25-22. MSB 对齐标准时序图(DTLEN=00, CHLEN=0, CKPL=0)

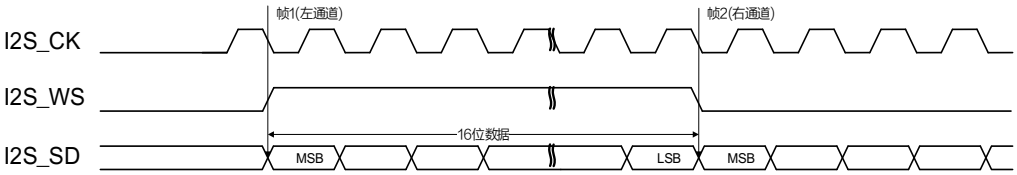


图 25-23. MSB 对齐标准时序图(DTLEN=00, CHLEN=0, CKPL=1)

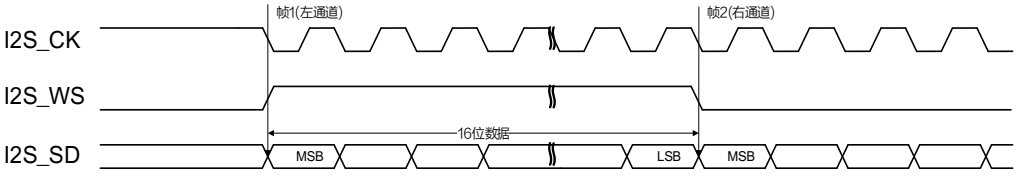


图 25-24. MSB 对齐标准时序图(DTLEN=10, CHLEN=1, CKPL=0)

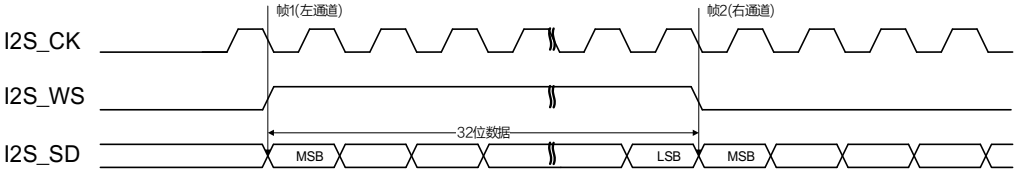


图 25-25. MSB 对齐标准时序图(DTLEN=10, CHLEN=1, CKPL=1)

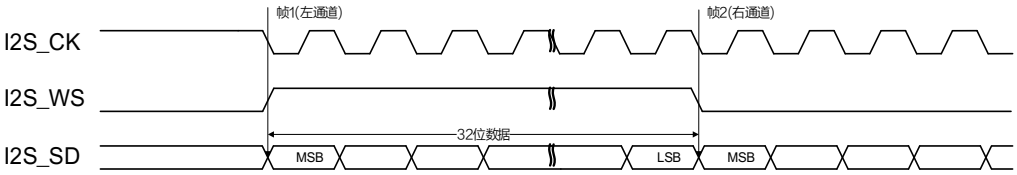


图 25-26. MSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=0)

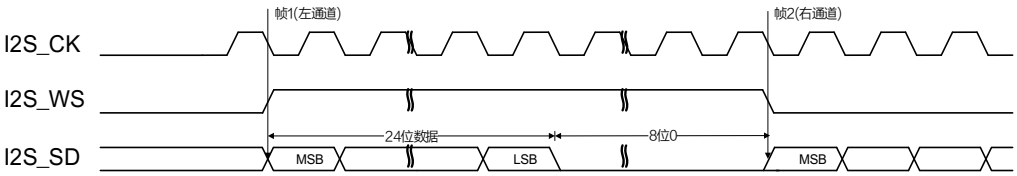


图 25-27. MSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=1)

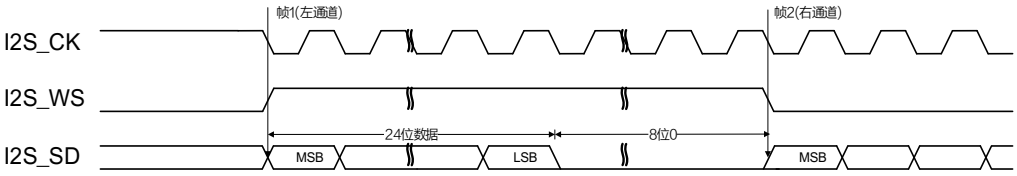


图 25-28. MSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=0)

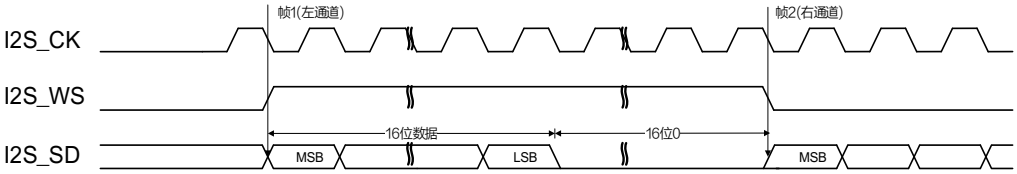
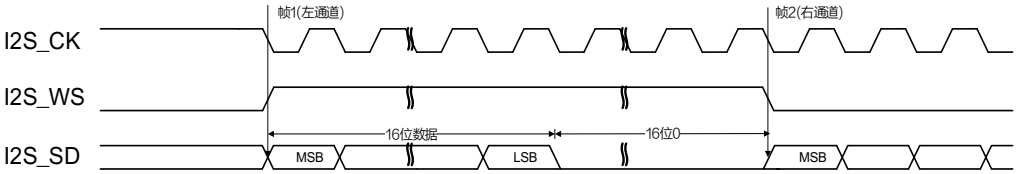


图 25-29. MSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=1)



LSB 对齐标准

对于 LSB 对齐标准，I2S_WS 和 I2S_SD 在 I2S_CK 的下降沿变化。在通道长度与数据长度相同的情况下，LSB 对齐标准和 MSB 对齐标准是完全相同的。对于通道长度大于数据长度的情况，LSB 对齐标准的有效数据与最低位对齐，而 MSB 对齐标准的有效数据与最高位对齐。通道长度大于数据长度的各种配置情况时序图如下所示。

图 25-30. LSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=0)

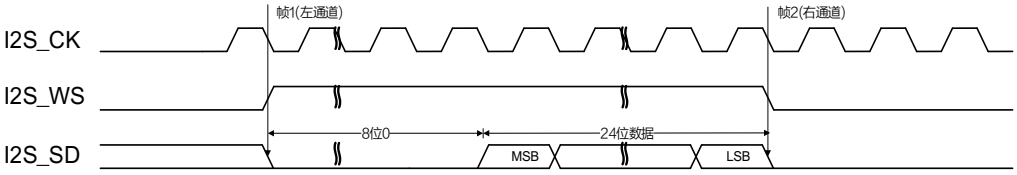
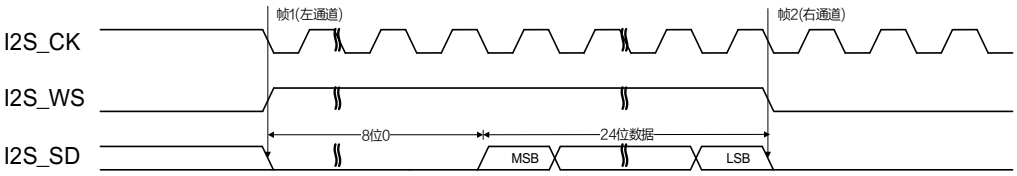


图 25-31. LSB 对齐标准时序图(DTLEN=01, CHLEN=1, CKPL=1)



当 24 位数据打包成 32 位数据帧的帧格式时，每完成 1 帧数据的传输需要访问 SPI_DATA 寄存器 2 次。在发送模式下，如果要发送一个 24 位数据 D[23:0]，第一个写入 SPI_DATA 寄存器的数据应该是一个 16 位数据，该 16 位数据的高 8 位可以是任意值，低 8 位是 D[23:16]，第二个数据应该是低 16 位数据 D[15:0]。在接收模式下，如果要接收一个 24 位数据 D[23:0]，第一个从 SPI_DATA 寄存器读到的数据应该是一个 16 位数据，该 16 位数据的高 8 位是 0，低 8 位是 D[23:16]，第二个数据应该是低 16 位数据 D[15:0]。

图 25-32. LSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=0)

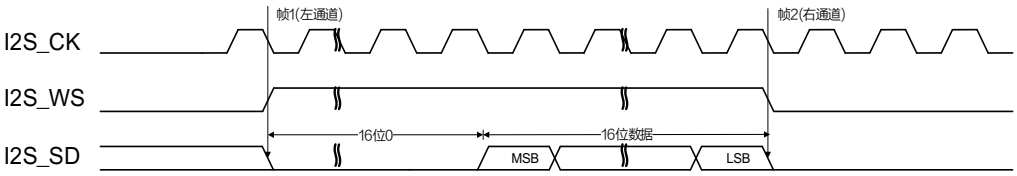
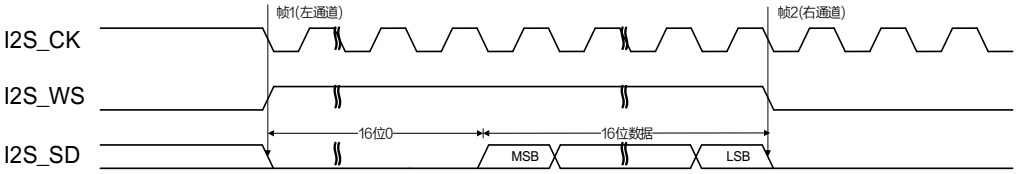


图 25-33. LSB 对齐标准时序图(DTLEN=00, CHLEN=1, CKPL=1)



当 16 位数据打包成 32 位数据帧时，每完成一帧数据的传输只需要访问 SPI_DATA 寄存器一次。为了将该 16 位数据扩展成 32 位数据，剩下的 16 位被硬件强制填充为 0x0000。

PCM 标准

对于 PCM 标准，I2S_WS 和 I2S_SD 在 I2S_CK 的上升沿变化，I2S_WS 信号表示帧同步信息。可以通过 SPI_I2SCTL 寄存器的 PCMSMOD 位来选择短帧同步模式和长帧同步模式。SPI_DATA 寄存器的处理方式与 I2S 飞利浦标准完全相同。短帧同步模式的各种配置情况时序图如下所示。

图 25-34. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=0)

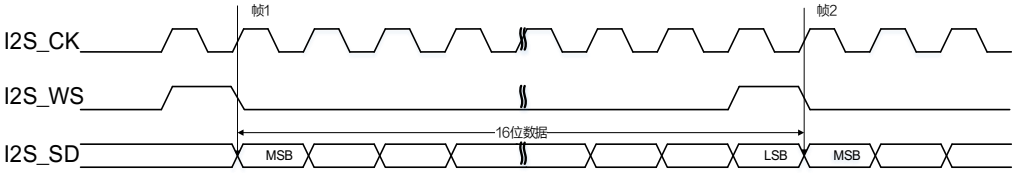


图 25-35. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=1)

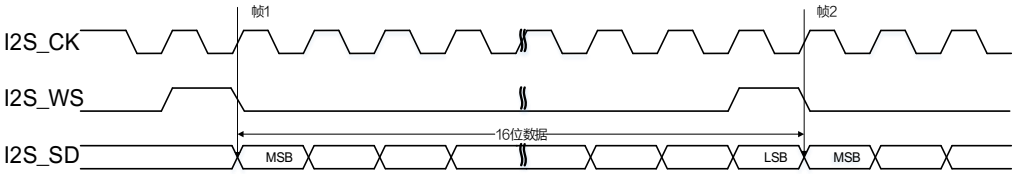


图 25-36. PCM 标准短帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=0)

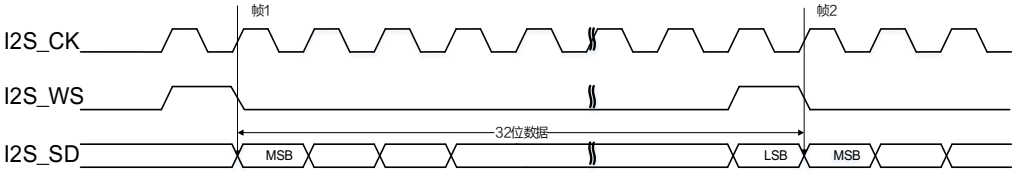


图 25-37. PCM 标准短帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=1)

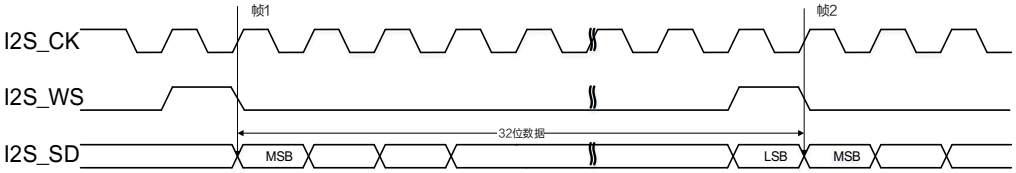


图 25-38. PCM 标准短帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=0)

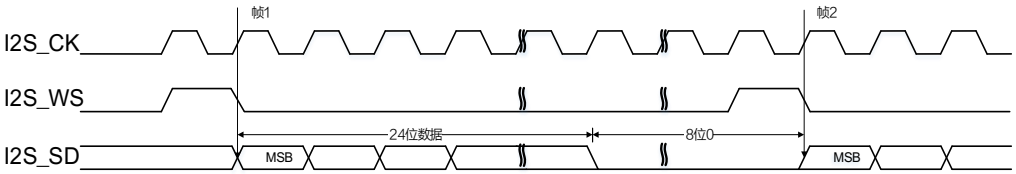


图 25-39. PCM 标准短帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=1)

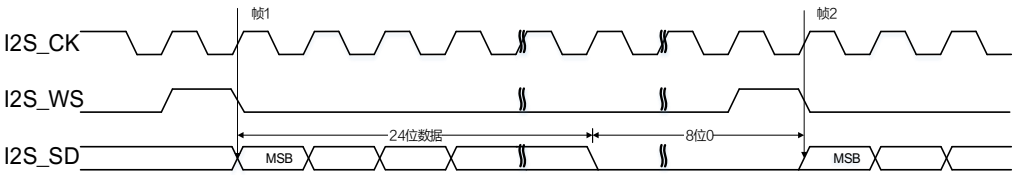


图 25-40. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=0)

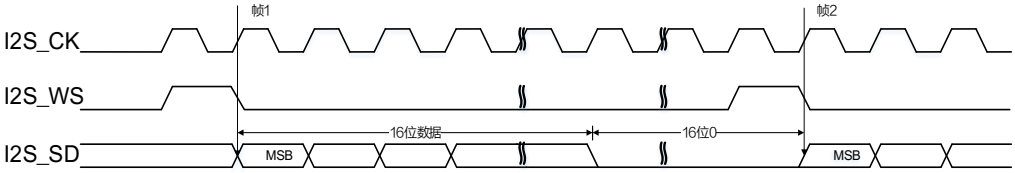
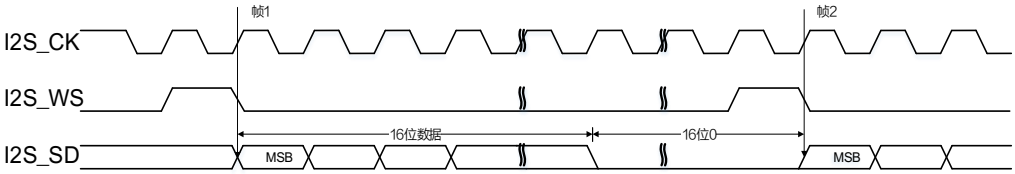


图 25-41. PCM 标准短帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=1)



长帧同步模式的各种配置情况时序图如下所示。

图 25-42. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=0)

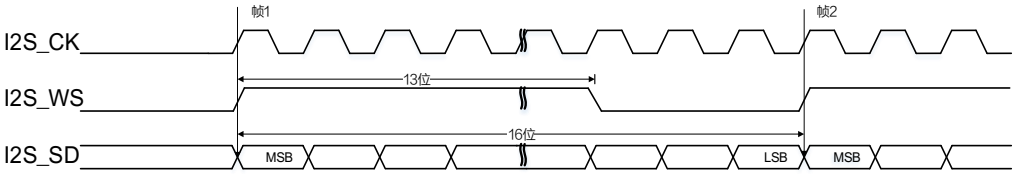


图 25-43. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=0, CKPL=1)

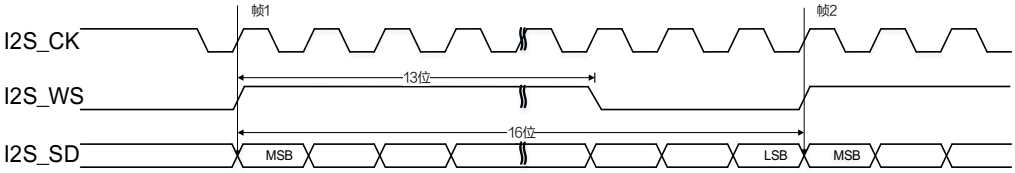


图 25-44. PCM 标准长帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=0)

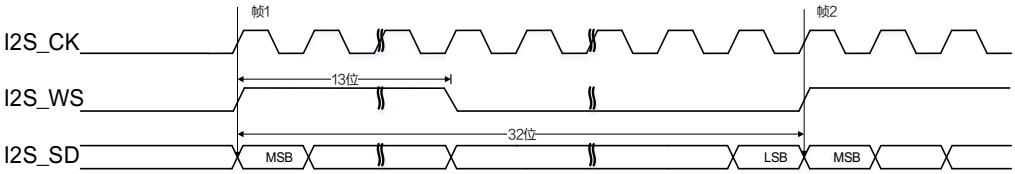


图 25-45. PCM 标准长帧同步模式时序图(DTLEN=10, CHLEN=1, CKPL=1)

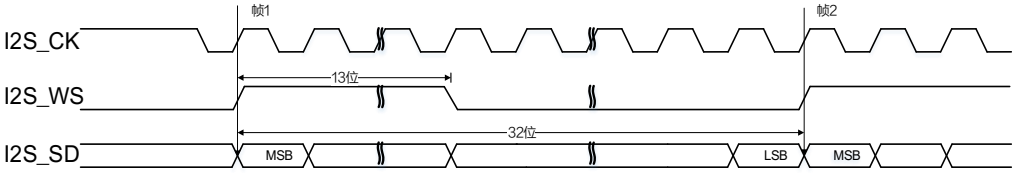


图 25-46. PCM 标准长帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=0)

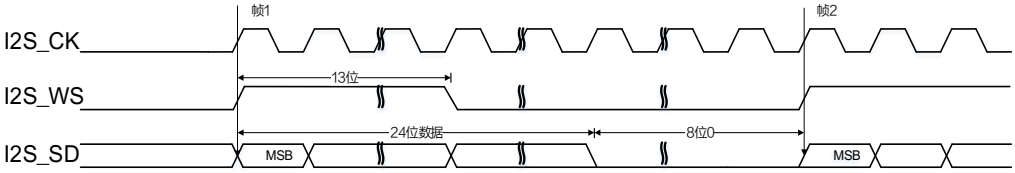


图 25-47. PCM 标准长帧同步模式时序图(DTLEN=01, CHLEN=1, CKPL=1)

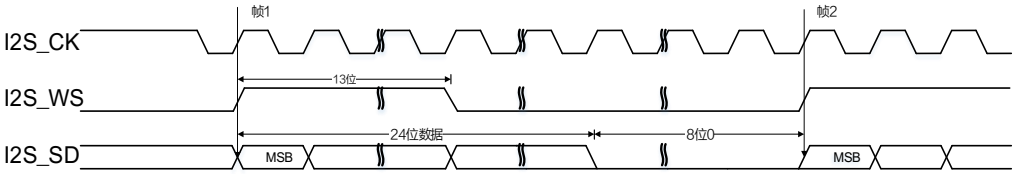


图 25-48. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=0)

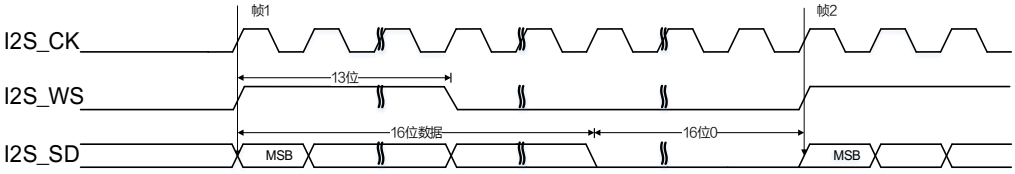
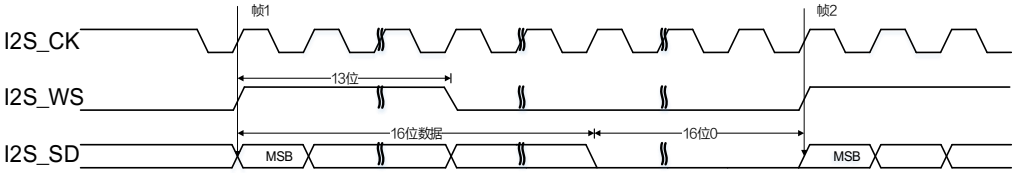
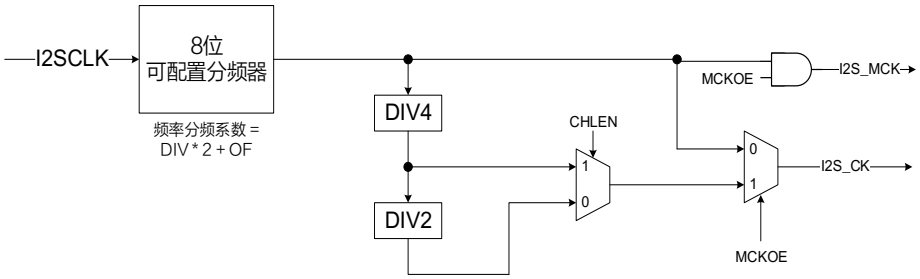


图 25-49. PCM 标准长帧同步模式时序图(DTLEN=00, CHLEN=1, CKPL=1)



25.9.2. I2S 时钟

图 25-50. I2S 时钟生成结构框图



I2S 时钟生成器如*图 25-50. I2S 时钟生成结构框图*所示。I2S 接口时钟是通过 SPI_I2SPSC 寄存器的 DIV 位，OF 位和 MCKOEN 位以及 SPI_I2SCTL 寄存器的 CHLEN 位来配置的。I2S 比特率可以通过*表 25-7. I2S 比特率计算公式*所示的公式计算。

表 25-7. I2S 比特率计算公式

MCKOEN	CHLEN	公式
0	0	I2SCLK / (DIV * 2 + OF)
0	1	I2SCLK / (DIV * 2 + OF)
1	0	I2SCLK / (8 * (DIV * 2 + OF))
1	1	I2SCLK / (4 * (DIV * 2 + OF))

音频采样率(Fs)和 I2S 比特率的关系由如下公式定义：

Fs = I2S 比特率 / (通道长度 * 通道数)

所以，为了得到期望的音频采样率，时钟生成器需要按*表 25-8. 音频采样频率计算公式*所列的公式进行配置。

表 25-8. 音频采样频率计算公式

MCKOEN	CHLEN	公式
0	0	I2SCLK / (32 * (DIV * 2 + OF))
0	1	I2SCLK / (64 * (DIV * 2 + OF))
1	0	I2SCLK / (256 * (DIV * 2 + OF))
1	1	I2SCLK / (256 * (DIV * 2 + OF))

I2S 时钟源可以由 PLLI2S 或外部 I2S_CKIN 引脚提供，在 RCU 模块进行配置。软件需要仔细计算 I2S 分频因子和 PLLI2S 以得到精确的音频采样频率。如果 PLLI2S 精度不能满足应用程序的要求，可以通过 I2S_CKIN 引脚提供精确的外部 I2S 时钟。

注意：I2S 串行时钟的配置值需设置为低于 PCLK 时钟的 1/6 倍以下(不包含 1/6)。

25.9.3. 运行

运行模式

运行模式是通过 SPI_I2SCTL 寄存器的 I2SOPMOD 位来选择的。共有四种运行模式可供选择：主机发送模式，主机接收模式，从机发送模式和从机接收模式。各种运行模式下 I2S 接口信号的方向如*表 25-9. 各种运行模式下 I2S 接口信号的方向*所示。

表 25-9. 各种运行模式下 I2S 接口信号的方向

运行模式	I2S_MCK	I2S_CK	I2S_WS	I2S_SD	I2S_ADD_SD(2)
主机发送	输出或 NU(1)	输出	输出	输出	NU(1)
主机接收	输出或 NU(1)	输出	输出	输入	NU(1)
从机发送	输入或 NU(1)	输入	输入	输出	NU(1)
从机接收	输入或 NU(1)	输入	输入	输入	NU(1)
全双工	输出或 NU(1)	输出	输出	输出或输入	输入或输出

1. NU表示该引脚没有被I2S使用，可以用于其他功能。
2. I2S1和I2S2为了支持全双工运行模式，需要两个额外的片上I2S模块：I2S_ADD1和I2S_ADD2。I2S_ADD_SD引脚是I2S_ADD模块的数据引脚，在后面的章节将详细介绍全双工模式。

I2S 初始化流程

I2S 初始化过程包括以下五个步骤。如果要初始化 I2S 工作在主机模式，五个步骤都要执行。如果要初始化 I2S 工作在从机模式，只需要执行步骤 2、3、4、5。

- 步骤1：配置SPI_I2SPSC寄存器的DIV[7:0]位，OF位和MCKOEN位，定义I2S的比特率和选择是否需要提供I2S_MCK信号。
- 步骤2：配置SPI_I2SCTL寄存器的CKPL位，定义空闲状态的时钟极性。
- 步骤3：配置SPI_I2SCTL寄存器的I2SSEL位，I2SSTD[1:0]位，PCMSMOD位，I2SOPMOD[1:0]位，DTLEN[1:0]位和CHLEN位，定义I2S的特性。
- 步骤4：配置SPI_CTL1寄存器的TBEIE位，RBNEIE位，ERRIE位，DMATEN位和DMAREN位，选择中断源和DMA功能。此步骤可选。
- 步骤5：将SPI_I2SCTL寄存器的I2SEN位置1，来启动I2S。

I2S 主机发送流程

TBE 标志位被用来控制发送流程。如前文所述，TBE 标志位表示发送缓冲区空，此时，如果 SPI_CTL1 寄存器的 TBEIE 位为 1，将产生中断。首先，发送缓冲区为空(TBE 为 1)，且移位寄存器中没有发送序列。当 16 位数据被写入 SPI_DATA 寄存器时(TBE 变为 0)，数据立即从发送缓冲区装载到移位寄存器中(TBE 变为 1)。此时，发送序列开始。

数据是并行地装载到 16 位移位寄存器中的，然后串行地从 I2S_SD 引脚发出(高位先发)。下一个数据应该在 TBE 为 1 时写入 SPI_DATA 寄存器。数据写入 SPI_DATA 寄存器之后，TBE 变为 0。当前发送序列结束时，发送缓冲区的数据会自动装载到移位寄存器中，然后 TBE 标志变回 1。为了保证连续的音频数据发送，下一个将要发送的数据必须在当前发送序列结束之前写入 SPI_DATA 寄存器。

对于除 PCM 标准外的所有标准，I2SCH 标志用来区别当前传输数据所属的通道。I2SCH 标志在每次 TBE 标志由 0 变 1 的时候更新。刚开始 I2SCH 标志为 0，表示左通道的数据应该被写入 SPI_DATA 寄存器。

为了关闭 I2S，I2SEN 位必须在 TBE 标志为 1 且 TRANS 标志为 0 之后清零。

I2S 主机接收流程

RBNE 标志被用来控制接收序列。如前文所述，RBNE 标志表示接收缓冲区非空，如果 SPI_CTL1 寄存器的 RBNEIE 位为 1，将产生中断。当 SPI_I2SCTL 寄存器的 I2SEN 位被置 1 时，接收流程立即开始。首先，接收缓冲区为空(RBNE 为 0)。当一个接收流程结束时，接收到的数据将从移位寄存器装载到接收缓冲区(RBNE 变为 1)。当 RBNE 为 1 时，用户应该将数据从 SPI_DATA 寄存器中读走。读操作完成后，RBNE 变为 0。必须在下一次接收结束之前读

走 SPI_DATA 寄存器中的数据，否则将发生接收过载错误。发送接收过载错误时， RXORERR 标志位会被置 1，如果 SPI_CTL1 寄存器的 ERRIE 位为 1，将会产生中断。这种情况下，必须先关闭 I2S 再打开 I2S，然后再恢复通讯。

对于除 PCM 之外的所有标准来说，I2SCH 标志用来区分当前传输数据所属的通道。I2SCH 标志在每次 RBNE 标志由 0 变 1 时更新。

为了关闭 I2S，不同的音频标准，数据长度和通道长度采用不同的操作步骤。每种情况的操作步骤如下所示。

- 数据长度为16位，通道长度为32位，LSB对齐标准(DTLEN = 00，CHLEN = 1，且I2SSTD = 0b10)：

1. 等待倒数第二个RBNE；
2. 等待17个I2S时钟周期(I2S_CK引脚上的时钟)；
3. 清除I2SEN位。

- 数据长度为16位，通道长度为32位，除LSB对齐标准之外的其他标准(DTLEN = 00，CHLEN = 1，且 I2SSTD不等于0b10)：

1. 等待最后一个RBNE；
2. 等待1个I2S时钟周期；
3. 清除I2SEN位。

- 其他所有情况：

1. 等待倒数第二个RBNE；
2. 等待1个I2S时钟周期；
3. 清除I2SEN位。

I2S 从机发送流程

从机发送流程和主机发送流程相似，不同之处如下：

在从机模式下，从机需要在外部主机开始通讯之前使能。当外部主机开始发送时钟信号且 I2S_WS 信号请求传输数据时，发送流程开始。数据需要在外部主机发起通讯之前写入 SPI_DATA 寄存器。为了确保音频数据的连续传输，必须在当前发送序列结束之前将下一个待发送的数据写入 SPI_DATA 寄存器，否则会产生发送欠载错误。此时 TXURERR 标志会置 1，如果 SPI_CTL1 寄存器的 ERRIE 位为 1，将会产生中断。这种情况下，必须先关闭 I2S 再打开 I2S 来恢复通讯。从机模式下，I2SCH 标志是根据外部主机发送的 I2S_WS 信号而变化的。

为了关闭 I2S，必须在 TBE 标志变为 1 且 TRANS 标志变为 0 之后，才能清除 I2SEN 位。

I2S 从机接收流程

从机接收流程与主机接收流程类似。不同之处如下。

在从机模式下，从机需要在外部主机开始通讯之前使能。当外部主机开始发送时钟信号且 I2S_WS 信号指示数据开始时，接收流程开始。从机模式下，I2SCH 标志是根据外部主机发送的 I2S_WS 信号而变化的。

为了关闭 I2S，必须在收到最后一个 RBNE 之后立即清除 I2SEN 位。

I2S 全双工模式

单个的 I2S 模块只支持单向传输：发送模式或接收模式，通过一个附加的 I2S 模块(I2S_ADD 模块)可以实现 I2S 的全双工模式。I2S_ADD 模块与 I2S 模块功能一样，但只工作在从模式。一共有两个 I2S_ADD 模块：I2S_ADD1 和 I2S_ADD2，所以只有 I2S1 和 I2S2 支持全双工模式。I2S_ADD 模块的 I2S_CK 和 I2S_WS 引脚分别与对应的 I2S 模块的相应引脚内部连接，I2S_ADD 模块的 I2S_SD 引脚映射到对应的 I2S 模块的 SPI_MISO 引脚。

为了工作在全双工模式，需要使能 I2S 模块和相应的 I2S_ADD 模块，I2S 模块支持两种全双工模式：主机模式和从机模式。

在主机全双工模式下，软件必须设置 I2S 为主机，I2S_ADD 为从机，I2S_ADD 模块的 WS 和 SCK 信号都由主机 I2S 模块提供。

在从机全双工模式下，软件必须设置 I2S 和 I2S_ADD 都为从机，I2S 模块和 I2S_ADD 模块的 WS 和 SCK 信号都由外部信号提供。

应用程序可以配置 I2S 模块为发送或接收模式，然后配置 I2S_ADD 为相反的模式。在发送过程中，软件同时操作 I2S 模块和 I2S_ADD 模块的寄存器和中断来实现全双工模式发送。

25.9.4. DMA 功能

DMA 功能与 SPI 模式完全一样，唯一不同的地方就是 I2S 模式不支持 CRC 功能。

25.10. I2S 中断

25.10.1. 状态标志位

SPI_STAT 寄存器中有 4 个可用的标志位，分别是 TBE、RBNE、TRANS 和 I2SCH，用户通过这些标志位可以全面监视 I2S 总线的状态。

- **发送缓冲区空标志(TBE)**

  当发送缓冲区为空时，TBE置位。软件可以通过写SPI_DATA寄存器将下一个数据写入发送缓冲区。

- **接收缓冲区非空标志(RBNE)**

  接收缓冲区非空时，RBNE置位，表示此时接收到一个数据，并已存入接收缓冲区中，软件可以通过读SPI_DATA寄存器来读取此数据。

- **I2S通信进行中标志(TRANS)**

  TRANS是用来指示当前传输是否正在进行或结束的状态标志，它由内部硬件置位和清除，无法通过软件进行操作。该标志位不会产生如何中断。

- **I2S通道标志(I2SCH)**

  I2SCH用来表明当前传输数据的通道信息，对PCM音频标准来说没有意义。在发送模式下，I2SCH标志在每次TBE由0变1时更新，在接收模式下，I2SCH标志在每次RBNE由0变1时更新。该标志位不会产生任何中断。

25.10.2. 错误标志

有三个错误标志：

- **发送欠载错误标志(TXURERR)**

  在从发送模式下，当有效的SCK信号开始发送时，如果发送缓冲区为空时，发送欠载错误标志TXURERR将会置位。

- **接收过载错误标志(RXORERR)**

  当接收缓冲区已满且又接收到一个新的数据时，接收过载错误标志RXORERR置位。当接收过载发生时，接收缓冲区中的数据没有更新，新接收的数据丢失。

- **帧错误(FERR)**

  在从I2S模式下，I2S模块监视I2S_WS信号，如果I2S_WS信号在一个错误的位置发生翻转，将会置位FERR帧错误标志位。

*表 25-10. I2S 中断*总结了 I2S 中断事件和相应的使能位。

表 25-10. I2S 中断

中断事件	描述	清除方式	中断使能位
TBE	发送缓冲区空	写 SPI_DATA 寄存器	TBEIE
RBNE	接收缓冲区非空	读 SPI_DATA 寄存器	RBNEIE
TXURERR	发送欠载错误	读 SPI_STAT 寄存器	ERRIE
RXORERR	接收过载错误	读 SPI_DATA 寄存器，然后再读 SPI_STAT 寄存器	
FERR	I2S 帧错误	读 SPI_STAT 寄存器	

25.11. SPI/I2S 寄存器

I2S1_add 基地址：0x4000 3400

SPI1/I2S1 基地址：0x4000 3800

SPI2/I2S2 基地址：0x4000 3C00

I2S2_add 基地址：0x4000 4000

SPI0 基地址：0x4001 3000

SPI3 基地址：0x4001 3400

SPI4 基地址：0x4001 5000

SPI5 基地址：0x4001 5400

25.11.1. 控制寄存器 0(SPI_CTL0)

地址偏移：0x00
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

该寄存器在I2S模式下没有意义。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BDEN	BDOEN	CRCEN	CRCNT	FF16	RO	SWNSSEN	SWNSS	LF	SPIEN	PSC [2:0]			MSTMOD	CKPL	CKPH
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15	BDEN	双向数据模式 0：2 线单向传输模式 1：1 线双向传输模式。数据在主机的 MOSI 引脚和从机的 MISO 引脚之间传输。
14	BDOEN	双向传输输出使能 当 BDEN 置位时，该位决定了数据的传输方向。 0：工作在只接收模式 1：工作在只发送模式
13	CRCEN	CRC 计算使能 0：CRC 计算禁止 1：CRC 计算使能
12	CRCNT	下一次传输 CRC

		0：下一次传输值为数据 1：下一次传输值为 CRC 值(TCR) 当数据传输由 DMA 管理时，CRC 值由硬件传输，该位应该被清零。 在全双工和只发送模式下，当最后一个数据写入 SPI_DATA 寄存器后应将该位置 1。在只接收模式下，在接收完倒数第二个数据后应将该位置 1。
11	FF16	数据帧格式 0：8 位数据帧格式 1：16 位数据帧格式
10	RO	只接收模式 当 BDEN 清零时，该位决定了数据的传输方向。 0：全双工模式 1：只接收模式
9	SWNSSEN	NSS 软件模式选择 0：NSS 硬件模式，NSS 电平取决于 NSS 引脚 1：NSS 软件模式，NSS 电平取决于 SWNSS 位 该位在 SPI TI 模式下没有意义。
8	SWNSS	NSS 软件模式下 NSS 引脚选择 0：NSS 引脚拉低 1：NSS 引脚拉高 只有在 SWNSSEN 置位时，该位有效。 该位在 SPI TI 模式下没有意义。
7	LF	最低有效位先发模式 0：先发送最高有效位 1：先发送最低有效位 该位在 SPI TI 模式下没有意义。
6	SPIEN	SPI 使能 0：SPI 设备禁止 1：SPI 设备使能
5:3	PSC[2:0]	主时钟预分频选择 000：PCLK/2　100：PCLK/32 001：PCLK/4　101：PCLK/64 010：PCLK/8　110：PCLK/128 011：PCLK/16　111：PCLK/256 当使用 SPI0，SPI3，SPI4 和 SPI5 时，PCLK=PCLK2，当使用 SPI1 和 SPI2 时，PCLK=PCLK1。
2	MSTMOD	主从模式使能 0：从机模式 1：主机模式
1	CKPL	时钟极性选择 0：SPI 为空闲状态时，CLK 引脚拉低

		1：SPI 为空闲状态时，CLK 引脚拉高
0	CKPH	时钟相位选择 0：在第一个时钟跳变沿采集第一个数据 1：在第二个时钟跳变沿时钟跳变沿采集第一个数据

25.11.2. 控制寄存器 1(SPI_CTL1)

地址偏移：0x04
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	1002	11	10	9	8	7	6	5	4	3	2	1	0
保留								TBEIE	RBNEIE	ERRIE	TMOD	保留.	NSSDRV	DMATEN	DMAREN
								rw	rw	rw	rw		rw	rw	rw

位/位域	名称	描述
31:8	保留	必须保持复位值。
7	TBEIE	发送缓冲区空中断使能 0：TBE 中断禁止 1：TBE 中断使能。当 TBE 置位时，产生中断。
6	RBNEIE	接收缓冲区非空中断使能 0：RBNE 中断禁止. 1：RBNE 中断使能。当 RBNE 置位时，产生中断。
5	ERRIE	错误中断使能 0：错误中断禁止 1：错误中断使能。当 CRCERR 位，CONFERR 位，RXORERR 位或者 TXURERR 位置 1 时，产生中断。
4	TMOD	SPI TI 模式使能 0：SPI TI 模式禁止 1：SPI TI 模式使能
3	保留	必须保持复位值。
2	NSSDRV	NSS 输出使能 0：NSS 输出禁止 1：NSS 输出使能。 当 SPI 使能时，如果 NSS 引脚配置为输出模式，NSS 引脚在主模式时被拉低。如果 NSS 引脚配置为输入模式，NSS 引脚在主模式时被拉高，此时该位无效。
1	DMATEN	发送缓冲区 DMA 使能

0：发送缓冲区 DMA 禁止
1：发送缓冲区 DMA 使能。当 SPI_STAT 中的 TBE 置位时，将会在相应的 DMA 通道上产生一个 DMA 请求。

0	DMAREN	接收缓冲区 DMA 使能 0：接收缓冲区 DMA 禁止 1：接收缓冲区 DMA 使能。当 SPI_STAT 中的 RBNE 置位时，将会在相应的 DMA 通道上产生一个 DMA 请求。

25.11.3. 状态寄存器(SPI_STAT)

地址偏移：0x08
复位值：0x0000 0002

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							FERR	TRANS	RXORERR	CONFERR	CRCERR	TXURERR	I2SCH	TBE	RBNE
							rc_w0	r	r	r	rc_w0	r	r	r	r

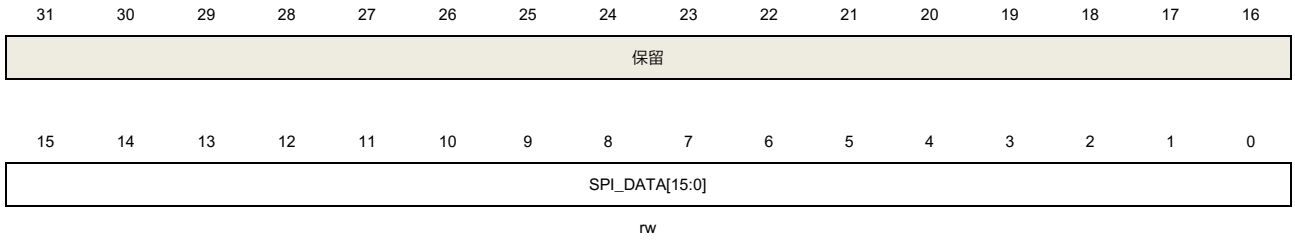
位/位域	名称	描述
31:9	保留	必须保持复位值。
8	FERR	帧错误 SPI TI 模式： 0：没有 TI 模式帧错误发生 1：TI 模式帧错误发生 I2S 模式： 0：没有 I2S 帧错误发生 1：I2S 帧错误发生 该位由硬件置位，可以通过写 0 清除。
7	TRANS	通信进行中标志 0：SPI 或 I2S 空闲 1：SPI 或 I2S 当前正在发送或接收数据 该位由硬件置位和清除。
6	RXORERR	接收过载错误标志 0：没有接收过载错误发生 1：接收过载错误发生 该位由硬件置位，软件序列清零。软件序列为：先读 SPI_DATA 寄存器，然后读 SPI_STAT 寄存器。
5	CONFERR	SPI 配置错误 0：无配置错误发生

		1：配置错误发生(主机模式下，在硬件 NSS 模式时 NSS 引脚被拉低，或者软件 NSS 模式时 SWNSS 位为 0，都会产生 CONFERR 错误) 该位由硬件置位，软件序列清零。软件序列为：先读或写 SPI_STAT 寄存器，然后写 SPI_CTL0 寄存器。 I2S 模式下不使用该位。
4	CRCERR	SPI CRC 错误标志 0：SPI_RCRC 值等于最后接收到的 CRC 值 1：SPI_RCRC 值不等于最后接收到的 CRC 值 该位由硬件置位，可以通过写 0 清除。 I2S 模式下不使用该位。
3	TXURERR	发送欠载错误标志 0：无发送欠载错误发生 1：发送欠载错误发生 该位由硬件置位，通过读 SPI_STAT 寄存器清除。 SPI 模式下不使用该位。
2	I2SCH	I2S 通道标志 0：下一个将要发送或刚刚接收到的数据属于左通道 1：下一个将要发送或刚刚接收到的数据属于右通道 该位由硬件置位和清除。 SPI 模式下该位无用，I2S PCM 模式下该位没有意义。
1	TBE	发送缓冲区空 0：发送缓冲区非空 1：发送缓冲区空
0	RBNE	接收缓冲区非空 0：接收缓冲区空 1：接收缓冲区非空

25.11.4. 数据寄存器(SPI_DATA)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。



位/位域	名称	描述

31:16	保留	必须保持复位值。
15:0	SPI_DATA[15:0]	数据传输寄存器值 硬件有两个缓冲区：发送缓冲区和接收缓冲区。向 SPI_DATA 写数据将会把数据存入发送缓冲区，从 SPI_DATA 读数据，将从接收缓冲区获得数据。 当数据帧格式为 8 位时，SPI_DATA[15:8]强制为 0，SPI_DATA[7:0]用来发送和接收数据，发送和接收缓冲区都是 8 位。如果数据帧格式为 16 位，SPI_DATA[15:0]用于发送和接收数据，发送和接收缓冲区也是 16 位。

25.11.5. CRC 多项式寄存器(SPI_CRCPOLY)

地址偏移：0x10
复位值：0x0000 0007

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CPR [15:0]															
rw															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	CRCPOLY[15:0]	CRC 多项式寄存器值 该值包含了 CRC 多项式，用于 CRC 计算，默认值为 0007h。

25.11.6. 接收 CRC 寄存器(SPI_RCRC)

地址偏移：0x14
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCRC[15:0]															
r															

位/位域	名称	描述

31:16	保留	必须保持复位值。
15:0	RCRC[15:0]	接收 CRC 寄存器值 当 SPI_CTL0 中的 CRCEN 置位时，硬件计算接收数据的 CRC 值，并保存到 RCR 寄存器中。如果是 8 位数据帧格式，CRC 计算基于 CRC8 标准进行，保存数据到 RCRC[7:0]。如果是 16 位数据帧格式，CRC 计算基于 CRC16 标准进行，保存数据到 RCRC[15:0]。 硬件在接收到每个数据位后都会计算 CRC 值，当 TRANS 置位时，读该寄存器将返回一个中间值。 当 SPI_CTL0 寄存器中的 CRCEN 位和 SPIEN 位清零时，该寄存器复位。

25.11.7. 发送 CRC 寄存器(SPI_TCRC)

地址偏移：0x18
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRC[15:0]															
r															

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	TCRC[15:0]	发送 CRC 寄存器值 当 SPI_CTL0 中的 CRCEN 置位时，硬件计算发送数据的 CRC 值，并保存到 TCR 寄存器中。如果是 8 位数据帧格式，CRC 计算基于 CRC8 标准进行，保存数据到 TCRC[7:0]。如果是 16 位数据帧格式，CRC 计算基于 CRC16 标准进行，保存数据到 TCRC[15:0]。 硬件在发送出每个数据位后都会计算 CRC 值，当 TRANS 置位时，读该寄存器将返回一个中间值。不同的数据帧格式(SPI_CTL0 中的 LF 位决定)将会得到不同的 CRC 值。 当 SPI_CTL0 寄存器中的 CRCEN 位和 SPIEN 位清零时，该寄存器复位。

25.11.8. I2S 控制寄存器(SPI_I2SCTL)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				I2SSEL	I2SEN	I2SOPMOD[1:0]		PCMSMOD	保留	I2SSTD[1:0]		CKPL	DTLEN[1:0]		CHLEN
				rw	rw	rw		rw		rw		rw	rw		rw

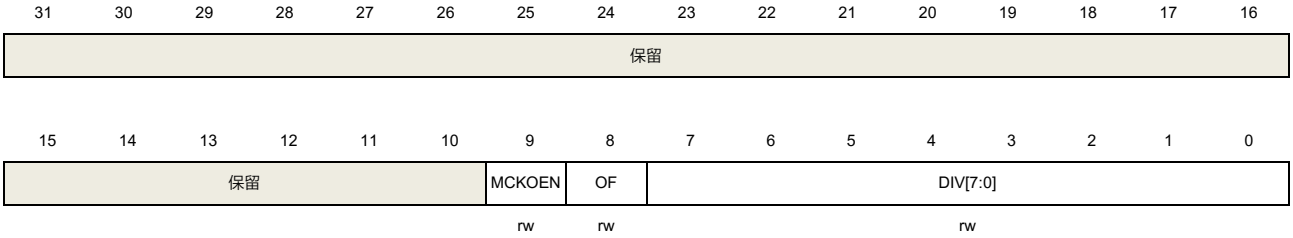
位/位域	名称	描述
31:12	保留	必须保持复位值。
11	I2SSEL	I2S 模式选择 0：SPI 模式 1：I2S 模式 当 SPI 模式或 I2S 模式关闭时配置该位。
10	I2SEN	I2S 使能 0：I2S 禁止 1：I2S 使能 SPI 模式不使用该位。
9:8	I2SOPMOD[1:0]	I2S 运行模式 00：从机发送模式 01：从机接收模式 10：主机发送模式 11：主机接收模式 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。
7	PCMSMOD	PCM 帧同步模式 0：短帧同步 1：长帧同步 只有在 PCM 标准下，该位才有意义。 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。
6	保留	必须保持复位值
5:4	I2SSTD[1:0]	I2S 标准选择 00：I2S 飞利浦标准 01：MSB 对齐标准 10：LSB 对齐标准 11：PCM 标准 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。
3	CKPL	空闲状态时钟极性 0：I2S_CK 空闲状态为低电平 1：I2S_CK 空闲状态为高电平 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。
2:1	DTLEN[1:0]	数据长度 00：16 位

		01：24 位 10：32 位 11：保留 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。
0	CHLEN	通道长度 0：16 位 1：32 位 通道长度必须大于或等于数据长度。 当 I2S 模式关闭时配置该位。SPI 模式不使用该位。

25.11.9. I2S 时钟预分频寄存器(SPI_I2SPSC)

地址偏移：0x20
复位值：0x0000 0002

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。



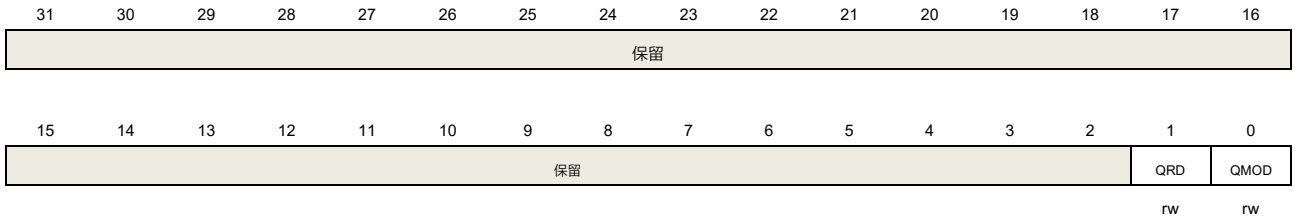
位/位域	名称	描述
31:10	保留	必须保持复位值。
9	MCKOEN	I2S_MCK 输出使能 0：I2S_MCK 输出禁止 1：I2S_MCK 输出使能 当 I2S 模式关闭时配置该位。 SPI 模式不使用该位。
8	OF	预分频器的奇系数 0：实际分频系数为 DIV * 2 1：实际分频系数为 DIV * 2 + 1 当 I2S 模式关闭时配置该位。SPI 模式下不使用该位。
7:0	DIV[7:0]	预分频器的分频系数 实际分频系数是 DIV * 2 + OF。 DIV 不能为 0. 当 I2S 模式关闭时配置该位。SPI 模式下不使用该位。

25.11.10. SPI5 四线 SPI 控制寄存器(SPI_QCTL)

地址偏移：0x80

复位值：0x0000 0000

该寄存器可以按字节(8位)或半字(16位)或字(32位)访问。



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	QRD	四线 SPI 模式读选择 0：SPI 四线模式写操作 1：SPI 四线模式读操作 该位仅能在 SPI 未通信时配置(TRANS 位清零)。 该位仅适用于 SPI5。
0	QMOD	四线 SPI 模式使能 0：SPI 工作在单路模式 1：SPI 工作在四线模式 该位仅能在 SPI 未通信时配置(TRANS 位清零)。 该位仅适用于 SPI5。

26. 串行音频接口(SAI)

26.1. 简介

串行音频接口(SAI)用于支持各种通用的音频协议，如I2S、PCM/DSP、AC'97、LSB或MSB对齐和TDM，它适用于单声道和立体声。

为了初始化这些配置，SAI用了两个完全独立的音频子模块。每个音频子模块包含多达4个IO引脚(SD，SCK，FS和MCLK)。当两个音频子模块配置成相互同步时，部分IO引脚可以共用。

SAI可以配置成主/从、发送/接收的任何组合模式，根据音频子模块同步/异步配置，可以设置其操作模式为全双工/单工。本系列只有一个SAI，所以不支持外部同步模式。

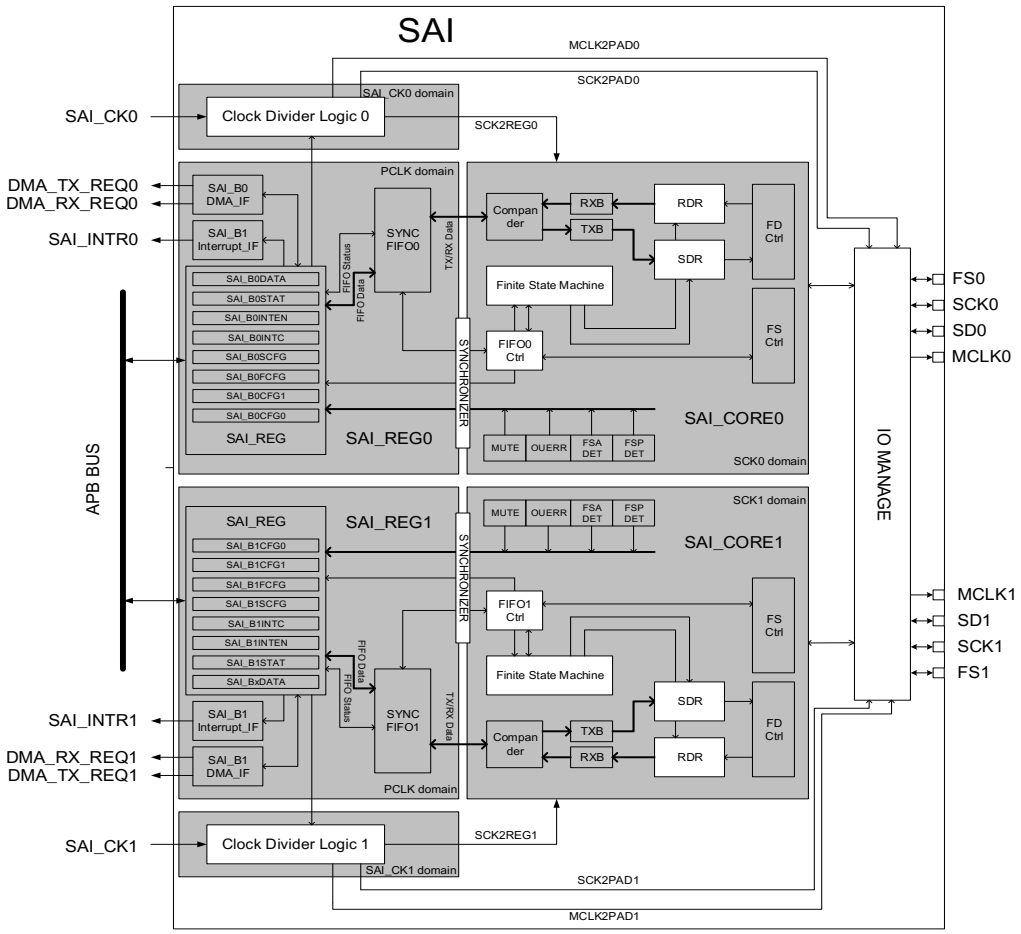
26.2. 主要特征

- 两个独立的音频子模块；
- 每个音频子模块可以配置成主/从、发送/接收的任何组合，并都具有一个8字的FIFO；
- 本地时钟分频逻辑用于满足各种音频采样率；
- 可灵活配置的音频协议，如I2S，PCM/DSP，AC'97，LSB或MSB对齐和TDM；
- 具有单声道/立体声音频能力，支持静音设置；
- 帧同步配置(有效电平、有效长度和偏移)；
- 每个音频帧包含多达16个可配置的slot；
- 灵活的配置slot长度，并且可以配置slot为有效或无效；
- 每个slot能够支持一个大小为8位、10位、16位、20位、24位或32位的数据，并且可以配置这些数据的第一位偏移、LSB或MSB传输；
- 串行时钟选通边沿选择(SCK)；
- 错误标志位和中断源：
  - FIFO上溢和下溢；
  - 从模式时，帧同步提前检测；
  - 从模式时，帧同步滞后检测；
  - AC'97编解码器未就绪；
  - 时钟配置错误；
- 每个音频子模块都有2个独立的DMA接口，支持频率高达4MHz的从机模式。

26.3. 功能描述

26.3.1. 模块框图

图 26-1. 模块框图



灵活的音频收发器整合了两个相同的独立子模块，并具有一个连接到输出的IO管理模块。每个音频子模块由三个独立的时域组成，分别为SAI_CK、SCK和PCLK域。定义音频采样率时钟分频逻辑设计在SAI_CK域，它的时钟输出到SCK域。SCK域包含SAI主要功能状态机、压缩/解压、发送/接收逻辑和中断产生逻辑。主要的控制寄存器和同步FIFO位于PCLK域。同步FIFO可以被ARM CPU的APB总线或DMA控制器访问。

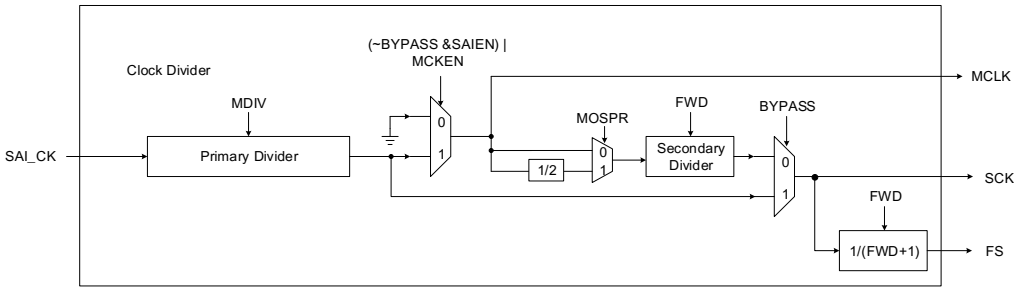
每个音频子模块可以配置成主/从、发送/接收两者的任意组合。帧同步(FS)和串行时钟(SCK)在主模式下产生，在从模式下，音频子模块从外部主机或同步模式下另一个音频子模块接收这两个信号。主时钟(MCLK)只有在主模式时才产生，用来供外部DAC/ADC操作。有一个例外，当SAI配成支持AC'97协议时，FS强制变成输出信号，这与主/从配置无关。串行数据(SD)IO引脚在发送时配成输出，接收时配成输入。

IO管理模块控制每个音频子模块的IO引脚，当两个音频子模块被声明为互相同步时，FS、SCK和MCLK可以共用，同步子模块的这些引脚被释放，并可用作通用IO。

26.3.2. 时钟分频器

SAI的两个音频子模块的时钟分频逻辑只有在当它们配置成主设备时才打开，否则是关闭的，并且MCLK和SCK的输出都保持低电平。分频器的时钟源SAI_CK(参考*复位和时钟单元(RCU)*)推荐采用45.1584MHz和49.152MHz这两个特定值来产生标准的音频采样率。时钟分频逻辑由主时钟分频器和子时钟分频器组成，其中主时钟分频器用于产生所需的主时钟(MCLK)，子时钟分频器用于产生位时钟(SCK)。时钟分频逻辑如*图26-2. 时钟分频逻辑*所示。

图 26-2. 时钟分频逻辑



主时钟分频比 MDIV 直接链接到 SAI 控制寄存器内的主时钟分频比控制字段，其输出频率可通过以下公式获得。

$$f_{MCLK} = \begin{cases} \frac{f_{SAI_CK}}{MDIV}, & MDIV \neq 0 \\ f_{SAI_CK}, & MDIV = 0 \end{cases} \quad (26\text{-}1)$$

注意：以上公式仅在 BYPASS 无效、SAI 开启且 MCKEN 开启时成立，否则 MCLK 保持低电平。

辅助时钟分频器的比率 MDIV 连接到 SAI 控制寄存器内的帧长度(FWD)和 MCLK 过采样率(MOSPR)控制字段。以下公式决定了 SAI_CK 与位时钟(SCK)采样率之间的关系。

$$f_{SCK} = \frac{f_{SAI_CK} \times (FWD + 1)}{MDIV \times (MOSPR + 1) \times 256} \quad (26\text{-}2)$$

帧同步频率 f_{FS}:

$$f_{FS} = \frac{f_{SAI_CK}}{MDIV \times (MOSPR + 1) \times 256} \quad (26\text{-}3)$$

当 BYPASS 置位时，主时钟(MCLK)以固定输出值 0 关闭，而位时钟(SCK)取决于 MDIV。另外，帧长值没有限制，只要帧长大于等于 8 即可。
当 BYPASS 清零时，需要设置(FWD + 1)等于 master 模式下基数为 2 的指数函数的结果，以保证 SCK 可被 MCLK 整除。

*表 26-1. 常用的音频采用率*列出了帧长度为 256 位时一些常用的音频采样率配置。

表26-1. 常用的音频采用率

SAI_CK时钟频率	标准音频采样率	主时钟分频率
192kHz x 256	192 kHz	MDIV = 1
	96 kHz	MDIV = 2
	48 kHz	MDIV = 4
	16 kHz	MDIV = 12
	8 kHz	MDIV = 24
44.1kHz x 256	44.1 kHz	MDIV = 1
	22.05 kHz	MDIV = 2
	11.025 kHz	MDIV = 4

26.3.3. 操作模式

SAI音频子模块可以独立的配置成主/从、发送/接收任何组合的操作模式。

主设备

帧同步(FS)是由主设备在FIFO不为空且帧开始时生成，它用来协调帧开始或通道识别。串行时钟(SCK)和主时钟(MCLK)都是由主设备生成的信号，SCK信号专门被从设备用来作为位时钟。和FS不同，SCK和MCLK的产生不受FIFO是否为空的制约，只要音频子模块被使能，他们就会生成。

从设备

从设备接收来自主设备的FS和SCK信号，这些信号的来源取决于音频子模块是声明为同步还是异步。当选择异步模式时，FS和SCK信号源被直接关联到芯片级IO端口。当选择同步模式时，FS和SCK信号源被连接到另一个音频子模块的FS和SCK信号端。用户必须在使能主设备前先使能从设备，否则从设备将不能完整地接收主设备的数据。

发送器

当音频子模块被配置成发送器时，串行数据(SD)为输出。如果在音频子模块使能之后FIFO还是为空，则会发送数值0，并产生下溢标志(OUERR)。

接收器

当音频子模块被配置成接收器时，串行数据(SD)为输入。从接收器总会监测FS信号，当检测到第一个有效边沿时，音频子模块存储接收到的数据，然后由内部有限态机器处理后续数据的接收。当SAI失能时，接收器会在帧结束时才停止接收。

26.3.4. 同步模式

该系列在音频子块级别支持内部同步模式。

内部同步

内部同步模式具有减少通信时占用外部引脚数量的优点，即SAI子模块SAI_B0和SAI_B1可以同步运行，二者将共用SAI_FS和SAI_SCK信号，从而释放SCKx、FSx和MCLKx的GPIO引脚。

内部同步模式下的SAI子模块在全双工通信中可以配置为如下几种模式：

1. 子模块0(或者1)配置为主模块，子模块1(或者0)配置为从模块；
2. 子模块0和子模块1都配置为从模块；
3. 子模块0(或者1)配置为异步模块，子模块1(或者0)配置为同步模块。

注意：由于存在内部重新同步阶段，因此PCLK APB频率必须大于比特率时钟频率的二倍。

本系列只有一个SAI，所以不支持外部同步模式(SAI_SYNCFG中的SYNO和SYNI位需要设置为复位值，SAI_BxCFG0中的SYNCMOD不能设置为2'b10)。

当 SAI 子模块配置为从机模式时，存在同步信号方向限制：该从机子模块只能接收同步信号，无法提供帧同步(FS)信号给其他 SAI 子模块。

从机子模块不能作为同步信号源，只能接收来自主机模块的 FS 和 SCK 信号。

在系统设计阶段应充分考虑此限制，合理规划 SAI 模块的主从关系和引脚分配。

26.3.5. 帧配置

帧同步

帧同步信号是主设备和从设备之间初始化一个传输的协调信号。许多参数用于控制它的波形。

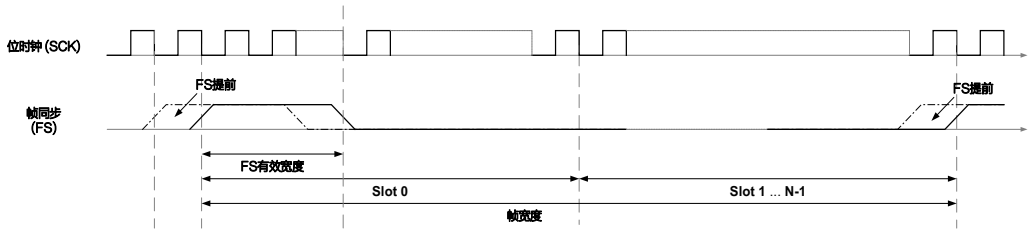
帧同步提前

帧同步有效边沿可以和第一个slot中第一个比特位的开始或者其前一个SCK位时钟对齐，这取决于SAI_SxFCFG寄存器中FSOST控制字段。*图26-3. FS有效宽度*展示了FS波形是如何改变的。

帧同步有效宽度

*图26-3. FS有效宽度*中帧同步信号的有效宽度取决于SAI_BxFCFG寄存器的FSAWD控制字段的配置，它的实际宽度等于(FSAWD+1)个SCK时钟周期，且其最小值为1个SCK时钟周期，最大值为128个SCK时钟周期，即为最大帧宽的一半。当FSFUNC置1时，FS信号不仅表示帧开始，还能表示通道识别，这种情况下，(FSAWD+1)必须等于帧宽的一半，否则音频子模块的功能将不能得到保证。

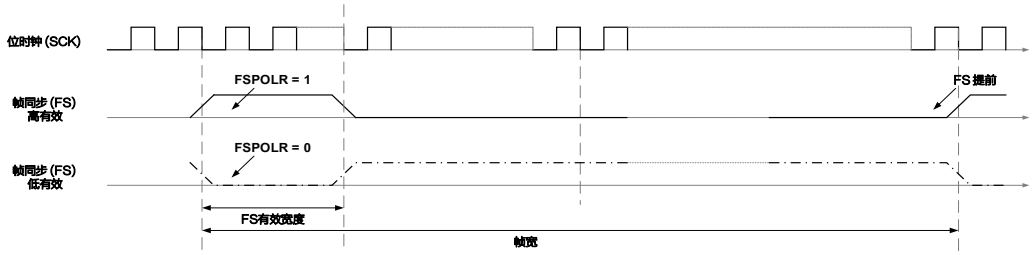
图 26-3. FS 有效宽度



帧同步极性

帧同步有效电平可以通过SAI_BxFCFG寄存器的FSPL控制字段配置，如*图26-4. FS极性*所示。

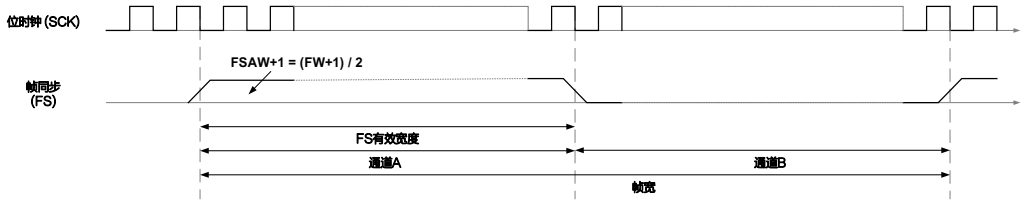
图 26-4. FS 极性



帧同步功能

帧同步功能的定义通过SAI_BxFCFG寄存器的FSFUNC控制字段进行配置。有两个指定的功能可被选择，当FSFUNC置1时，FS不仅表示帧开始还表示通道编号的识别，在这种情况下，帧同步有效宽度(FSAWD+1)应该配置成帧宽的一半，如*图26-5. FS功能*所示，否则音频子模块的行为将不能得到保证。当FSFUNC为0时，FS只表示帧开始。

图 26-5. FS 功能



帧宽

帧宽不能小于8位(相当于一个字节的数据)，也不能大于256位。

在主模式中，如果BYPASS清0，帧宽(FWD+1)的值应该设置为8到256之间且等于2的几次幂的值，以保证每个SCK时钟周期包含整数个MCLK时钟周期，这是外部DAC/ADC能正确操作的必须要求，否则SAI_BxINTEN寄存器中的错误时钟标志位(ERRCK)会置位，若还使能了SAI_BxINTEN寄存器的错误时钟中断位(ERRCKIE)，则产生一个中断。在主模式中，如果BYPASS置1，这将对帧宽的配置没有约束，主时钟自动关闭。

在从模式中，帧宽配置用于配合内部有限状态机来获取有效帧的开始和结束。它还有另一个用途，就是用于检测帧同步信号的提前或滞后，如果出现帧同步提前或滞后现象，则一个错误标志位会被置位，如果使能了相应的中断，则产生一个中断，具体可以参考*错误标志位*和*中断*章

节。

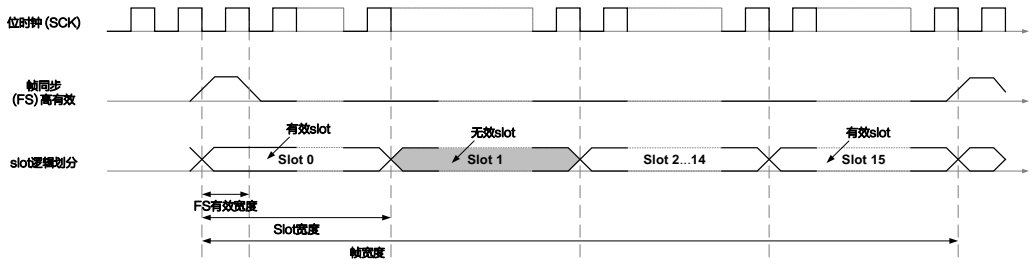
26.3.6. Slot 配置

每个SAI帧逻辑上最多分为16个slots，每个slot的有效状态和它们的分布通过slot配置寄存器进一步控制。Slot宽度可以通过SAI_BxSCFG寄存器的SLOTWD控制字段配成16位、32位或是和数据宽度一致。

Slot 激活

每个slot的激活状态可以通过SAI_BxSCFG寄存器的slot激活向量(SLOTAV)独立配置。SLOTAV是一个16位宽的控制字段，每个比特位控制相应的一个slot的激活状态。Slot的逻辑划分如*图 26-6. Slot激活*所示。

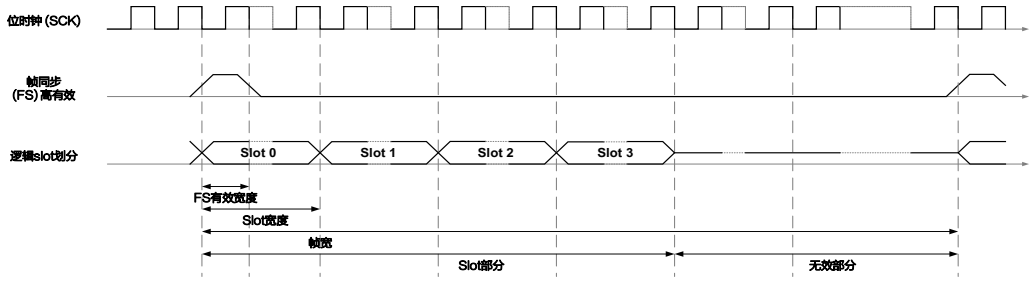
图 26-6. Slot 激活



Slot 分布

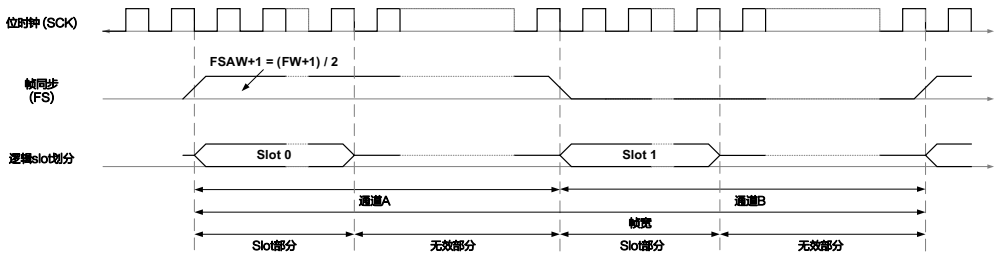
在slot个数和slot宽度的乘积小于帧宽的特殊情况下，存在非slot的分布。Slot部分即为有slot分布的部分，其他的为无效部分。当FSFUNC为0时，FS仅表示信号帧的开始，从最后一个slot结束到下一个帧的开始之间为slot的无效部分，如*图26-7. 当FSFUNC=0时，slot分布*所示。

图 26-7. 当 FSFUNC=0 时，slot 分布



当FSFUNC=1，FS不仅表示帧开始，还表示通道识别，slot部分和无效部分均匀分布在两个通道上。无效部分为从当前通道的最后一个slot到下一个通道的slot开始之间的部分。

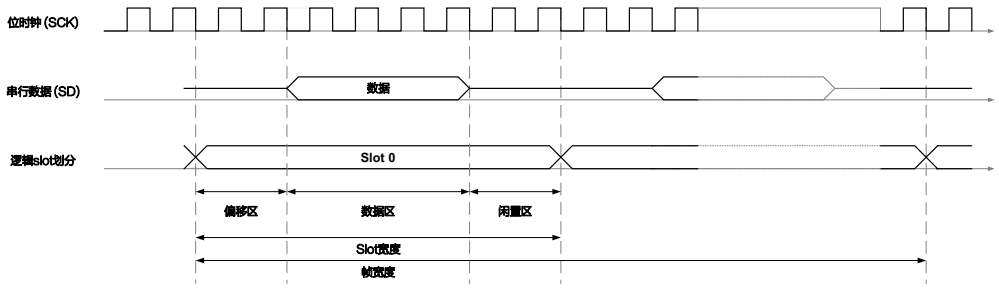
图 26-8. 当 FSFUNC=1 时，slot 分布



在无效 slot 上的串行数据输出管理

在无效slot附近的串行数据(SD)输出行为可以根据SAI_BxCFG1寄存器中的串行数据输出模式(SDOM)定义的管策略来决定是SAI释放还是驱动输出0。SD输出行为，偏移和空闲区域这三项需要特别注意。在该用户手册中，将slot部分规定为偏移区、数据区和闲置区，具体描述如*图 26-9. Slot部分的规定*所示。

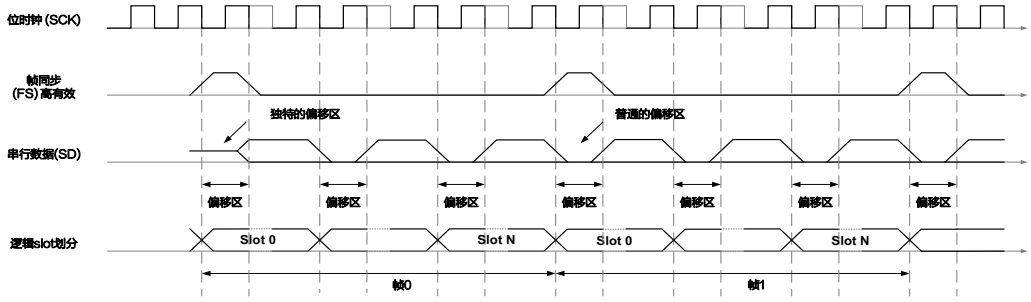
图 26-9. Slot 部分的规定



首先，偏移区域的SD输出由SDOM决定,SDOM为1，那么SAI将会释放SD的输出，否则SD输出0，其区别如

*图26-10. 偏移区的处理*所示。

图 26-10. 偏移区的处理

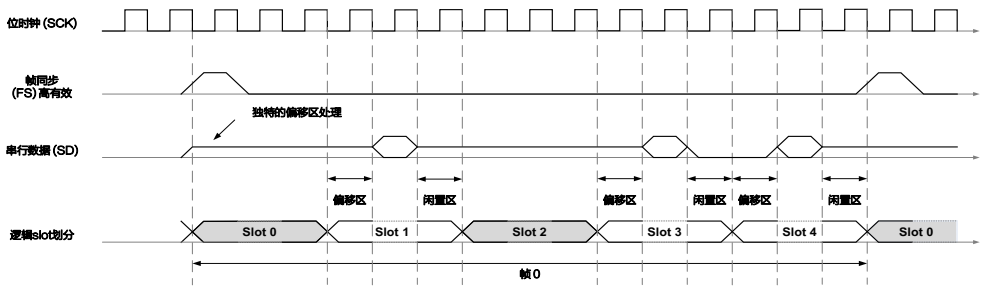


其次，当SDOM为1时，一个帧的最后一个slot的闲置区期间SD输出行为将参考第一个slot的有效状态。如果slot0是无效的时候，SD输出为释放状态，否则如果slot0是有效的，则SD输出0。当SDOM为0时，则SD的输出0，这和其他slot的有效状态无关。

最后，位于帧中间的slot的偏移区和闲置区的SD输出参考它们上一个slot和下一个slot的有效状态。如果上一个slot是无效的，并且存在偏移区，那么当SDOM=1时，SD输出线释放，当SDOM=0

时，SD输出0。同样，如果下一个slot是无效的，且存在闲置区，那么当SDOM=1时，SD线释放，当SDOM=0时，SD输出0。在有效slot和无效slot附近的偏移区和闲置区的SD输出行为如*图26-11. SD输出管理*所示。

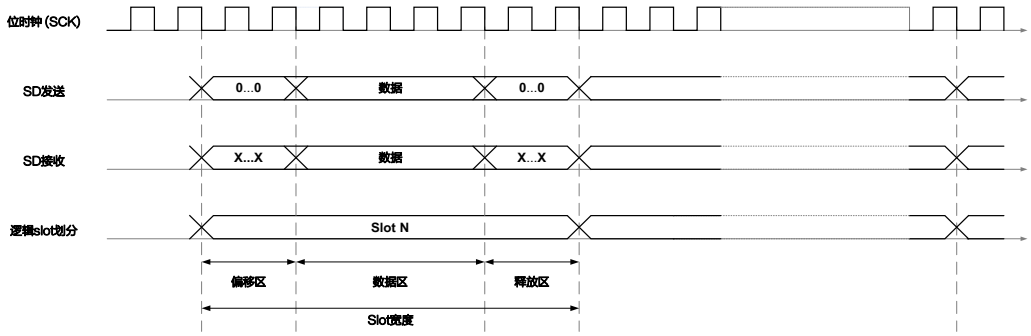
图 26-11. SD 输出管理



26.3.7. 数据配置

数据宽度也是灵活的，它可以通过 SAI_BxCFG0 寄存器的 DATAWD 位将其配置成 8 位、10 位、16 位、20 位、24 位和 32 位宽。通过设置 SAI_BxSCFG 寄存器的数据偏移(DATAOST)位，可以将有效 slot 中的数据向前移或是向后移。如部分(*帧配置*节)所描述的那样，一个 slot 开始处与里面数据的第一个比特位之间的空间称为偏移区，数据的最后一个比特位和 slot 结束处之间的空间称为闲置区。当音频子模块配置成发送器，且存在偏移区或闲置区，那么在这些区期间，SD 输出 0。SD 线的实际行为不仅取决于输出值，还取决于线管理条件和附近 slot 的有效状态。当音频子模块配置成接收器，且存在偏移区或闲置区，那么在这些区期间的数据接收将会被忽略。数据发送和接收如*图 26-12. 数据配置*所示。

图 26-12. 数据配置



26.3.8. 同步 FIFO

在每个SAI音频子模块内部独立应用一个8字深的同步FIFO以提高传输效率。这些FIFO可以被CPU或是DMA访问，FIFO请求中断机制用于请求CPU和DMA访问。FIFO请求的产生取决于操作模式、FIFO阈值、FIFO状态和DMA突发传输大小。FIFO请求中断的产生概括在*表26-2. FIFO请求的产生条件*中，如果根本条件不满足，则中断请求就会被清除。

表 26-2. FIFO 请求的产生条件

发送: OPTMOD[0] = 0				接收: OPTMOD[0] = 1			
FIFO 阈值	FFTH	FIFO状态	FFSTAT	FIFO阈值	FFTH	FIFO状态	FFSTAT
空	= 000	空	= 000	空	= 000	不空	>= 001
1/4 满	= 001	<1/4满	<010	1/4满	= 001	>= 1/4满	>= 010
1/2满	= 010	<1/2满	<011	1/2满	= 010	>= 1/2满	>= 011
3/4满	= 011	<3/4满	<100	3/4满	= 011	>= 3/4满	>= 100
全满	= 100	不满	<101	全满	= 100	全满	= 101

通过设置SAI_BxCFG1寄存器的FLUSH控制字段可以实现FIFO刷新，当FLUSH置1时，FIFO中的所有数据内容将被清除，读写指针复位到0。

注意：DMA请求的产生取决于FIFO请求，DMA接口章节会给出详细信息。

26.3.9. AC'97 链路控制器

AC'97链路控制器模式是通过SAI_BxCFG0寄存器的PROT位配置的。当选择了这个协议，有许多配置字段会被忽略，包括数据移位方向、数据宽度、帧和slot的大部分配置以及部分中断控制字段，具体可以参考寄存器定义部分的描述。

AC'97协议的帧宽固定为256位，每个帧被分成13个slot，第一个slot固定为16位宽，其他的12个slot的宽度固定为20位。用户必须设置SAI_BxCFG0寄存器的数据宽度(DATAWD)控制字段为16位或20位，否则将不能保证音频子模块的行为。

TAG(即Slot0)中的位2为保留位，无论写什么值到TAG中，位2均会被写0。

TAG(slot 0)中的位3到位14为自由协议的slot激活向量(SLOTAV)，其中TAG slot(即slot 0)总为有效，位3对应slot12，位14对应slot1.

TAG(slot 0)的位15是编解码就绪状态指示位，当音频子模块配置为接收时，接收到的TAG(slot0)的位15为0，则表明音频编解码器没有就绪，相应的ACNRDY标志位置1。如果ACNRDY标志位和音频编解码器未就绪中断使能位(ACNRDYIE)都置1，则产生一个中断。

帧同步有效边沿被声明为数据的第一个比特位的前一个时钟周期，如*图26-13. AC'97的slot划分*所示。

图 26-13. AC'97 的 slot 划分

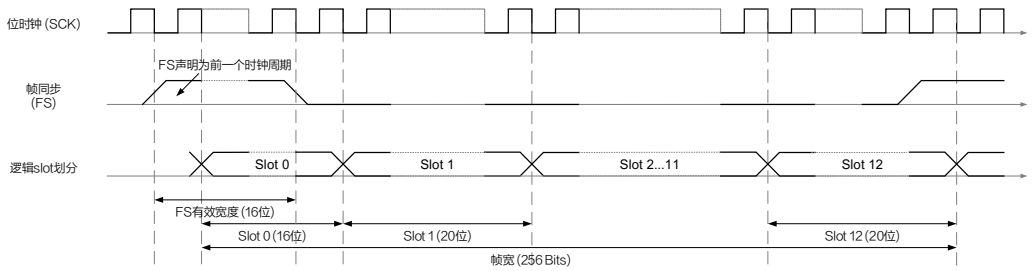


*图26-14. AC'97 TAG定义*给出了AC'97slot划分的综述。

图 26-14. AC'97 TAG 定义

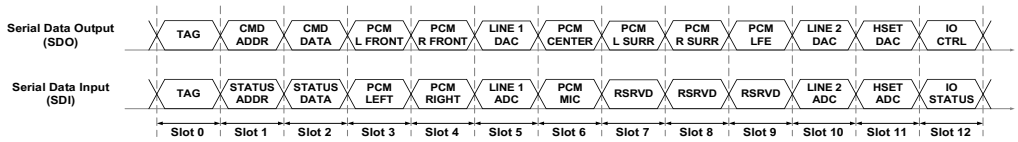


*表26-3. AC'97发送slot定义*和*表26-4. AC'97接收slot定义*概括了每个slot的定义和意义。

当AC'97链路控制器作为发送器时。

表 26-3. AC'97 发送 slot 定义

Slot	名称	描述
0	输出目标	高位指示哪个slot包含有效数据，低位指示传达编解码器ID
1	命令地址端口	读/写命令和7位的编解码器寄存器地址
2	命令数据端口	16位命令寄存器写数据
3,4	PCM回放	左右声道输入的16、18、20位PCM数据
5	Modem Line1 DAC	Modem line1输出的16位Modem数据
6,7,8,9	中置，左右环绕，LEF数据	中置，左右环绕与LEF通道的16、18、20位PCM数据
10	Modem Line2 DAC	Modem line2输出的16位Modem数据
11	Modem听筒	听筒的16位Modem数据
12	Modem IO控制	用于Modem控制的GPIO写端口I
10-11	SPDIF输出	AC-link可选SPDIF输出带宽
6-12	双倍音频数据	88.2或者96kHz的AC-link可选左，中，右声道带宽。实际使用时间片由DRSS位控制

当AC'97链路控制器作为接收器时。

表 26-4. AC'97 接收 slot 定义

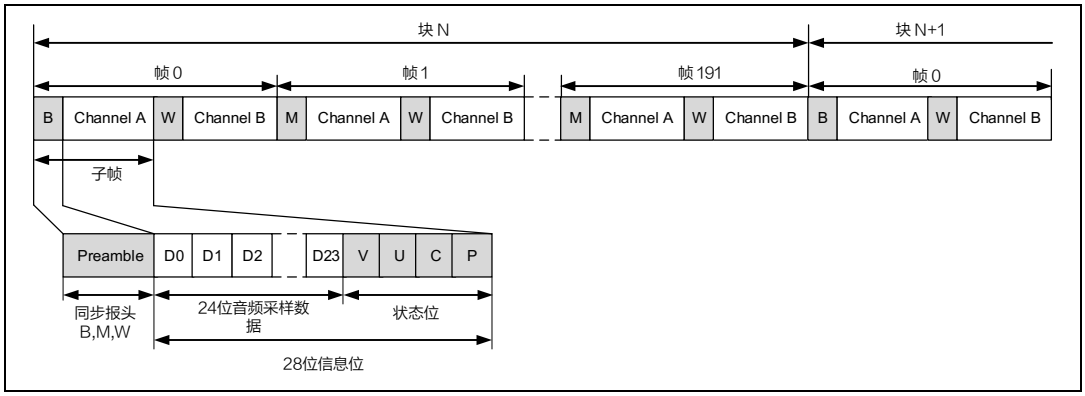
Slot	Name	Description
0	输入目标	高位指示哪个slot包含有效数据;
1	状态地址端口	高位指示寄存器地址，低位指示请求数据的时间片
2	状态数据端口	读取到的16位寄存器数据
3,4	PCM录音	左右声道输出的16、18、20位PCM数据
5	Modem Line 1 ADC	Modem line1输入的16位Modem数据
6	话筒专用ADC	用于第三个可选ADC的16、18、20位PCM数据
7,8,9	供应商保留	供应商特定(增强的输入扩充口，或者麦克风阵列等)
10	Modem Line 2 ADC	Modem line2输入的16位Modem数据
11	Modem话筒ADC	话筒的16位Modem数据
12	Modem IO状态	Modem状态读取GPIO端口

26.3.10. SPDIF 输出

SPDIF(索尼/飞利浦数字接口)是一种用于消费音频设备的数字音频互连，用于在合理的短距离内输出音频。 SPDIF 支持 IEC 60958 标准。

*图 26-15. SPDIF 数据格式*显示了 SPDIF 块格式和子帧格式。

图 26-15. SPDIF 数据格式



每个 SPDIF 块包含 192 帧数据，每个帧由左通道子帧(32 位)和右通道子帧(32 位)组成，每个子帧由 4bit 的 SOPD 模式、24bit 的数据信息和 4bit 的状态信息组成。

SOPD 模式编码参考*表 26-5. SOPD 模式*。

表 26-5. SOPD 模式

预先状态(前一个半比特值)	0	1	描述
报头	编码		
B	11101000	00010111	通道 A，且为一个块的起始子帧
W	11100100	00011011	通道 B
M	11100010	00011101	通道 A

SPDIF 的数据传输在 SAI_BxDATA 寄存器的数据填充应遵循：SAI_BxDATA[26:24]包含通道状态位、用户位和有效性位，SAI_BxDATA[23:0]包含所考虑通道的 24 位数据。

注意:如果数据大小为 20/16 位,应将数据映射到 SAI_BxDATA[23:4] /SAI_BxDATA[23:8]上。

通过配置 SAI_BxCFG0 寄存器中 OPTMOD[1]位为 0，强制选择为主模式，同时将忽略 SAI_BxCFG0 寄存器中 DATAWD[2:0]数据位宽设置，强制设置为 24 位，通过时钟发生器配置符号率，并通过曼彻斯特协议进行编码。

SAI 首先在块中发送每个子帧的适当报头。随后在 SD 线上发送 SAI_BxDATA(以曼彻斯特协议进行编码)。SAI 通过传输按*表 26-6. 校验位奇数*奇偶校验位来结束子帧。

表 26-6. 校验位奇数

SAI_BxDATA [26:0]	传输校验位 P 的值
奇数个 0	0
奇数个 1	1

对于 SPDIF 发生器，SAI 应提供一个符号率两倍的位时钟。通常情况下，音频采样率(F_S)和比特时钟率(F_{SCK_X})之间的关系由以下公式给出：

$$F_s = \frac{F_{SCK_x}}{128} \quad (34\text{-}6)$$

比特时钟率由以下公式给出:

$$F_{SCK_x}=\frac{F_{SAI_CK_x}}{MDIV} \quad (34\text{-}7)$$

注意：仅当 SAI_BxCFG0 寄存器中 BYPASS 设置为 1 时，上述公式才有效。

26.3.11. 立体声/单声道

SAI音频子模块通过设置SAI_BxCFG0寄存器的MONO位进行立体声和单声道模式的转换。注意，如果选择单声道，则slot的个数必须配置为2，否则音频子模块的行为将不能保证。

当音频子模块配置为发送器时，在第一个slot(slot0)期间发送的数据将会复制到第二个slot(slot1)，在这种情况下，FIFO的访问次数是立体声模式的一半。

当音频子模块配置成接收器时，在第一个slot期间接收到的数据被放入FIFO，第二个slot期间接收的数据将会被丢弃。

26.3.12. 静音

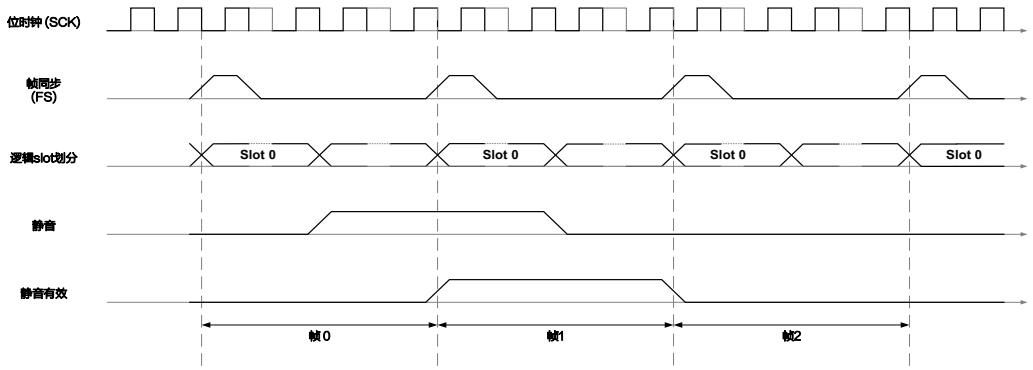
用户可以在一个帧传输期间的任何时候设置静音属性，这通过SAI_BxCFG1寄存器的MT位来配置，但是静音只会到下一个帧才生效。

如果SAI音频子模块作为发送器且已配置静音，当静音在下一个帧生效时，数据照常会从FIFO中取出，然后送入移位寄存器。唯一不同的是，SD输出是否强制为一个特定值，这个值由SAI_BxCFG1寄存器的MTVAL位决定。当MTVAL位为0时，在静音帧期间SD强制输出0，相反，当MTVAL置1时，SD输出行为得进一步根据slot总个数的配置。当slot总数小于或等于2时，静音有效的前一个帧内容会被赋值到当前静音帧。当slot总数大于2时，SD强制输出0。

配置成接收器的SAI音频子模块能够检测静音帧和产生相应的中断。一个静音帧计数器被应用到每个音频子模块上，如果接收到每个有效slot都为0的帧，那么这个帧就会被视为一个静音帧，内部的静音帧计数器增1。当SAI音频子模块使能或接收到一个非静音帧时，这个静音计数器就会复位。如果连续接收到的静音帧的个数达到SAI_BxCFG1寄存器MTFCNT位定义的值，则SAI_BxSTAT寄存器中的MTDET静音检测标志位就会置1，同时，如果使能了SAI_BxINTEN寄存器的MTDETIE位，则产生一个中断。

静音帧有效如*图26-16. 静音帧有效*所示。

图 26-16. 静音帧有效



不同配置下SD输出行为概括在*表26-7. 静音帧输出值*中。

表 26-7. 静音帧输出值

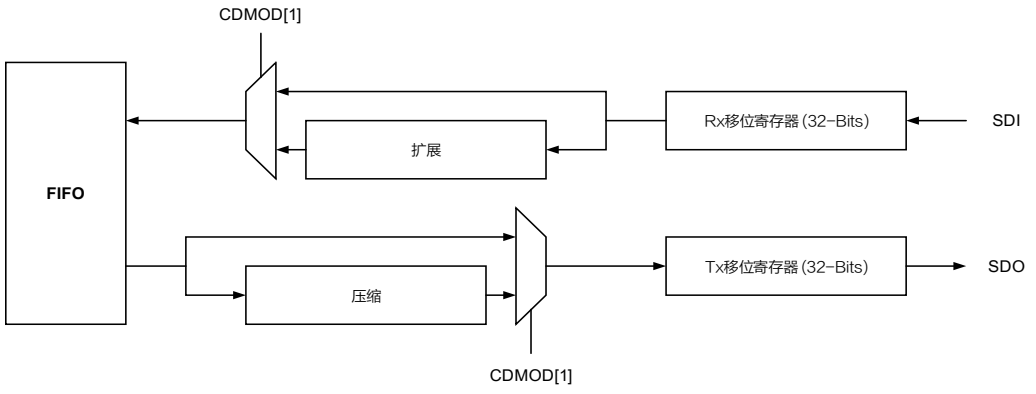
Slot个数	MTVAL= 1	MTVAL = 0
<= 2	静音有效前的一个帧内容被赋值到SD线上输出	强制为0
>2	强制为0	强制为0

26.3.13. 压缩扩展器

压缩扩展器仅仅是一个系统，里面的信息首先经过压缩，然后在一个有限带宽的通道上传输，最后在接收端进行扩展。它常被用于减小传输电话优质语音所需的带宽，它能将13位数据压缩成8位密语，该密语由1位符号位，3位量化级以及4位分量组成。有两个支持将信号数据编码成8位编码的国际标准：A-law和Mu-law。A-law是欧洲所公认的标准，Mu-law是美国和日本所公认的标准。

A-law和Mu-law都可以应用在SAI上，这需要通过对SAI_BxCFG1寄存器进行配置来选择。音频子模块根据操作模式(OPTMOD)来选择压缩还是扩展。当音频子模块配置为发送器时，即选择压缩，相反，如果配成接收器，则选择扩展。用户可以通过设置SAI_BxCFG1寄存器的补码模式(CPLMOD)来选择1或者2的补码作为默认的数据表示。在发送模式时，无论选择哪种压缩模式，硬件首先将补码表示转换成符号量值表示，然后再送入压缩扩展器。在接收模式时，线性输出的数据从符号量值表示转换成补码表示，然后存储到FIFO中。

图 26-17. 压缩扩展数据通路



A-law 压缩扩展

A-law是CCITT推荐的压缩扩展标准，在欧洲被广泛地使用，它将线性样本值限制在12位量级。*表26-8. A-law编码*阐述了A-law编码算法，线性输入数据用符号量表示，用S代指这个符号，之后的12位表示量级。编码后输出8位宽，且按MSB表示这个符号，下表中两端的符号位S不是同一个值。A、B、C、D取0或1，x代表不关心。

表 26-8. A-law 编码

线性输入数据													A-law编码输出							
S	0	0	0	0	0	0	0	A	B	C	D	X	S	0	0	0	A	B	C	D
S	0	0	0	0	0	0	1	A	B	C	D	X	S	0	0	1	A	B	C	D
S	0	0	0	0	0	1	A	B	C	D	X	X	S	0	1	0	A	B	C	D
S	0	0	0	0	1	A	B	C	D	X	X	X	S	0	1	1	A	B	C	D
S	0	0	0	1	A	B	C	D	X	X	X	X	S	1	0	0	A	B	C	D
S	0	0	1	A	B	C	D	X	X	X	X	X	S	1	0	1	A	B	C	D
S	0	1	A	B	C	D	X	X	X	X	X	X	S	1	1	0	A	B	C	D
S	1	A	B	C	D	X	X	X	X	X	X	X	S	1	1	1	A	B	C	D

输入的数据在经过表中定义的逻辑编码后，一个反向模式应用到这个8位编码上来增加传输线上的转变密度，这对硬件性能有益。8位编码与0x55异或后再应用这个反向模式。

对A-law编码的数据进行解码从本质上来说是编码步骤的颠倒问题。*表26-9. A-law解码*说明了A-law解码算法，它在反向模式颠倒之后应用。在编码过程中丢弃的最低有效位近似的取间隔的中间值。这在线性输出数据中体现为D后紧接着的1…0。

表 26-9. A-law 解码

A-law编码输入								线性输出数据											
S	0	0	0	A	B	C	D	S	0	0	0	0	0	0	0	A	B	C	D	1
S	0	0	1	A	B	C	D	S	0	0	0	0	0	0	1	A	B	C	D	1
S	0	1	0	A	B	C	D	S	0	0	0	0	0	1	A	B	C	D	1	0
S	0	1	1	A	B	C	D	S	0	0	0	0	1	A	B	C	D	1	0	0
S	1	0	0	A	B	C	D	S	0	0	0	1	A	B	C	D	1	0	0	0
S	1	0	1	A	B	C	D	S	0	0	1	A	B	C	D	1	0	0	0	0
S	1	1	0	A	B	C	D	S	0	1	A	B	C	D	1	0	0	0	0	0
S	1	1	1	A	B	C	D	S	1	A	B	C	D	1	0	0	0	0	0	0

Mu-Law 压缩扩压

美国和日本使用Mu-law压缩扩压标准，将线性样本值限制在13位量级。Mu-law的编码和解码过程和A-law类似，不过还是有一些值得注意的差异：

1. Mu-law编码器一般操作在13位量级数据，而A-law为12位量级数据；
2. 在量化级计算之前，一个值为33的偏差被加到线性输入数据的绝对值上，用来简化量化值和分量的计算；
3. 符号位的定义是相反的，也就说，输入符号位和输出符号位相反；

4. 反向模式应用在8位编码的所有比特位上。

*表26-10. Mu-law编码*阐述了Mu-law编码算法，线性输入数据的符号位S取编码数据符号位的相反值。

表 26-10. Mu-law 编码

线性输入数据														Mu-law编码输出							
S	0	0	0	0	0	0	0	1	A	B	C	D	X	~S	0	0	0	A	B	C	D
S	0	0	0	0	0	0	1	A	B	C	D	X	X	~S	0	0	1	A	B	C	D
S	0	0	0	0	0	1	A	B	C	D	X	X	X	~S	0	1	0	A	B	C	D
S	0	0	0	0	1	A	B	C	D	X	X	X	X	~S	0	1	1	A	B	C	D
S	0	0	0	1	A	B	C	D	X	X	X	X	X	~S	1	0	0	A	B	C	D
S	0	0	1	A	B	C	D	X	X	X	X	X	X	~S	1	0	1	A	B	C	D
S	0	1	A	B	C	D	X	X	X	X	X	X	X	~S	1	1	0	A	B	C	D
S	1	A	B	C	D	X	X	X	X	X	X	X	X	~S	1	1	1	A	B	C	D

输入数据通过上表定义的算法编码之后，一个反向模式应用到这个8位编码上来增加传输线上的密度，这对硬件性能有益。8位编码与0xFF异或后再应用这个反向模式。

Mu-law的解码本质上是编码步骤的颠倒问题。*表26-11. Mu-law解码*说明了Mu-law解码过程，它应用在反向模式颠倒之后。在编码处理中丢弃的最低有效位近似等于这个间隔的中间值。这在线性输出数据中体现为D后紧接着的1…0。

表 26-11. Mu-law 解码

Mu-law 编码输入								线性输出数据													
S	0	0	0	A	B	C	D	~S	0	0	0	0	0	0	0	1	A	B	C	D	1
S	0	0	1	A	B	C	D	~S	0	0	0	0	0	0	1	A	B	C	D	1	0
S	0	1	0	A	B	C	D	~S	0	0	0	0	0	1	A	B	C	D	1	0	0
S	0	1	1	A	B	C	D	~S	0	0	0	0	1	A	B	C	D	1	0	0	0
S	1	0	0	A	B	C	D	~S	0	0	0	1	A	B	C	D	1	0	0	0	0
S	1	0	1	A	B	C	D	~S	0	0	1	A	B	C	D	1	0	0	0	0	0
S	1	1	0	A	B	C	D	~S	0	1	A	B	C	D	1	0	0	0	0	0	0
S	1	1	1	A	B	C	D	~S	1	A	B	C	D	1	0	0	0	0	0	0	0

26.3.14. 输出驱动

SAI可以根据SAI使能状态独立驱动每个音频子模块的帧同步(FS)、串行时钟(SCK)和串行数据(SD)，这通过配置SAI_BxCFG0寄存器的输出驱动(ODRIV)来实现。

输出驱动的设定必须在SAI寄存器配置之后、SAI使能之前进行配置。

26.3.15. IO 管理

IO管理模块连接SAI的两个音频子模块，它也是两者进行连接的唯一中介。当通过设置SAI_BxCFG0寄存器的同步模式位(SYNCMOD)将音频子模块配置成与另一个子模块同步时，它们的FS、SCK和MCLK引脚会共用，同步子模块的这些引脚会释放，并可用作通用IO。当一

个音频模块配置为与另一个音频模块同步时，那么它必须配成从设备。

当一个音频子模块作为发送器，且与另一个作为接收器的音频子模块同步的时候，如果它被配置为主设备，那么同步子模块会通过IO管理模块接收来自异步模块的FS和SCK信号，如果它被配置为从设备，那么会接收来自外部IO的FS和SCK信号。这个功能在双工模式中是非常有用的。

26.3.16. DMA 接口

每一个音频子模块都拥有自己的DMA接口。DMA访问的使能通过SAI_BxCFG0寄存器的DMA使能位(DMAEN)进行配置。DMA请求和FIFO请求(FFREQ)一起产生，而FIFO请求产生状态取决于FIFO阈值(FFTH)和FIFO状态(FFSTAT)，这在使用DMA突发传输时是非常重要的。当音频子模块配成发送模式时，FIFO阈值必须设成一个特定的值，以保证在最坏的情况下也有足够的剩余空间来实现一个完整的DMA突发写操作，否则有可能出现FIFO上溢错误。当音频子模块配成接收模式时，FIFO阈值必须设成一个特定的值，以保证FIFO中有足够的数据来实现一个完整的DMA突发读操作，从而避免出现FIFO下溢错误。

DMA的方向和音频子模块的操作配置相关。当配置为发送器时，DMA请求将数据从数据寄存器SAI_BxDATA中加载到内部FIFO中。当配置为接收器时，DMA请求将数据从内部FIFO读到数据寄存器SAI_BxDATA中。

注意：DMA SAI通道必须在SAI寄存器配置之后使能。

26.3.17. 使能/失能

SAI音频子模块通过设置SI_BxCFG0寄存器的SAIEN位来使能，用户必须确保这个操作在音频子模块配置之后进行，SAI不支持在已经使能后再进行配置，否则将不能保证硬件行为的正确。从音频子模块必须在主音频模块使能前使能。

用户可以在有效帧传输期间的任何时候失能音频子模块，只是必须等到当前帧结束后才完全失能。

26.3.18. 错误标志位

时钟错误配置检查

时钟错误配置检测机制只有在音频子模块配置为主设备，并且时钟分频旁路(BYPASS)为0时才会使能。在这个操作模式下，用户必须保证帧宽(FWD+1)等于8到256之间且等于2的几次幂的一个值，否则状态寄存器SAI_BxSTAT中的时钟错误标志位(ERRCK)将会被置位。帧宽必须设置为2的几次幂，这是为确保在每个位时钟周期(SCK)中包含整数个主时钟(MCLK)，以使得声音质量更好。

如果将中断使能寄存器SAI_BxINTEN中的时钟错误配置检测中断使能位(ERRCKIE)置1，则在出现时钟错误配置时会产生中断。

当检测到时钟错误时，SAI音频子模块将自动失能，即SAI_BxCFG0寄存器的SAIEN位被硬件

清零。

音频编解码器未就绪检测

音频子模块只有在使用AC'97协议，并选择为接收器时才会检测音频编解码器未就绪状态。音频子模块从TAG(slot0)中读取音频编解码器就绪状态标志，当接收到的TAG的位15为0时，状态寄存器SAI_BxSTAT寄存器的ACNRDY会被置1，如果设置了SAI_BxINTEN中断使能寄存器中的ACNRDYIE音频编解码未就绪中断位，则产生一个中断。当检测到音频编解码器未就绪时，当前帧的后续slot的内容将不会被送入FIFO中。

音频编解码器未就绪检测标志位通过设置SAI_BxINTC寄存器的ACNRDYC位来清除。

帧同步提前检测

音频子模块只有在配置为从设备时，才会使能帧同步提前检测机制，由于从设备才接收FS信号，FS信号到达时间对当前数据的解析至关重要。帧同步提前检测是可能的，因为帧宽、帧有效极性和帧偏移在音频子模块使能前已经确定。

帧同步提前对当前帧是没有影响的，因为FS有效边沿只有在帧结束时才能预料到。

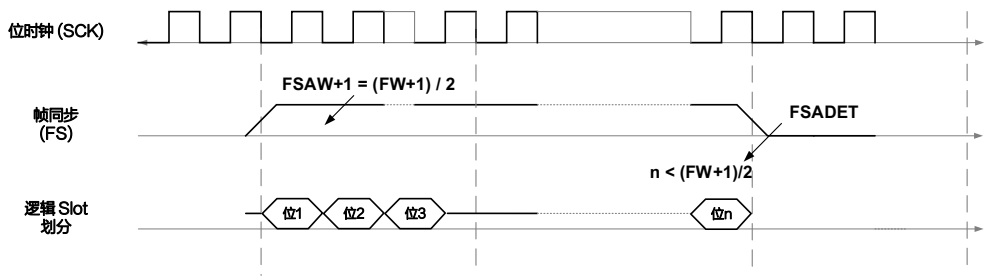
当状态寄存器SAI_BxSTAT中的帧同步提前检测标志位(FSDET)和中断使能寄存器SAI_bxINTEN中的帧同步提前检测中断使能位都置1时，产生中断。

在出现帧同步提前后，需要按照下面的步骤来进行重新同步：

1. 失能音频子模块，用户必须等到相应的音频子模块的SAIEN控制字段完全失能；
2. 设置FLUSH控制字段刷新内部FIFO；
3. 设置SAIEN再一次使能音频子模块；
4. 等待FS重新同步。

注意： 在AC'97配置模式中，这个标志位不会产生，因为SAI仅作为一个链路控制器，即使音频子模块配置为从设备，也会生成FS信号。

图26-18. 帧同步提前检测示意图



帧同步滞后检测

音频子模块只有在配置为从设备时，才会使能帧同步滞后检测机制，由于从设备才接收FS信号，

FS信号到达时间对当前数据的解析至关重要。帧同步滞后检测是可能的，因为帧宽、帧有效极性和帧偏移在音频子模块使能前已经确定。

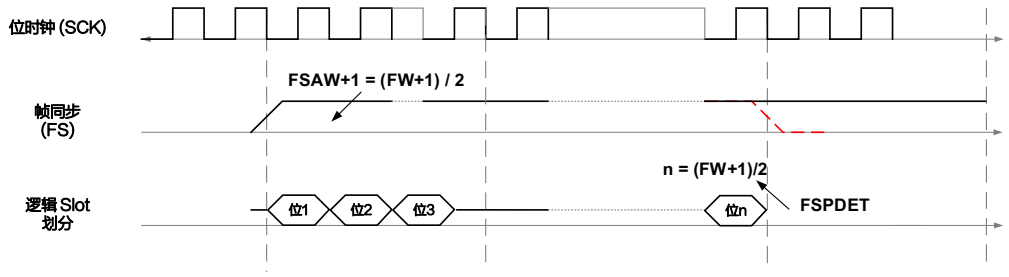
帧同步滞后可能的原因有主设备的延迟产生、外因延迟、噪音感应故障。错误的FS时序将会破坏音频子模块内部有限状态机，从而影响数据的正确传输。

当状态寄存器SAI_BxSTAT中的帧滞后提前检测标志位(FSPDET)和中断使能寄存器SAI_bxINTEN中的帧同步滞后检测中断使能位都置1时，产生中断。

为了和主设备重新同步，需要应用重新同步的步骤。

注意： 在AC'97配置模式中，这个标志位不会产生，因为SAI仅作为一个链路控制器，即使音频子模块配置为从设备，也会生成FS信号。

图26-19. 帧同步滞后检测示意图



FIFO 上溢或下溢检测

FIFO上溢和下溢标志位(OUERR)在SAI_BxSTAT状态寄存器中占同一个位，因为每个音频子模块只能配置成发送或接收。

当音频子模块配置成发送器时，在有效帧传输过程中如果FIFO为空，并且发送一个空的数据的slot，则产生下溢。如果中断使能寄存器SAI_BxINTEN的上溢或下溢中断使能位(OUERRIE)置位，则产生中断。如果发生下溢，一个重新同步过程需要按如下所示步骤进行：

1. 失能音频子模块，用户必须等到相应的音频子模块的SAIEN控制字段完全失能；
2. 设置FLUSH控制字段刷新内部FIFO；
3. 将要发送的数据填充到FIFO中；
4. 设置SAIEN再一次使能音频子模块。

通过设置SAI_BxINTC寄存器的OUERRC位来清除下溢标志位。

当音频子模块配置为接收器时，在帧传输过程中如果FIFO已满，并有一个新的slot数据接收时，发生上溢。当上溢发生时，最新接收的数据将被丢弃，也不会写值到FIFO。如果中断使能寄存器SAI_BxINTEN的上溢或下溢中断使能位(OUERRIE)置位，则产生中断。

通过设置SAI_BxINTC寄存器的OUERRC位来清除上溢标志位

注意：当DMA使能时，用户必须保证正确的DMA配置，尤其是使用DMA突发操作的时候，否则上溢和下溢都可能发生在发送或接收操作模式中。

26.3.19. 中断

*表26-12. 中断控制*概括了每个音频子模块出现的所有中断源

表 26-12. 中断控制

中断源	中断划分	中断出现条件	中断使能控制	中断清除控制
FFREQ	请求	OPTMOD为任意值	FFREQIE	读或写SAI_BxDATA
MTDET	静音	OPTMOD 为接收方	MTDETIE	MTDETC
ERRCK	错误	OPTMOD为主模式；BYPASS = 0	ERRCKIE	ERRCKC
ACNRDY	错误	OPTMOD为从模式；PROT = AC'97	ACNRDYIE	ACNRDYC
FSADET	错误	OPTMOD为从模式；PROT ! =AC'97	FSADETIE	FSADETC
FSPDET	错误	OPTMOD为从模式；PROT ! =AC'97	FSPDETIE	FSPDETC
OUERR	错误	OPTMOD为任意值	OUERRIE	OUERRC

使用下面所列的过程可以使得音频子模块从错误中断中恢复：

1. 使能相应的中断；
2. 配置SAI功能寄存器；
3. 使能中断；
4. 使能SAI音频子模块。

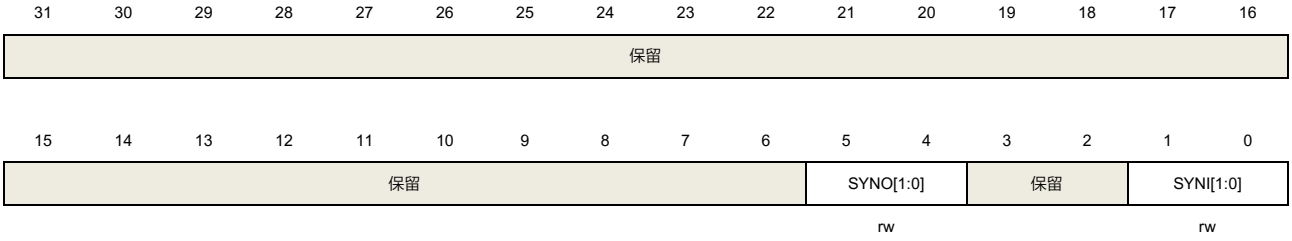
26.4. SAI 寄存器

SAI 基地址：0x4001 5800

26.4.1. 同步配置寄存器(SAI_SYNCFG)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

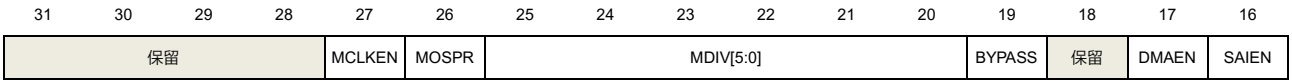


位/位域	名称	描述
31:6	保留	必须保持复位值。
5:4	SYNO[1:0]	同步输出 该位由软件清零或置位。 00：无同步输出信号 01：音频模块 0 与其他 SAI 进行同步 10：音频模块 1 与其他 SAI 进行同步 11：保留。必须在音频模块 1 和音频模块 2 失能时，设置这些位。 注意：当音频模块配置成 SPDIF 模式时，选择无同步输出信号。
3:2	保留	必须保持复位值。
1:0	SYNI[1:0]	同步输入 必须在音频模块 0 和音频模块 1 失能时，设置这些位。 如果将两个音频模块之一定义为与外部 SAI 在同步模式下工作(SAI_BxCFG0 寄存器中的 SYNCMOD[1:0] = 10)，这些位起作用。

26.4.2. 子模块 x 配置寄存器 0(SAI_BxCFG0)(x = 0, 1)

地址偏移：0x04 + 0x20 * x
复位值：0x0000 0040

该寄存器只能按字(32位)访问。



				rw	rw			rw			rw		rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		ODRIV	MONO	SYNCMOD[1:0]		SAMPEDGE	SHIFTDIR	DATAWD[2:0]			保留	PROT[1:0]		OPTMOD[1:0]	
		rw	rw	rw		rw	rw	rw				rw		rw	

位/位域	名称	描述
31:28	保留	必须保持复位值。
27	MCLKEN	主时钟使能 0：主时钟使能 1：主时钟独立于 SAIEN 位使能
26	MOSPR	主时钟过采样率 0: MCLK = 256 * F_{fs} 1: MCLK = 512 *F_{fs}
25:20	MDIV[5:0]	主时钟分频器 0000：主分频器逻辑旁路 否则，其输出频率请参考章节*时钟分频器*公式(30-1)计算。 **注意：**当 SAI 配置为从机模式时，该控制字段无效。 **注意：**必须在使能 SAI 之前设置此控制字段。
19	BYPASS	时钟分频器逻辑旁路 0：时钟分频器应用于初级和次级分频器逻辑 1：时钟分频器逻辑被旁路
18	保留	必须保持复位值。
17	DMAEN	DMA 使能 0：DMA 失能 1：DMA 使能 **注意**：如果 SAI 被配置为接收器，则必须在 OPTMOD 控制字段之后设置 DMAEN，以避免不必要的 DMA 请求，因为 SAI 在复位后是发送器。
16	SAIEN	SAI 子模块使能 0：SAI 子模块失能 1：SAI 子模块使能。当 SPI_STAT 中的 TBE 置位时，将会在相应的 DMA 通道上产生一个 DMA 请求。
15:14	保留	必须保持复位值。
13	ODRIV	输出驱动 0：当 SAIEN 置 1 时，驱动 SAI 音频子模块输出 1：当 ODRIV 位置 1 时，立即驱动 SAI 音频子模块输出 **注意：**该控制位必须在 SAI 配置后且使能前置 1。
12	MONO	立体声和单声道模式选择 0：立体声模式

		1：单声道模式 单声道模式要求 slot 数等于 2，在发送器模式下，第一个 slot 的数据被复制到第二个 slot，而在接收器模式下，第二个 slot 的数据被忽略。
11:10	SYNCMOD[1:0]	同步模式 00：与其他子块异步 01：与其他子块同步，选择该模式时，用户必须配置工作模式为从机 10：音频子块与外部 SAI 嵌入式外设同步。 在这种情况下，音频子块应配置为从模式 11：保留 **注意：**在音频模块失能的情况下配置该位。 **注意：**如果协议选择为 SPDIF，则模式应配置为异步。
9	SAMPEDGE	采样时钟边沿 0：在 SCK 下降沿采样数据 1：在 SCK 上升沿采样的数据 **注意：**此控制字段在 SPDIF 模式下被忽略。 **注意：**在音频模块失能的情况下配置该位。
8	SHIFTDIR	数据传输移动方向 0：数据传输采用高位在前 1：数数据传输采用低位在前 **注意：**此控制字段在 AC'97 模式下被忽略，因为数据传输被强制为 MSB；此控制字段在 SPDIF 模式下被忽略，因为数据传输被强制为 LSB。
7:5	DATAWD[2:0]	数据宽度 000：保留 001：保留 010：8 位宽 011：10 位宽 100：16 位宽 101：20 位宽 110：24 位宽 111：32 位宽 在压扩模式下，数据宽度由算法本身固定为 8 位宽度。 **注意：**在音频模块失能的情况下配置该位。 **注意：**此控制字段在 SPDIF 模式下被忽略。 **注意：**如果选择 AC'97 协议，则只有 16 位或 20 位是可行的，否则无法保证音频子块的行为。
4	保留	必须保持复位值。
3:2	PROT[1:0]	协议选择 00：自由协议 01：SPDIF 协议 10：AC'97 洗衣 10：保留

自由协议配置允许用户调整所有帧和帧配置选项，以形成他选择的协议，如 I2S、LSB/MSB 对齐、TDM、PCM/DSP 等。

注意：在音频模块失能的情况下配置该位。

1:0 OPTMOD[1:0] 工作模式选择

00：主机发送

01：主机接收

10：从机发送

11：从机接收

如果协议选择为 SPDIF，工作模式将被强制配置为主机发送。

注意：在音频模块失能的情况下配置该位。

26.4.3. 子模块 x 配置寄存器 1(SAI_BxCFG1)(x = 0, 1)

地址偏移：0x08 + 0x20 * x

复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CPAMOD[1:0]		CPLMOD	MTFCNT[5:0]						MTVAL	MT	SDOM	FLUSH	FFTH[2:0]		
rw		rw	rw						rw	rw	rw	rw	rw		

位/位域	名称	说明
31:16	保留	必须保持复位值
15:14	CPAMOD[1:0]	压缩扩展模式 00：不使用压缩扩展模式 01：保留. 10：Mu-law 算法 10：A-law 算法 ITU-T G.711 定义了 Mu-law 和 A-law 两个主要的压缩扩展算法，它们分别将 13 位和 12 位有符号的线性 PCM 信号编码成 8 位样本。 前者为较高范围信号提供更多分辨率，后者为低信号电平提供更多量化等级。 压缩或扩展模式通过 OPTMOD[0]控制位进行选择，当音频子模块配置为发送器时，自动应用压缩模式，当音频子模块配置为接收器时，将自动应用扩展模式。补码模式通过 CPLMOD 控制位进行选择。 **注意：**只有配置 TDM 协议，才会使用压缩扩展模式
13	CPLMOD	补码模式 该控制位用于在压缩扩展模式中选择补码选项 0：数据以 1 的补码表示 1：数据以 2 的补码表示

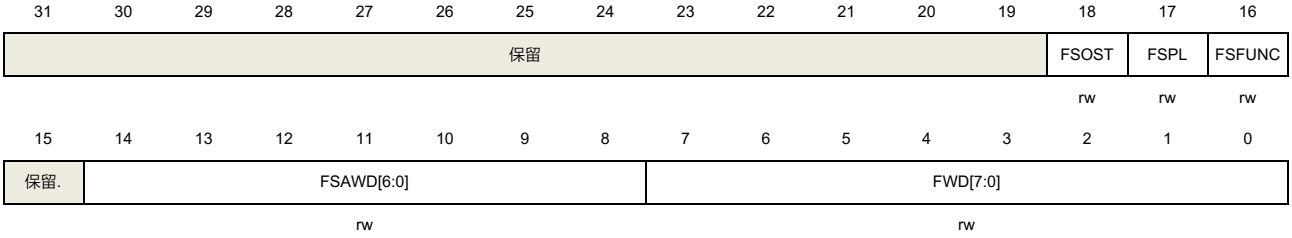
12:7	MTFCNT[5:0]	静音帧计数器 该控制位只有在接收模式中才有用。当接收到连续的静音帧数等于 MTFCNT 时，MTFDET 标志位置位，如果 MTFDETIE 置'1'，则产生中断
6	MTVAL	静音值 0：当静音打开时，串行数据线上发送 0 1：当 SLOTNUM 小于或等于 2 时，如果静音打开，则在重新数据线上重发上一个帧，否则，在静音帧期间串行数据线上发送 0 **注意：**只有当音频子模块配置为发送器时，该控制位才有意义。 **注意：**接收器只能检测 0 值静音帧，当 MTVAL 置 1 并且在静音期间重复发送上一帧时，接收器实际接收了这个值，但静音帧计数器不会计数，同样 MTDET 标志位也不会置位。
5	MT	静音 0：静音模关闭 1：静音模式打开 **注意：**只有当音频子模块配置为发送器时，该控制位才有意义，当静音模式打开时，SD 的输出取决于 MTVAL 的配置 **注意：**如果在帧传输期间设置静音模式，静音将会在下个帧生效。
4	SDOM	串行数据输出管理 0：在音频帧期间，完全由 SAI 驱动 SD 输出 1：SD 输出在无效 slot 附近释放 **注意：**如果第一个帧的第一个 slot 的数据偏移不为 0，SD 保持释放状态直到第一个有效数据位到达。如果当前帧不是连续传输中的第一个帧，第一个 slot 的偏移区 SD 输出是否释放，这取决于上一个帧的最后一个 slot 的状态。如果上一个 slot 有效，则驱动偏移区，否则将释放。 **注意：**如果数据偏移区加上数据位宽小于 slot 宽时，我们将数据最后一位到 slot 结束之间的区域成为空白区(闲置区)，在空白区 SD 输出是否释放取决于下一个 slot 是否有效，如果当前 slot 为最后一个 slot，那么它的空白区 SD 输出行为将取决于当前帧的第一个 slot，这与当前帧是否为最后一个帧无关。 **注意：**Slot 前的空白区和 slot 后的偏移区期间 SD 输出驱动与否，只取决于这个 slot。如果这个 slot 有效，则 SD 线将被驱动，否则 SD 线将被释放。
3	FLUSH	FIFO 刷新 0：无 FIFO 刷新 1：执行 FIFO 刷新 **注意：**FIFO 刷新清除 FIFO 中的所有数据，并且复位读写指针。当 SAI 失能时配置 FIFO 刷新。
2:0	FFTH[2:0]	FIFO 阈值 000：FIFO 为空 001：FIFO 1/4 满 010：FIFO 半满 011：FIFO 3/4 满 100：FIFO 全满 101：保留

110：保留
111：保留
注意： FIFO 阈值和 FIFO 状态(FFSTAT)控制位配合使用来产生 CPU 和 DMA 的 FIFO 请求(FFREQ)。

26.4.4. 子模块 x 帧配置寄存器(SAI_BxFCFG)(x = 0, 1)

地址偏移：0x0C + 0x20 * x
复位值：0x0000 0007

该寄存器只能按字(32位)访问。



位/位域	名称	说明
31:19	保留	必须保持复位值。
18	FSOST	帧同步偏移 0：FS 有效边沿声明为第一个 slot 的第一个位开始处 1：FS 有效边沿声明为当 FSOST 为 0 时的 FS 的前一个位时钟周期。 **注意：** 该控制域必须在音频子模块使能之前配置，并且它在 AC'97 或 SPDIF 中是没意义的。
17	FSPL	帧同步有效极性 0：FS 有效极性为低 1：FS 有效极性为高 **注意：** 该控制位必须在音频子模块使能前配置，并且它在 AC'97 或 SPDIF 中是没意义的。
16	FSFUNC	帧同步功能 0：FS 只定义帧开始 1：FS 定义帧开始和通道号 **注意：** 该控制位必须在音频子模块使能前配置。 **注意：** 当 FSFUNC 置 1 时，一个帧中的 slot 数(SLOTNUM+1)必须为偶数，在这种情况下，一半的 slot 将会被分派给通道 A，另一半的 slot 被分派给通道 B。如果分派到一个通道的所有 slot 数小于帧宽的一半，则在 slot 未定义时 SD 输出线释放，这和 SDOM 无关。 **注意：** 当 FSFUNC 置 1 时，FS 有效宽度(FSAWD+1)必须配置为帧长的一半。
15	保留	必须保持复位值。
14:8	FSAWD[6:0]	帧同步有效宽度 **注意：** 该控制位必须在音频子模块使能前配置，并且它在 AC'97 模式中是没有意义

的。

注意：该控制位指定 FS 有效宽度为(FSAWD+1)个 SCK 时钟周期。

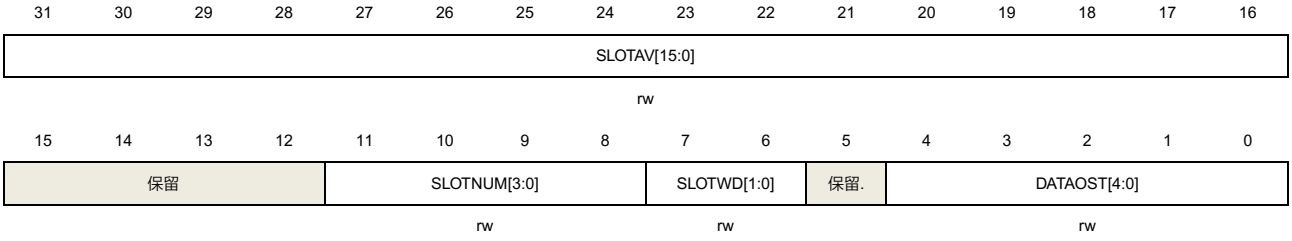
7:0	FWD[7:0]	帧宽度 **注意：**该控制位必须在音频子模块使能前配置，并且它在 AC'97 模式中是没有意义的。 **注意：**该控制位指定帧宽为(FWD +1)个 SCK 时钟周期，当音频子模块配置为主模式，且 BYPASS=0 时，FWD+1 的值必须等于 8 到 256 之间且为 2 的几次幂的一个值。

26.4.5. 子模块 x slot 配置寄存器(SAI_BxSCFG)(x = 0, 1)

地址偏移：0x10 + 0x20 * x

复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	说明
31:16	SLOTAV[15:0]	Slot 激活向量 0：Slot 无效 1：Slot 有效 SLOTAV 向量中的每一个比特位对应到 slot0~15，如果 SLOTNUM 小于 15，则不对应的比特位被忽略。 **注意：**该控制位必须在音频子模块使能前配置。 **注意：**该控制位在 AC'97 或 SPDIF 模式中没有意义。
15:12	保留	必须保持复位值。
11:8	SLOTNUM[3:0]	一个帧中的 slot 个数 一个帧中实际的帧数为(SLOTNUM+1)，并且不能超过 16。当 FSFUNC 置 1 时，slot 数必须为偶数，并且均分到两个通道。 **注意：**该控制位必须在音频子模块使能前配置。 **注意：**该控制位在 AC'97 模式中没有意义。
7:6	SLOTWD[1:0]	slot 宽度 00： Slot 宽等于数据位宽 01： Slot 为 16 位宽 10： Slot 为 32 位宽 11： 保留. Slot 的位宽必须大于或等于数据位宽才能包含一个数据，否则 SAI 的行为将不能保

证正确。
注意：该控制位必须在音频子模块使能前配置。
注意：该控制位在 AC'97 或 SPDIF 模式中没有意义。

5	保留	必须保持复位值。
4:0	DATAOST[4:0]	数据偏移 定义了在一个有效 slot 中第一个数据位的出现位置，在发送模式时，偏移区和空白区的 SD 输出 0 或 Hi-Z，这取决于 SDOM 和附近 slot 的有效状态。在接收模式时，偏移区和空白区的数据内容将会忽略。 **注意：**该控制位必须在音频子模块使能前配置。 **注意：**该控制位在 AC'97 模式中没有意义。

26.4.6. 子模块 x 中断使能寄存器(SAI_BxINTEN)(x = 0, 1)

地址偏移：0x14 + 0x20 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									FSPDETIE	FSADETIE	ACNRDYIE	FFREQIE	ERRCKIE	MTDETIE	OUERRIE
									rw	rw	rw	rw	rw	rw	rw

位/位域	名称	说明
31:7	保留	必须保持复位值。
6	FSPDETIE	帧同步滞后检测中断使能 0：中断失能 1：中断使能 如果 FSPDET 和 FSPDETIE 都置 1，则产生中断。 **注意：**当音频子模块配置为主模式时，该控制位无意义。 **注意：**该控制位在 AC'97 模式中没有意义。
5	FSADETIE	帧同步提前检测中断使能 0：中断失能 1：中断使能 如果 FSADET 和 FSADETIE 都置 1，则产生中断。 **注意：**当音频子模块配置为主模式时，该控制位无意义。 **注意：**该控制位在 AC'97 模式中没有意义。
4	ACNRDYIE	音频编解码器未就绪中断使能 0：中断失能 1：中断使能

如果 ACNRDY 和 ACNRDYIE 都置 1，则产生中断。

注意：当音频子模块配置为接收器时，该控制位才有意义。

注意：该控制位只有在选择 AC'97 模式时才有意义。

3	FFREQIE	FIFO 请求中断使能 0：中断失能 1：中断使能 如果 FFREQ 和 FFREQIE 都置 1，则产生中断。 **注意：**当音频子模块配置为接收器时，OPTMOD 必须在 FFREQIE 使能之前设置，以保证不会产生错误的 FIFO 请求，因为音频子模块在复位之后默认处于发送模式。
2	ERRCKIE	错误时钟中断使能，该位通过软件置 1 和清 0 0：中断失能 1：中断使能 如果 ERRCK 和 ERRCK 都置 1，则产生中断。 **注意：**该控制位只有当子模块配置为发送器，并且 BYPASS 置 0 时才可时钟分频逻辑相关。 **注意：**该控制位只用于 TDM 模式，在其他模式中是没有意义的。
1	MTDETIE	静音检测中断使能 0：中断失能 1：中断使能 如果 MTDET 和 MTDETIE 都置 1，则产生中断。 **注意：**该控制位只有在音频子模块配置为接收器时才有意义。
0	OUERRIE	FIFO 上溢或下溢中断使能 0：中断失能 1：中断使能 如果 OUERR 和 OUERRIE 都置 1，则产生中断。

26.4.7. 子模块 x 状态寄存器(SAI_BxSTAT)(x = 0, 1)

地址偏移：0x18 + 0x20 * x

复位值：0x0000 0008

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留													FFSTAT[2:0]		
														r	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									FSPDET	FSADET	ACNRDY	FFREQ	ERRCK	MTDET	OUERR
									r	r	r	r	r	r	r

位/位域	名称	说明
31:19	保留	必须保持复位值。
18:16	FFSTAT[2:0]	FIFO 状态

		指示 FIFO 的满/空状态，它由硬件单独控制，根据音频子模块的操作模式有着不同的评估标准。 在 OPTMOD 配置为接收器的情况下： 000：空 001：空 <FIFO 级别<= 1/4 满 010：1/4 满 <FIFO 级别<= 1/2 满 011：1/2 满 <FIFO 级别<= 3/4 满 100：3/4 满 <FIFO 级别< 全满 101：全满 在 OPTMOD 配置为发送器的情况下： 000：空 001：空 <FIFO 级别< 1/4 满. 010：1/4 满 <= FIFO 级别< 1/2 满 011：1/2 满 <= FIFO 级别< 3/4 满 100：3/4 满 <= FIFO 级别< 全满 101：全满
15:7	保留	必须保持复位值。
6	FSPDET	帧同步滞后检测 0：收到正确的 FS 边沿 1：FS 边沿滞后接收 如果 FSPDETIE 置 1，FS 边沿接收滞后将产生中断。该标志位由 FSPDETC 控制位进行清 0。 **注意：**当音频子模块配置为接收器时，该控制位才有意义
5	FSADET	帧同步提前检测 0：收到正确的 FS 边沿 1：FS 边沿提前接收 如果 FSADETIE 置 1，FS 边沿接收提前将产生中断。该标志位由 FSADETC 控制位进行清 0。 **注意：**当音频子模块配置为接收器时，该控制位才有意义。
4	ACNRDY	音频编解码器未就绪 0：AC'97 音频编解码器就绪 1：AC'97 音频编解码器未就绪 每个帧的 TAG slot 的位 15 是 AC'97 音频编解码器就绪指示位，0 表示音频编解码器未就绪，反之，1 表示就绪。 如果 ACNRDYIE 置 1，AC'97 音频编解码器未就绪将产生中断。该标志位由 ACNRDYC 控制位进行清 0。 **注意：**该控制位只有在 AC'97 模式中才有用。
3	FFREQ	FIFO 请求 0：没有 FIFO 请求 1：FIFO 写或读请求 如果 FFREQIE 置 1，FIFO 请求将产生中断。 FIFO 的请求类型取决于音频子模块的配置，当 OPTMOD 配置为发送器，并且所有

的条件满足，则产生写请求，如果配置为接收器时，则产生读请求。

2	ERRCK	时钟错误 0：正确的时钟配置 1：错误的时钟配置 如果 ERRCKIE 置 1，时钟配置错误将产生中断。该标志位由 ERRCKC 控制位进行清 0。 该控制位只有当音频子模块配置为主模式且 BYPASS 置 0 时才有意义。
1	MTDET	静音检测 0：没检测到静音 1：检测到静音 如果 MTDETIE 置 1，检测到静音将产生中断。该标志位由 MTDETC 控制位进行清 0。 当接收到 slot 全为 0 的帧的个数达到 MTFCNT 中定义的帧数时，静音检测标志位置 1.当 slot 数小于 2，且 MTVAL 置 1 时，将不能检测到静音，在发送器中，在静音之前的帧将被重复传输。
0	OUERR	上溢或下溢 0：未检测到 FIFO 上溢或下溢 1：检测到 FIFO 上溢或下溢 如果 OUERRIE 置 1，FIFO 上溢或下溢将产生中断。该标志位由 OUERRC 控制位进行清 0。 当音频子模块配置为接收器时，如果将接收到的数据存入已满 FIFO，则产生 FIFO 上溢。 当音频子模块配置为发送时，如果在 FIFO 为空出现传输请求，则产生 FIFO 下溢。

26.4.8. 子模块 x 中断标志清除寄存器(SAI_BxINTC)(x = 0, 1)

地址偏移：0x1C + 0x20 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									FSPDETC	FSADETC	ACNRDYC	保留.	ERRCKC	MTDETC	OUERRC
									rw	rw	rw		rw	rw	rw

位/位域	名称	说明
31:7	保留	必须保持复位值。
6	FSPDETC	帧同步滞后检测中断清除 写 1 清除 FSPDET 标志位。

注意：该控制位在 AC'97 模式中没用。
注意：读该位将始终返回 0。

5	FSADETC	帧同步提前检测中断清除 写 1 清除 FSADET 标志位。 **注意：**该控制位在 AC'97 模式中没用。 **注意：**读该位将始终返回 0。
4	ACNRDYC	音频编解码器未就绪中断清除 写 1 清除 ACNRDY 标志位。 **注意：**该控制位只用在 AC'97 模式中。 **注意：**读该位将始终返回 0。
3	保留	必须保持复位值。
2	ERRCKC	时钟错误中断清除 写 1 清除 ERRCK 标志位。 **注意：**该控制位只有在音频模块配置为主模式，并且 BYPASS 置 0 时才有用。 **注意：**读该位将始终返回 0。
1	MTDETC	静音检测中断清除 写 1 清除 MTDET 标志位。 **注意：**读该位将始终返回 0。
0	OUERRC	上溢或下溢中断清除 写 1 清除 OUERR 标志位。 **注意：**读该位将始终返回 0。

26.4.9. 子模块 x 数据寄存器(SAI_BxDATA)(x = 0, 1)

地址偏移：0x20 + 0x20 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw															

位/位域	名称	说明
31:0	DATA[31:0]	数据 写和读操作直接体现在 FIFO 中。

27. 数字摄像头接口(DCI)

27.1. 简介

数字摄像头接口是一个同步并行接口，可以从数字摄像头捕获视频和图像信息。它支持不同的颜色空间图像，例如YUV / RGB，另外支持压缩数据的JPEG格式图像。

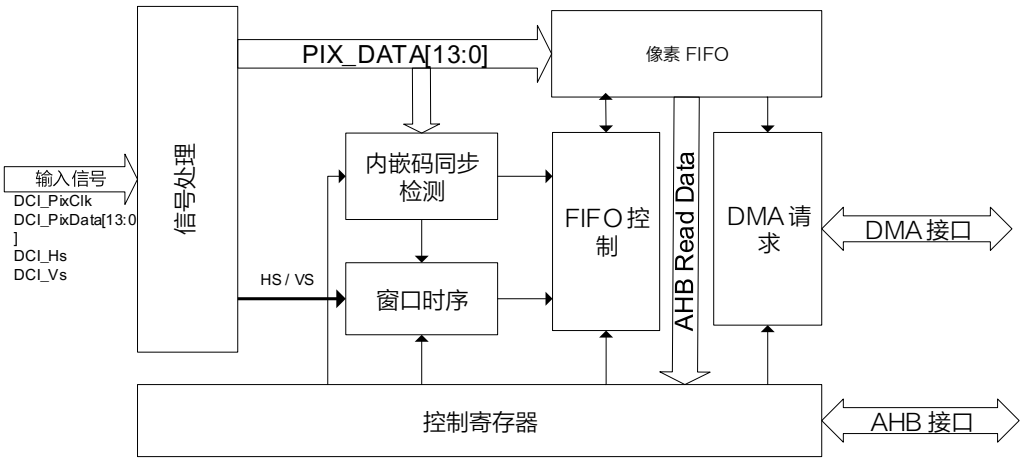
27.2. 主要特性

- 数字视频和图像的捕获
- 支持8位、10位、12位或14位并行接口
- DMA高效传输
- 支持视频和图像裁剪
- 支持不同的像素数字编码格式，如YCbCr422 / RGB565
- 支持JPEG压缩格式
- 支持内嵌码同步和硬件同步

27.3. 结构框图

数字摄像头接口包含以下模块：信号处理单元、像素FIFO、FIFO控制器、窗口时序发生器、内嵌码同步检测器、DMA接口和控制寄存器。

图 27-1. DCI 模块示意图



信号处理单元根据外部输入信号，产生有用的信号信息，为其他的内部模块所用。为确保信号处理单元工作正常，HCLK的频率要高于像素时钟频率的2.5倍。

内嵌码同步检测用于内嵌码同步模式。DCI使用内嵌码同步模式时，视频同步信息内嵌于像素数据，并无硬件水平或垂直同步信号(DCI_HSYNC或DCI_VSYNC)。DCI通过内嵌码同步检测器从像素数据提取同步信息，然后根据这些信息重新恢复水平和垂直同步信号。

窗口时序模块具有图片剪裁功能。该模块通过来自DCI接口或内嵌码同步检测器的同步信号计算像素点的位置，然后根据寄存器DCI_CWSPOS和DCI_CWSZ的配置决定是否接收该像素点数据。

DCI用一个4字(32位)FIFO缓存接收到的数据。如果DMA模式使能，当收到一个完整的32位数据的时候，DMA接口置位一个DMA请求。控制寄存器提供DCI和软件之间的接口。

27.4. 信号描述

表 27-1. DCI 引脚

方向	名称	信号	位宽	描述
I	DCI_PIXCLK	DCI_PixClk	1	DCI 像素时钟
I	DCI_D	DCI_PixData	14	DCI 像素数据
I	DCI_HSYNC	DCI_HSYNC	1	DCI 水平同步
I	DCI_VSYNC	DCI_VSYNC	1	DCI 垂直同步

27.5. 功能说明

27.5.1. DCI 硬件同步模式

在DCI硬件同步模式(DCI_CTL寄存器的ESM为0)，DCI_HSYNC和DCI_VSYNC分别用来表示一行的开始和一帧的开始。DCI在DCI_PIXCLK的上升沿或下降沿(时钟的极性通过DCI_CTL寄存器的CKS位配置)，从DCI_D[13:0]，捕获像素数据。

图 27-2. 硬件同步模式

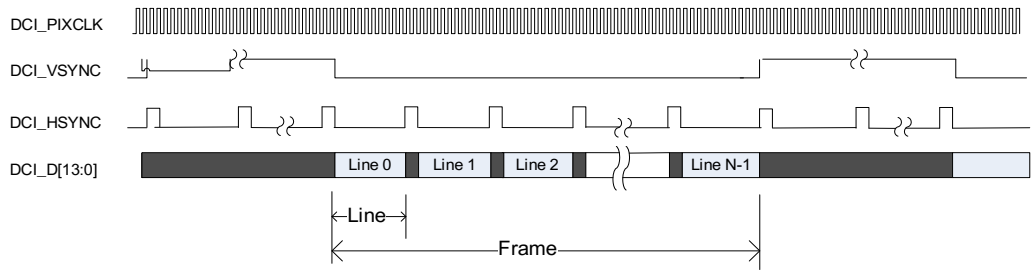
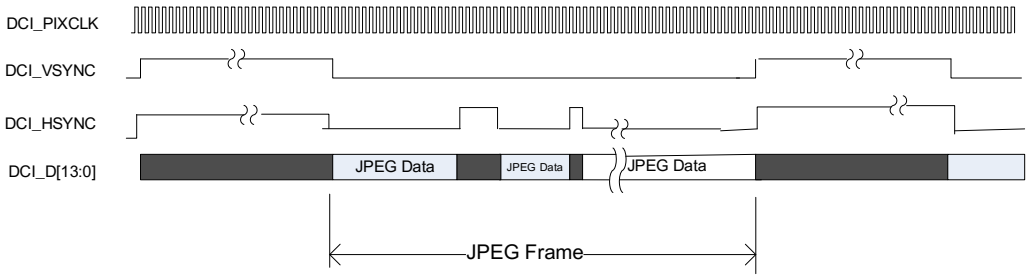


*图 22-2. 硬件同步模式*假设 DCI_HSYNC 和 DCI_VSYNC 消隐期间的极性为高电平，所以 DCI_D 线仅在 DCI_HSYNC 和 DCI_VSYNC 都为低电平期间是有效的。

JPEG 模式

DCI在硬件同步模式时，支持JPEG视频/图像压缩格式。在JPEG模式(DCI_CTL寄存器JM置1)，DCI_VSYNC表示一帧的开始，DCI_HSYNC用作数据流有效信号。

图 27-3. 硬件同步模式之 JPEG 格式



27.5.2. 内嵌码同步模式

DCI支持内嵌码同步模式。这一模式仅用到DCI接口的DCI_D和DCI_PIXCLK信号，同步信息内嵌在像素数据中。通过置位DCI_CTL寄存器的ESM位，并且清除JM位，使能内嵌码同步模式。

在内嵌码同步模式，行和帧同步信息被编码为同步码并嵌入像素数据中。有4种同步码：行开始(LS)，行结束(LE)，帧开始(FS)和帧结束(FE)。该模式数据宽度强制为8，并且每个同步码由4字节序列组成：FF-00-00-MN，MN在DCI_SC寄存器定义。在内嵌码同步模式，0xFF和0x00不应出现在像素数据中以避免误解。

使能内嵌码同步模式之后，DCI开始检测同步码，并恢复行/帧同步信息。例如，如果DCI检测到一个帧结束码以及一个帧开始码，它开始捕获新的帧。

当检测到一个同步码，通过配置DCI_SCUMSK，可能仅需要比较FF_00_00_MN序列MN字节的几位。DCI仅比较DCI_SCUMSK寄存器的非屏蔽位。例如：DCI_SC寄存器的LS位为A5，DCI_SCUMSK的LSM位是F0，DCI将仅比较LS同步码的高4位，因此FF-00-00-A6也将被检测为LS码。

27.5.3. 用快照或连续捕获模式捕获数据

DCI支持两种捕获模式：快照和连续捕获。捕获模式通过DCI_CTL寄存器的SNAP位配置。

正确配置之后，使能DCI并置位DCI_CTL寄存器的CAP位，DCI开始检测帧开始信号。一旦检测到帧开始信号，DCI开始捕获数据。在快照模式(SNAP=1),当一帧被捕获之后，DCI自动停止捕获并清除CAP位，而若在连续模式，DCI将准备捕获下一帧。在连续模式，DCI捕获频率在FR[1:0]位域定义。如果FR[1:0]=00，DCI捕获每一帧，如果FR[1:0]=01，DCI将每隔一帧捕获一次。

在连续模式，当DCI正在捕获数据的时候，软件可以在任意时间清除CAP位，但DCI并不立即停止捕获。它总是在捕获当前帧之后停止。软件应读回CAP位，以确认是否DCI停止生效。

27.5.4. 窗口功能

DCI支持窗口功能，该功能能够从捕获到的帧剪裁图像的一部分。该功能通过设置DCI_CTL寄存器的WDEN位，在JPEG子模式使能该功能是禁止的。

在捕获期间，DCI不断的计数和计算像素的水平和垂直位置，并且将该位置与剪裁窗口寄存器(DCI_CWSPOS和DCI_CWSZ)的值进行比较，然后丢弃剪裁窗口外的像素数据，仅将位于窗口内的数据压入数据FIFO。

如果一帧已经结束，但DCI_CWSZ定义的垂直行数还没有到达，这种情况下也将触发帧结束标志并且DCI停止捕获。

27.5.5. 像素格式、数据填充和 DMA 接口

DCI支持包含YCbCr422 / RGB565等多种像素编码格式，但是DCI只接收这些像素数据，将像素数据补充成全字，并将其压入像素FIFO。DCI不执行任何像素格式转换或数据处理，不关心像素格式细节。

DCI使用32位宽的数据缓冲器在DCI接口和像素FIFO之间传递数据。在这一模块有两种填充方法：字节填充和半字填充，具体使用哪一种取决于DCI接口的数据宽度。数据宽度由DCI_CTL寄存器的DCIF[1:0]配置，在JPEG子模式和内嵌码同步模式，数据宽度固定为8。

当收到一个完整的32位数据的时候，DMA接口发送DMA请求。

字节填充模式

如果DCI接口是8位，使用字节填充模式。在字节填充模式下，四个字节被填充到32位数据缓冲区，在Non-JPEG模式，如果数据缓冲区满或者到达行尾，DCI将压32位数据缓冲区的数据进入像素FIFO。在JPEG子模式，如果数据缓冲区满或者到达帧结束，DCI接口将压32位数据缓冲区的数据进入像素FIFO。

表 27-2. 字节填充模式下的存储视图

D3[7:0]	D2[7:0]	D1[7:0]	D0[7:0]
D7[7:0]	D6[7:0]	D5[7:0]	D4[7:0]

半字填充模式

如果DCI接口配置为10 / 12 / 14位，使用半字填充模式。在该模式下，通过高位填0，每像素数据扩展为16位。所以32位宽的数据缓冲区可以包含两个像素数据。当缓冲区满或行结束的时候，DC将压数据进入像素FIFO。

表 27-3. 半字填充模式下的存储视图

2'b00	D1[13:0]	2'b00	D0[13:0]
2'b00	D3[13:0]	2'b00	D2[13:0]
2'b00	D5[13:0]	2'b00	D4[13:0]
2'b00	D7[13:0]	2'b00	D6[13:0]

27.6. 状态、错误和中断

DCI有几个状态和错误标志位，中断可以根据这些标志判断。如果使能DCI_INTEN的相应使能位，这些状态和错误标志触发DCI全局中断。这些标志可以通过写1到DCI_INTC寄存器清除。

表 27-4. 状态/错误标志

状态标志名	解释
ELF	行结束标志
EFF	帧结束标志
OVRF	FIFO 溢出标志
VSF	帧垂直同步消隐标志
ESEF	内嵌同步错误标志

27.7. DCI 寄存器

DCI基地址：0x5005 0000

27.7.1. 控制寄存器(DCI_CTL)

偏移地址：0x00
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	DCIEN	保留		DCIF[1:0]		FR[1:0]		VPS	HPS	CKS	ESM	JM	WDEN	SNAP	CAP
	rw			rw		rw		rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:15	保留	必须保持复位值
14	DCIEN	DCI 使能 0：DCI 禁止 1：DCI 使能
13:12	保留	必须保持复位值
11:10	DCIF[1:0]	DCI 数据格式 00：每个像素时钟捕获 8 位数据 01：每个像素时钟捕获 10 位数据 10：每个像素时钟捕获 12 位数据 11：每个像素时钟捕获 14 位数据
9:8	FR[1:0]	帧频率 在连续捕获模式，FR 定义帧捕获频率 00：捕获所有帧 01：每隔一帧捕获一次 10：每隔三帧捕获一次 11：保留
7	VPS	垂直同步极性选择 0：消隐期间低电平 1：消隐期间高电平
6	HPS	水平同步极性选择 0：消隐期间低电平 1：消隐期间高电平

5	CKS	时钟极性选择 0：下降沿捕获 1：上升沿捕获
4	ESM	内嵌码同步模式 0：禁止内嵌码同步模式 1：使能内嵌码同步模式
3	JM	JPEG 子模式 0：禁止 JPEG 子模式 1：使能 JPEG 子模式
2	WDEN	窗口使能 0：禁止窗口功能 1：使能窗口功能
1	SNAP	快照模式 0：连续捕获模式 1：快照模式
0	CAP	使能捕获 0：禁止帧捕获 1：使能帧捕获

27.7.2. 状态寄存器 0(DCI_STAT0)

地址偏移：0x04
复位值：0x0000 0003

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													FV	VS	HS
													r	r	r

位/位域	名称	描述
31:3	保留	必须保持复位值
2	FV	FIFO 有效 0：FIFO 没有有效像素数据 1：FIFO 中像素数据有效
1	VS	VS 引脚状态 0：不在垂直消隐期间 1：处于垂直消隐期间

0	HS	HS 引脚状态 0：不在水平消隐期间 1：处于水平消隐期间

27.7.3. 状态寄存器 1(DCI_STAT1)

地址偏移：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											ELF	VSF	ESEF	OVRF	EFF
											r	r	r	r	r

位/位域	名称	描述
31:5	保留	必须保持复位值
4	ELF	行结束标志 0：没有行结束标志 1：DCI 捕获到一行
3	VSF	垂直同步标志 0：没有垂直同步标志 1：检测到垂直同步消隐
2	ESEF	内嵌码同步错误标志 0：没有内嵌码同步错误标志 1：检测到内嵌码同步错误
1	OVRF	FIFO 溢出标志 0：没有 FIFO 溢出 1：发生 FIFO 溢出
0	EFF	帧结束标志 0：没有帧结束标志 1：帧被 DCI 捕获

27.7.4. 中断使能寄存器(DCI_INTEN)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											ELIE	VSIE	ESEIE	OVRIE	EFIE
											rw	rw	rw	rw	rw

位/位域	名称	描述
31:5	保留	必须保持复位值
4	ELIE	行结束中断使能 0：行结束标志不产生中断 1：行结束标志产生中断
3	VSIE	垂直同步中断使能 0：垂直同步标志不产生中断 1：垂直同步标志产生中断
2	ESEIE	内嵌码同步错误中断使能 0：内嵌码同步错误标志不产生中断 1：内嵌码同步错误标志产生中断
1	OVRIE	FIFO 溢出中断使能 0：FIFO 溢出不产生中断 1：FIFO 溢出产生中断
0	EFIE	帧结束中断使能 0：帧结束标志不产生中断 1：帧结束标志产生中断

27.7.5. 中断标志寄存器(DCI_INTF)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											ELIF	VSIF	ESEIF	OVRIF	EFIF
											r	r	r	r	r

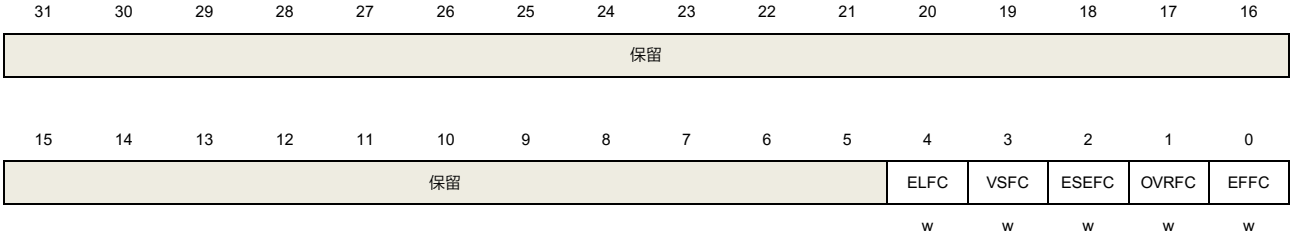
位/位域	名称	描述
31:5	保留	必须保持复位值
4	ELIF	行结束中断标志

3	VSMF	垂直同步中断标志
2	ESEMF	内嵌码同步错误中断标志
1	OVRMF	FIFO 溢出中断标志
0	EFMF	帧结束中断标志

27.7.6. 中断标志清除寄存器(DCI_INTC)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

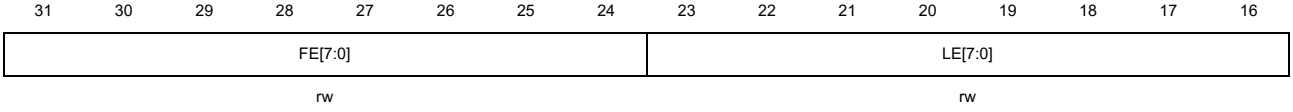


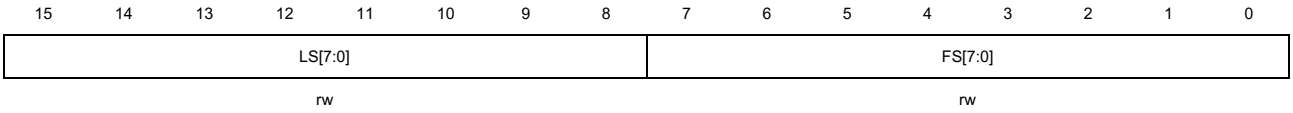
位/位域	名称	描述
31:5	保留	必须保持复位值
4	ELFC	行结束中断标志清除 写 1 清除行结束中断标志
3	VSFC	垂直同步标志清除 写 1 清除垂直同步标志
2	ESEFC	内嵌码同步错误标志清除 写 1 清除内嵌码同步错误标志
1	OVRFC	FIFO 溢出标志清除 写 1 清除 FIFO 溢出标志
0	EFFC	帧结束中断标志清除 写 1 清除帧结束中断标志

27.7.7. 同步码寄存器(DCI_SC)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。





位/位域	名称	描述
31:24	FE[7:0]	内嵌同步模式的帧结束码
23:16	LE[7:0]	内嵌同步模式的行结束码
15:8	LS[7:0]	内嵌同步模式的行开始码
7:0	FS[7:0]	内嵌同步模式的帧开始码

27.7.8. 同步码屏蔽寄存器(DCI_SCUMSK)

地址偏移：0x1C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

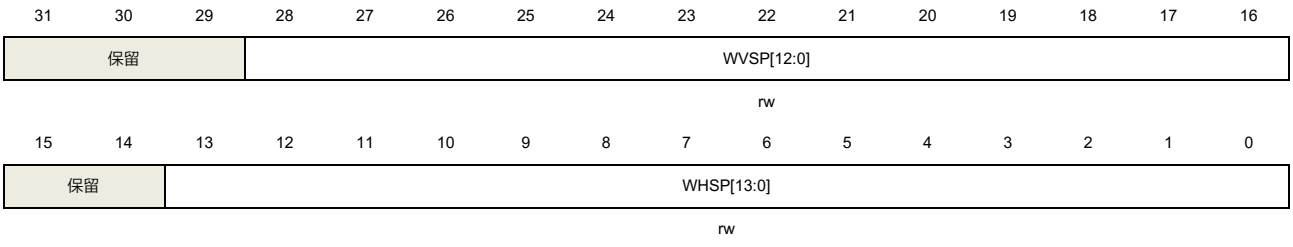


位/位域	名称	描述
31:24	FEM[7:0]	内嵌码同步模式下非屏蔽帧结束码
23:16	LEM[7:0]	内嵌码同步模式下非屏蔽行结束码
15:8	LSM[7:0]	内嵌码同步模式下非屏蔽行开始码
7:0	FSM[7:0]	内嵌码同步模式下非屏蔽帧开始码

27.7.9. 剪裁窗口开始位置寄存器(DCI_CWSPOS)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:29	保留	必须保持复位值
28:16	WVSP[12:0]	窗口垂直开始位置 值为 0 表示着第一行，以此类推
15:14	保留	必须保持复位值
13:0	WHSP[13:0]	窗口水平开始位置 值为 0 表示着第一个像素时钟，以此类推

27.7.10. 剪裁窗口大小寄存器(DCI_CWSZ)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		WVSZ[13:0]													
		rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		WHSZ[13:0]													
		rw													

位/位域	名称	描述
31:30	保留	必须保持复位值
29:16	WVSZ[13:0]	窗口垂直大小 WVSZ=X 表示 X+1 行
15:14	保留	必须保持复位值
13:0	WHSZ[13:0]	窗口水平大小 WHSZ=X 表示某一行有 X+1 个像素时钟

27.7.11. 数据寄存器(DCI_DATA)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DT3[[7:0]								DT2[7:0]							
r								r							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DT1[7:0]	DT0[7:0]
r	r

位/位域	名称	描述
31:24	DT3[7:0]	像素字节 3
23:16	DT2[7:0]	像素字节 2
15:8	DT1[7:0]	像素字节 1
7:0	DT0[7:0]	像素字节 0

28. TFT-LCD 接口(TLI)

28.1. 简介

TLI(TFT-LCD接口)连接同步的LCD接口，并且为无源LCD显示屏提供像素数据，时钟以及时序信号。它支持不同的完全可编程的时序参数显示。一个内嵌的DMA不断的从系统存储器搬移数据到TLI然后输出到外部的LCD显示。TLI支持两个独立的显示层，并支持层窗口和层混叠功能。

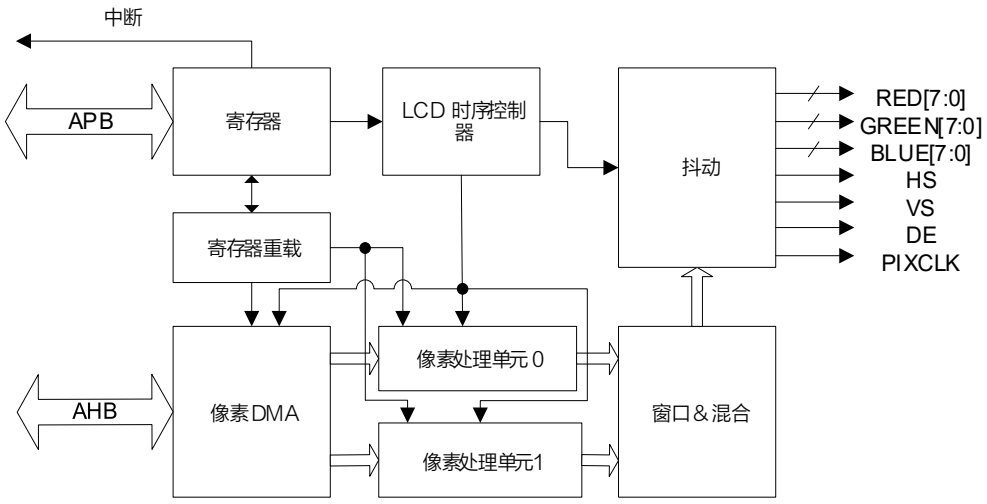
28.2. 主要特点

- 每像素最多24位并行数据输出；
- 支持高达2048*2048的分辨率；
- 完全可编程的时序参数；
- 内嵌DMA处理像素数据拷贝；
- 带有窗口和混合功能的两个独立的层；
- 支持多种像素格式：ARGB8888，RGB888，RGB565等；
- 支持CLUT(颜色查找表)和色键格式；
- 像素低位的抖动操作。

28.3. 结构框图

*图28-1. TLI模块框图*展示了TLI模块的结构框图。在TLI模块有3个时钟域。寄存器工作在APB时钟域，通过APB总线访问。像素DMA模块工作在AHB时钟域，从系统存储器获取像素数据需要使用AHB总线。剩下的模块工作在TLI时钟域。TLI时钟由PLLSAI-R 分频而得到。PLLSAI参数和分频因子在RCU模块配置。

图 28-1. TLI 模块框图



28.4. 信号线描述

TLI提供一个24位RGB并行显示接口，如*表28-1. TLI提供的显示接口的引脚*所示。

表 28-1. TLI 提供的显示接口的引脚

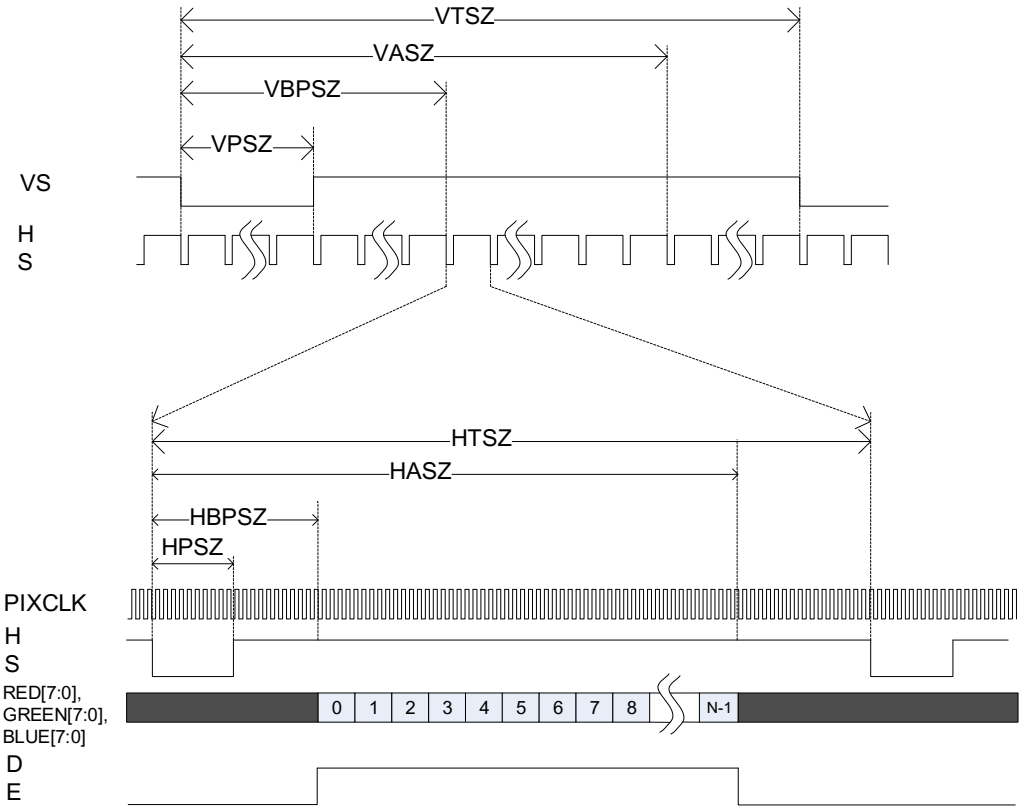
方向	名称	位宽	描述
O	HS	1	水平同步
O	VS	1	垂直同步
O	DE	1	数据使能
O	PIXCLK	1	像素时钟
O	RED[7:0]	8	红色像素数据
O	GREEN[7:0]	8	绿色像素数据
O	BLUE[7:0]	8	蓝色像素数据

28.5. 功能描述

28.5.1. LCD 显示时序

LCD接口是一个同步数据接口，包括像素时钟，像素数据以及水平和垂直同步信号。*图28-2. 显示时序图*展示了一帧的HS和VS信号时序。时序参数在TLI_SPSZ，TLI_BPSZ，TLI_ASZ和TLI_TSZ寄存器中配置。这些时序值寄存器假设第一个点的位置是(0, 0)。

图 28-2. 显示时序图



28.5.2. 像素 DMA 功能

根据寄存器模块的配置，像素DMA不断的从存储器读像素数据到内部PPU(像素处理单元)像素缓冲区。

使能之后，像素DMA开始从系统取像素数据，只要像素缓冲区未满，就将这些数据压进像素缓冲区。TLI总是用AHB BURST16方式取像素数据。

TLI支持两个独立的帧层，在系统中每层有不同的帧缓冲区地址。像素DMA仅有一个AHB访问端口，所以如果都使能的话，在取像素的时候，它将交替读取两层的数据。

TLI_LxFBADDR寄存器的FBADD位定义了每层的帧缓冲区地址。

TLI_LxFLLEN寄存器的FLL定义了一行的长度，以字节为单位。如果一行的长度是N，FLL=N+3。

在系统存储器里，两行之间可能有一些间隔存储空间，这一间隔空间信息在TLI_LxFLLEN寄存器的STDOFF位域定义。如果某行第一个像素的地址是M，那么下一行第一个像素的地址将是M+STDOFF。如果两行之间无间隔存储空间，则STDOFF=FLL-3。

TLI_LxFTLN寄存器的FTLN位域定义了一帧的行数。

28.5.3. 像素格式

像素DMA以字为单位，将像素数据压入PPU，然后由PPU负责将各种像素格式转换成内部ARGB8888格式。如*表28-2. 八种像素格式*所示，TLI支持多达8种像素格式。TLI_LxPPF寄存器的PPF[2:0]位域定义了像素格式。

ARGB8888格式要求每通道(Alpha，Red，Green和Blue)有8位数据。但是ARGB1555和ARGB4444格式的某些通道是少于8位的。 PPU通过拷贝高位填充到低位的方式，将其转换成ARGB8888。当处理RGB888和RGB565格式时，PPU假设Alpha=255，并且如果通道的位数少于8，也将拷贝高位填充到低位。

AL88, AL44和L8格式是LUT(颜色查找表)格式。在这些通道里， L是颜色查找表的地址。 TLI有两个内部颜色查找表：每层各一个。内部颜色查找表的大小是256x24bits (256个节点，每节点存储24位RGB值)。当处理LUT格式像素时，PPU从颜色查找表读出一个节点，并用这个节点值作为RGB值。由于颜色查找表的地址是8位的，如果L通道的位数少于8位，PPU也将拷贝高位填充到低位。颜色查找表的节点在复位后是不会被初始化的，因此在显示一个颜色查找表格式层之前，应用程序应该用TLI_LxLUT 寄存器，写入适当的值初始化颜色查找表。

每层都支持色键模式。TLI_LxCKEY 寄存器定义了一个RGB值。当某层的色键模式使能，PPU将会把该层每一个像素的RGB值与TLI_LxCKEY中的值相比较，如果值匹配，将会置该像素的ARGB值为0。

表 28-2. 八种像素格式

PPF[2:0]	像素格式
000	ARGB8888
001	RGB888
010	RGB565
011	ARGB1555
100	ARGB4444
111	AL88
101	L8
110	AL44

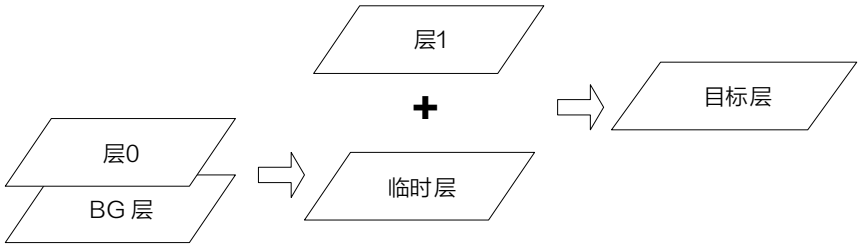
28.5.4. 层窗口和混合功能

TLI每层都支持窗口功能以及两层的混合功能。TLI首先执行每层的窗口操作，然后将两层混合成一帧。

窗口功能定义了一个显示窗口，每层有独立的窗口参数定义寄存器LTI_LxHPOS和LTI_LxVPOS。窗口参数定义了一层内的显示窗。窗口内的像素将保持它的原值，但是窗口外的像素值将被TLI_LxDC 寄存器定义的像素值替代。

混合单元首先混合层0和BG层得到一个临时层，然后混合层1和临时层，得到目的层。BG层的ARGB值在TLI_BGC寄存器定义。如果某层被禁止，混合功能使用该层的默认颜色。

图 28-3. 混合过程框图



混合公式

通用混合公式:

$$BC=BF_1*C+BF_2*C_S \quad (28\text{-}1)$$

- BC 混合的颜色
- BF1 混合因子 1
- C 当前层颜色
- BF_2 混合因子 2
- C_S 下一级层混合的颜色

当前像素的混合因子有两种取值，由寄存器配置。一种是归一化的像素Alpha乘以归一化的恒定Alpha，另一种是归一化的恒定Alpha。

28.5.5. Layer 配置重载

如上面所描述的，每层有自己的帧缓冲区，像素格式，窗口，默认颜色配置寄存器并且每个寄存器都有影子寄存器。影子寄存器与真正的寄存器共享相同的地址。每次当应用程序对层相关的寄存器地址执行写操作，相应的影子寄存器立即更新，但是直到一个重载操作前真正寄存器的值是不会改变的，而只有真正寄存器的值才是影响TLI功能的。

应用程序有两种方法触发一个重载操作：请求重载和帧消隐重载。对于请求重载模式，在应用程序设置TLI_RL寄存器的RQR位之后，TLI立即加载影子寄存器的值到真正寄存器。对于帧消隐重载模式，设置TLI_RL寄存器的FBR位之后，TLI等待帧垂直消隐，然后加载影子寄存器的值到真正寄存器。在两种模式下，重载成功完成之后，硬件自动清除RQR或FBR位。

28.5.6. 抖动

抖动模块为每一个像素通道加一个2位的伪随机值当18位接口用来显示24位数据的时候，该功能能够使图像更平滑。应用程序可以用TLI_CTL寄存器的DFEN位开启这一功能。

28.6. 中断

TLI中有以下错误和状态标志位。中断可以从这些状态判定，状态标志可以触发一个全局中断，

错误标志将触发错误中断。

表 28-3. 状态标志

状态标志位	描述
LMF	行标记标志
LCRF	层配置重载标志

表 28-4. 错误标志

错误标志位	描述
TEF	传输错误标志
FEF	FIFO 错误标志

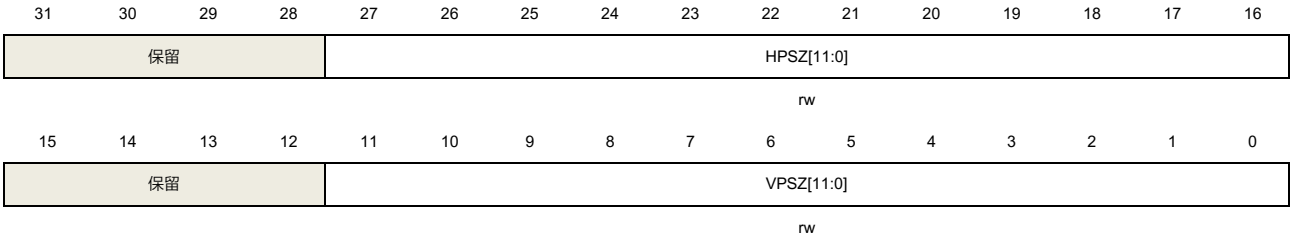
28.7. TLI 寄存器

TLI基地址：0x4001 6800

28.7.1. 同步脉冲宽度寄存器(TLI_SPSZ)

偏移地址：0x08
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

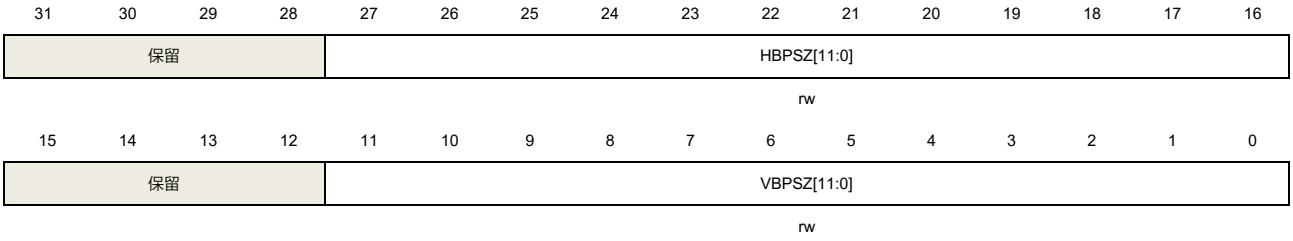


位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	HPSZ[11:0]	水平同步脉冲宽度 HPSZ 值应该配置成水平同步脉冲像素的个数减 1。
15:12	保留	必须保持复位值。
11:0	VPSZ[11:0]	垂直同步脉冲宽度 VPSZ 值应该配置成垂直同步脉冲像素的个数减 1。

28.7.2. 后沿宽度寄存器(TLI_BPSZ)

偏移地址：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	HBPSZ[11:0]	水平后沿加同步脉冲的宽度

		HBPSZ 值应该配置成水平后沿像素个数加同步脉冲像素个数减 1。
15:12	保留	必须保持复位值。
11:0	VBPSZ[11:0]	垂直后沿加同步脉冲的宽度 VBPSZ 值应该配置成垂直后沿像素个数加同步脉冲像素个数减 1。

28.7.3. 有效宽度寄存器(TLI_ASZ)

偏移地址：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				HASZ[11:0]											
				rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				VASZ[11:0]											
				rw											

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	HASZ[11:0]	水平有效宽度加后沿像素和水平同步像素宽度 HASZ 值应该配置成水平有效宽度加后沿像素和水平同步像素个数减 1。
15:12	保留	必须保持复位值。
11:0	VASZ[11:0]	垂直有效宽度加后沿像素和垂直同步像素宽度 VASZ 值应该配置成垂直有效宽度加后沿像素和垂直同步像素个数减 1。

28.7.4. 总宽度寄存器(TLI_TSZ)

偏移地址：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				HTSZ[11:0]											
				rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				VTSZ[11:0]											
				rw											

位/位域	名称	描述
31:28	保留	必须保持复位值。

27:16	HTSZ[11:0]	显示器的水平总宽度，包括有效宽度，后沿,同步脉冲和前沿 HTSZ 值应该配置成水平有效宽度像素的个数加后沿像素，前沿像素和同步脉冲像素减 1。
15:12	保留	必须保持复位值。
11:0	VTSZ[11:0]	显示器的垂直总宽度，包括有效宽度，后沿,同步脉冲和前沿 VTSZ 值应该配置成垂直有效宽度像素的个数加后沿像素，前沿像素和同步脉冲像素减 1.

28.7.5. 控制寄存器(TLI_CTL)

偏移地址：0x18
复位值：0x0000 2220

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPPS	VPPS	DEPS	CLKPS	保留											DFEN
rw	rw	rw	rw												rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	RDB[2:0]			保留	GDB[2:0]			保留	BDB[2:0]			保留			TLIEN
	r				r				r						rw

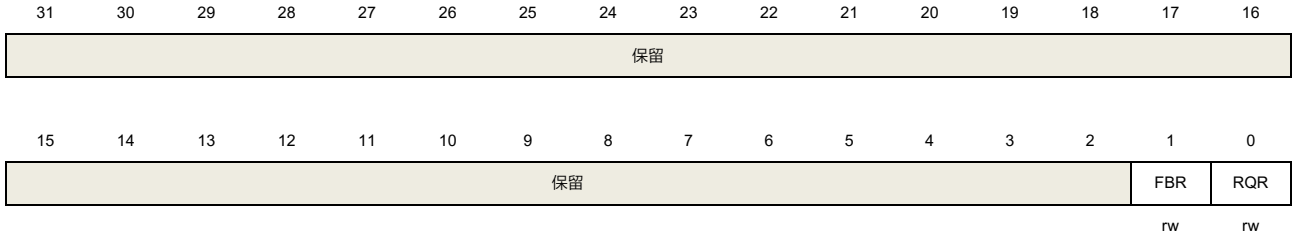
位/位域	名称	描述
31	HPPS	水平脉冲极性选择 0：水平同步脉冲低电平有效 1：水平同步脉冲高电平有效
30	VPPS	垂直脉冲极性选择 0：垂直同步脉冲低电平有效 1：垂直同步脉冲高电平有效
29	DEPS	数据使能极性选择 0：数据使能低电平有效 1：数据使能高电平有效
28	CLKPS	像素时钟极性选择 0：像素时钟是 TLI 时钟 1：像素时钟是 TLI 时钟翻转
27:17	保留	必须保持复位值。
16	DFEN	抖动功能使能 0：禁止抖动功能 1：使能抖动功能
15	保留	必须保持复位值。
14:12	RDB[2:0]	红色通道抖动位数

		固定为 2，只读
11	保留	必须保持复位值。
10:8	GDB[2:0]	绿色通道抖动位数 固定为 2，只读
7	保留	必须保持复位值。
6:4	BDB[2:0]	蓝色通道抖动位数 固定为 2，只读
3:1	保留	必须保持复位值。
0	TLIEN	TLI 使能位 0：禁止 TLI 1：使能 TLI

28.7.6. 重载层配置寄存器(TLI_RL)

偏移地址：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

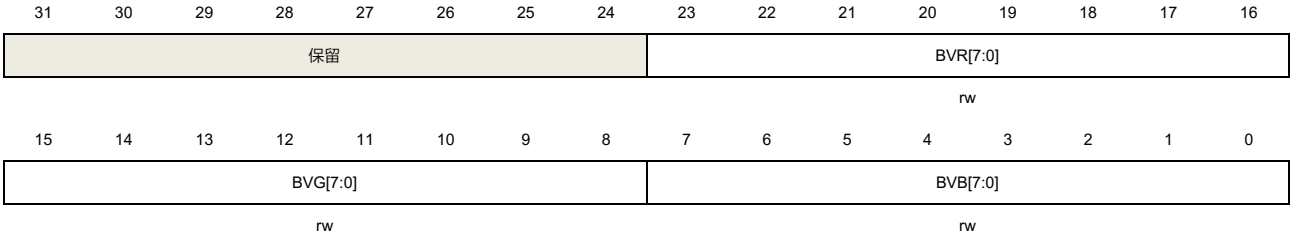


位/位域	名称	描述
31:2	保留	必须保持复位值。
1	FBR	帧消隐重载请求 此位通过软件置位，在重载之后由硬件清除。 0：禁止重载 1：层配置将在帧消隐时被重载进入真正寄存器。
0	RQR	立即重载请求 此位通过软件置位，在重载之后由硬件清除。 0：禁止重载 1：层配置将在该位置位之后被重载进入真正寄存器。

28.7.7. 背景色配置寄存器(TLI_BGC)

偏移地址：0x2C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:24	保留	必须保持复位值。
23:16	BVR[7:0]	背景红色值
15:8	BVG[7:0]	背景绿色值
7:0	BVB[7:0]	背景蓝色值

28.7.8. 中断使能寄存器(TLI_INTEN)

偏移地址：0x34
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:4	保留	必须保持复位值。
3	LCRIE	层配置重载中断使能 0：层配置重载标志将不产生中断 1：层配置重载标志将产生中断
2	TEIE	传输错误中断使能 0：传输错误标志将不产生中断 1：传输错误标志将产生中断
1	FEIE	FIFO 错误中断使能 0：FIFO 错误标志将不产生中断 1：FIFO 错误标志将产生中断
0	LMIE	行标记中断使能 0：行标记标志将不产生中断

1：行标记标志将产生中断

28.7.9. 中断标志寄存器(TLI_INTF)

地址偏移：0x38
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

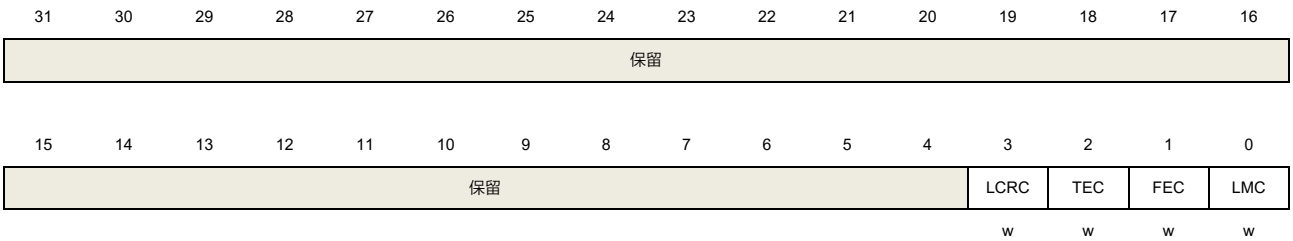


位/位域	名称	描述
31:4	保留	必须保持复位值。
3	LCRF	层配置重载标志 0：无层配置重载标志出现 1：由 TLI_RL 寄存器的 FBR 位置位触发了层配置重载
2	TEF	传输错误标志 0：无传输错误 1：一个传输错误在 AHB 总线上出现
1	FEF	FIFO 错误标志 0：无 FIFO 错误标志 1：出现 FIFO 下溢错误
0	LMF	行标记标志 0：没有行标记标志 1：行数达到 TLI_LM 寄存器中设置的特定值

28.7.10. 中断标志清除寄存器(TLI_INTC)

地址偏移：0x3C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

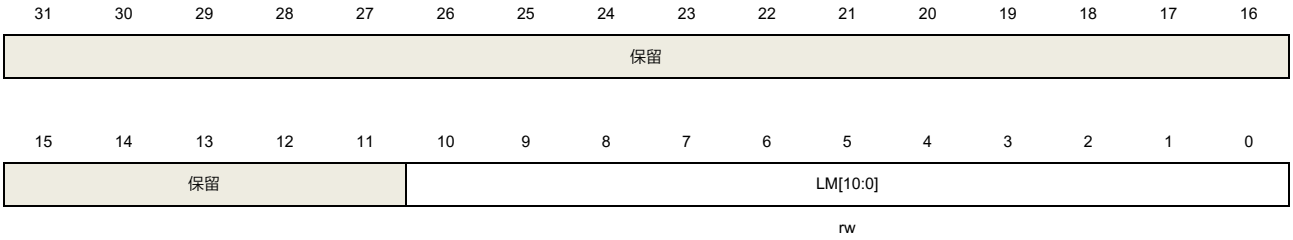


位/位域	名称	描述
31:4	保留	必须保持复位值。
3	LCRC	层配置重载标志清除 写 1 清除层配置重载标志
2	TEC	传输错误标志清除 写 1 清除传输错误标志
1	FEC	FIFO 错误标志清除 写 1 清除 FIFO 错误标志
0	LMC	行标记标志清除 写 1 清除行标记标志

28.7.11. 行标记寄存器(TLI_LM)

地址偏移: 0x40
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

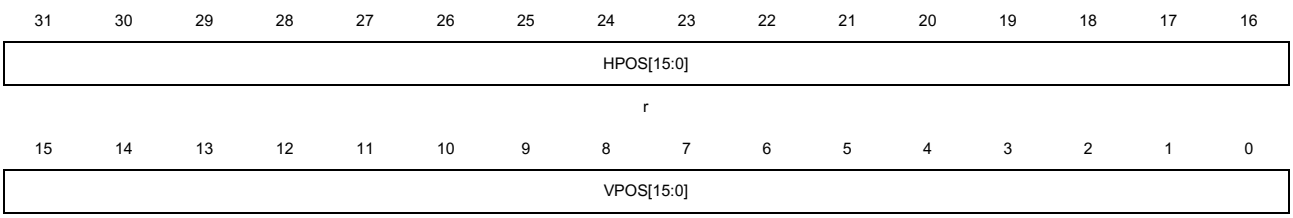


位/位域	名称	描述
31:11	保留	必须保持复位值。
10:0	LM[10:0]	行标记值 当行数到达该值，TLI_INTF 寄存器的 LMF 位将置位。

28.7.12. 当前像素位置寄存器(TLI_CPPOS)

地址偏移：0x44
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



r

位/位域	名称	描述
31:16	HPOS[15:0]	水平位置 当前显示的像素的水平位置
15:0	VPOS[15:0]	垂直位置 当前显示的像素的垂直位置

28.7.13. 状态寄存器(TLI_STAT)

地址偏移：0x48
复位值：0x0000 000F

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												HS	VS	HDE	VDE
												r	r	r	r

位/位域	名称	描述
31:4	保留	必须保持复位值。
3	HS	TLI 当前的 HS 状态
2	VS	TLI 当前的 VS 状态
1	HDE	当前的 HDE 状态 0：TLI_CPPOS 寄存器 HPOS 并未位于 TLI_BPSZ 寄存器 HBPSZ 与 TLI_ASZ 寄存器 HASZ 之间 1：TLI_CPPOS 寄存器 HPOS 位于 TLI_BPSZ 寄存器 HBPSZ 与 TLI_ASZ 寄存器 HASZ 之间
0	VDE	当前的 VDE 状态 0：TLI_CPPOS 寄存器 VPOS 并未位于 TLI_BPSZ 寄存器 VBPSZ 与 TLI_ASZ 寄存器 HASZ 之间 1：TLI_CPPOS 寄存器 VPOS 位于 TLI_BPSZ 寄存器 VBPSZ 与 TLI_ASZ 寄存器 VASZ 之间

28.7.14. 第 x 层控制寄存器(TLI_LxCTL)(x = 0, 1)

地址偏移：0x84 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											LUTEN	保留		CKEYEN	LEN
											rw			rw	rw

位/位域	名称	描述
31:5	保留	必须保持复位值。
4	LUTEN	LUT 使能 0：禁止 LUT 1：使能 LUT
3:2	保留	必须保持复位值。
1	CKEYEN	色键使能 0：禁止色键功能 1：使能色键功能
0	LEN	层使能 0：禁止层 1：使能层

28.7.15. 第 x 层水平位置参数寄存器(TLI_LxHPOS)(x = 0, 1)

偏移地址：0x88 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				WRP[11:0]											
				rw											

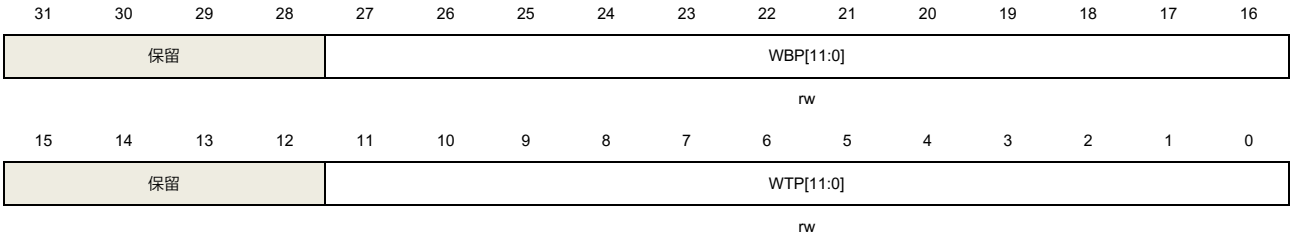
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				WLP[11:0]											
				rw											

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	WRP[11:0]	窗口右侧位置
15:12	保留	必须保持复位值。
11:0	WLP[11:0]	窗口左侧位置

28.7.16. 第 x 层垂直位置参数寄存器(TLI_LxVPOS)(x = 0, 1)

地址偏移：0x8C + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

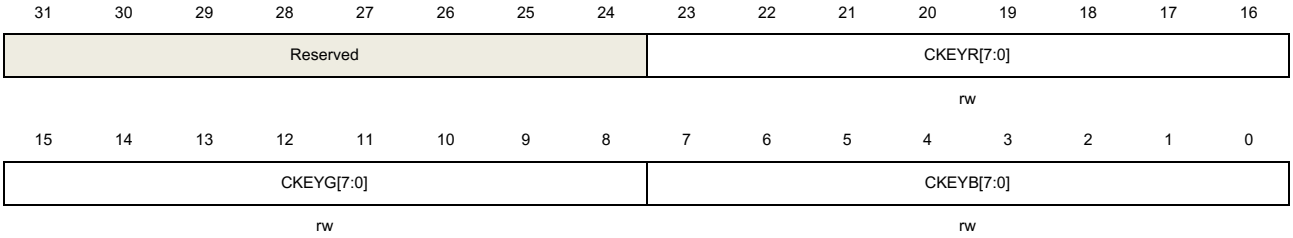


位/位域	名称	描述
31:28	保留	必须保持复位值。
27:16	WBP[11:0]	窗口底部位置
15:12	保留	必须保持复位值。
11:0	WTP[11:0]	窗口顶部位置

28.7.17. 第 x 层色键值寄存器(TLI_LxCKEY)(x = 0, 1)

地址偏移：0x90 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



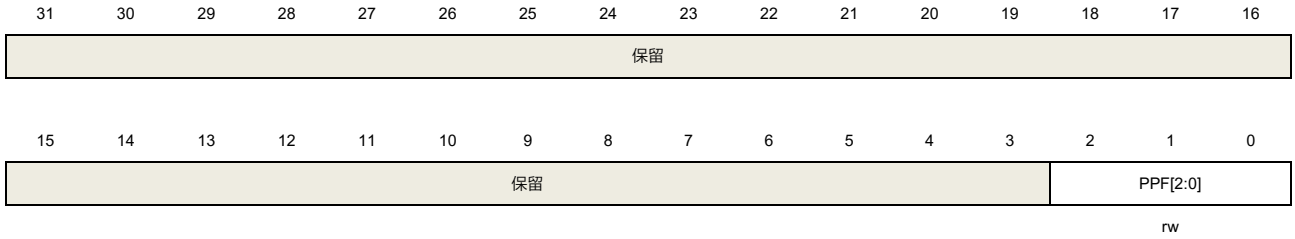
位/位域	名称	描述
31:24	保留	必须保持复位值。
23:16	CKEYR [7:0]	色键红色值
15:8	CKEYG [7:0]	色键绿色值
7:0	CKEYB [7:0]	色键蓝色值

注意：如果某层的像素RGB等于TLI_LxCKEY寄存器定义的值，该像素RGB值复位为0。这意味着这些像素对其它层来说是透明的。

28.7.18. 第 x 层像素格式寄存器(TLI_LxPPF)(x = 0, 1)

地址偏移：0x94 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:3	保留	必须保持复位值。
2:0	PPF[2:0]	像素格式 这些位配置像素格式 000：ARGB8888 001：RGB888 010：RGB565 011：ARGB1555 100：ARGB4444 101：L8 110：AL44 111：AL88

28.7.19. 第 x 层恒定 Alpha 寄存器(TLI_LxSA)(x = 0, 1)

地址偏移：0x98 + 0x80 * x
复位值：0x0000 00FF

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	SA[7:0]	恒定 Alpha 可用于计算混合因子。

28.7.20. 第 x 层默认颜色寄存器(TLI_LxDC)(x = 0, 1)

地址偏移：0x9C + 0x80 * x
复位：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:24	DCA[7:0]	默认颜色 ALPHA
23:16	DCR[7:0]	默认颜色红色
15:8	DCG[7:0]	默认颜色绿色
7:0	DCB[7:0]	默认颜色蓝色

注意：当该层被禁止或TLI_LxHPOS和TLI_LxVPOS定义的窗口之外，默认颜色值生效。

28.7.21. 第 x 层混合寄存器(TLI_LxBLEND)(x = 0, 1)

地址偏移：0xA0 + 0x80 * x
复位值：0x0000 0607

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:11	保留	必须保持复位值。
10:8	ACM1[2:0]	Alpha 混合因子 1 计算方法 000：保留 001：保留 010：保留 011：保留 100：归一化的恒定 Alpha 101：保留

		110：归一化的像素 Alpha 乘以归一化的恒定 Alpha 111：保留
7:3	保留	必须保持复位值。
2:0	ACM2[2:0]	Alpha 混合因子 2 计算方法 000：保留 001：保留 010：保留 011：保留 100：保留 101：1-归一化的恒定 Alpha 110：保留 111：1-归一化的像素 Alpha 乘以归一化的恒定 Alpha

28.7.22. 第 x 层帧基地址寄存器(TLI_LxFBADDR)(x = 0, 1)

地址偏移：0xAC + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FBADD[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FBADD[15:0]															
rw															

位/位域	名称	描述
31:0	FBADD[31:0]	帧缓冲区基地址 帧缓冲区基地址

28.7.23. 第 x 层行长度寄存器(TLI_LxFLLEN)(x = 0, 1)

地址偏移：0xB0 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		STDOFF[13:0]													
		rw													

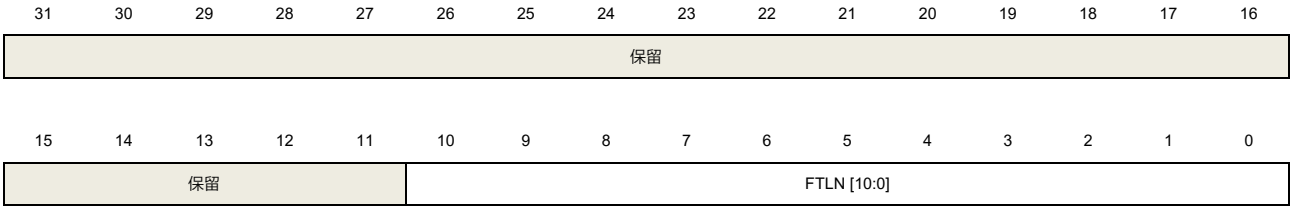
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		FLL[13:0]													
		rw													

位/位域	名称	描述
31:30	保留	必须保持复位值。
29:16	STDOFF[13:0]	步幅偏移 这个值定义了从某行起始处到下一行起始处之间的字节数
15:14	保留	必须保持复位值。
13:0	FLL [13:0]	行长度 这个值为一行的字节数+3

28.7.24. 第 x 层总行数寄存器(TLI_LxFTLN)(x = 0, 1)

地址偏移：0xB4 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

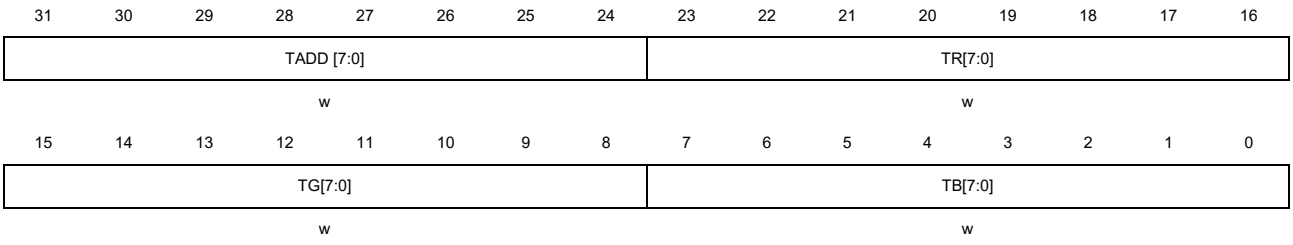


位/位域	名称	描述
31:11	保留	必须保持复位值。
10:0	FTLN[10:0]	总行数 这个值定义了一帧行数

28.7.25. 第 x 层颜色查找表寄存器(TLI_LxLUT)(x = 0, 1)

地址偏移：0xC4 + 0x80 * x
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:24	TADD[7:0]	颜色查找表写地址

		颜色查找表位于该地址的节点的值，将由写入的 TR，TG 和 TB 值更新。
23:16	TR[7:0]	LUT 节点的红色值
15:8	TG[7:0]	LUT 节点的绿色值
7:0	TB[7:0]	LUT 节点的蓝色值

29. SDIO 接口(SDIO)

29.1. 简介

安全的数字输入/输出接口(SDIO)定义了 SD 卡、SD I/O 卡、多媒体卡(MMC)和 CE-ATA 卡主机接口，提供 APB2 系统总线与 SD 存储卡、SD I/O 卡、MMC 和 CE-ATA 设备之间的数据传输。

所支持的 SD 存储卡和 SD I/O 卡系统规格书可以通过 SD 卡协会网站(*www.sdcard.org*)获取。

所支持的多媒体卡(MMC)系统规格书可以通过多媒体卡协会网站(*www.jedec.org*)获取，由 JEDEC 固态技术协会出版。

所支持的 CE-ATA 系统规格书可以通过 CE-ATA 工作组网站(*www.ce-ata.org*)获取。

29.2. 主要特征

SDIO 的主要特征如下：

- **MMC：**与多媒体卡系统规格书 V4.2 及之前的版本全兼容。有三种不同的数据总线模式：1 位(默认)、4 位和 8 位；
- **SD 卡：**与 SD 存储卡规格版本 2.0 全兼容；
- **SD I/O：**与 SD I/O 卡规格版本 2.0 全兼容，有两种不同的数据总线模式：1 位(默认)和 4 位；
- **CE-ATA：**与 CE-ATA 数字协议版本 1.1 全兼容；
- 48MHz 数据传输频率和 8 位数据传输模式；
- 中断和 DMA 请求；
- 完成信号使能和失能(CE-ATA)。

注意：SDIO 在同一时间仅支持一个 SD、SD I/O、MMC4.2 或 CE-ATA 设备，但可支持多个 MMC4.1 或以前版本的卡。

29.3. SDIO 总线拓扑

上电复位之后，主机必须通过特殊的基于消息的总线协议来初始化卡。

每个消息是由以下部分中的一个来表示：

命令：命令是启动一个操作的令牌，从主机发送到卡。命令串行传输在 CMD 线上。
响应：响应是从卡发送到主机，作为先前接收到的命令的回应。响应串行传输在 CMD 线上。
数据：数据可以从卡传输到主机或者从主机传输到卡。数据通过数据线传送。用于数据传输的数据线的数目可以是 1(DAT0)、4(DAT0-DAT3)或 8(DAT0-DAT7)。

命令、响应和数据块的结构在*卡功能描述*章节中介绍。一次数据传输就是一个总线操作。

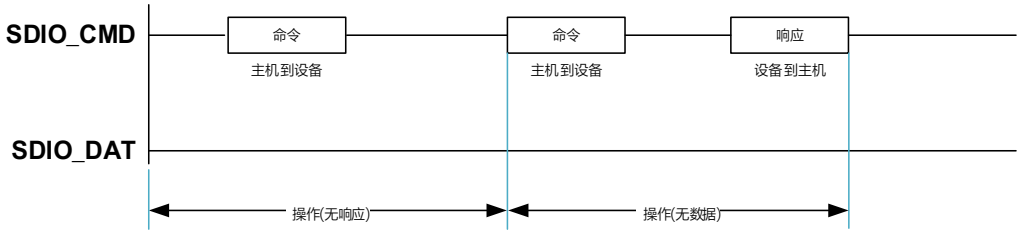
有几种不同类型的操作。一般操作总是包含一个命令和响应。此外，一些操作还有一个数据令牌。还有一些其他操作直接将他们的信息包含在命令或响应结构中。在这种情况下，操作没有数据令牌。在 DAT0-DAT7 和 CMD 信号线上的比特位根据主机时钟同步传输。

两种类型的数据传输命令定义如下：

- 流命令：这些命令发起连续的数据流，只有当 CMD 信号线上出现停止命令时，数据传输终止。该模式将命令的开销减少到最低(仅支持 MMC)。
- 面向块的命令：这些命令成功发送一个数据块后紧跟一个 CRC 校验。读和写操作允许单个或多个块传输。与连续读相同，当 CMD 信号线上出现停止命令时，多块传输终止。

总线上的基本操作是命令/响应操作(参考*图 29-1. SDIO "无响应" 和 "无数据" 操作*)。这种类型的总线事务直接在命令或响应结构中传递它们的信息。此外，有些操作还有数据令牌。卡与设备之间的数据传输通过块完成。

图 29-1. SDIO "无响应" 和 "无数据" 操作



多块操作模式比单块操作速度更快。当 CMD 信号线上出现停止命令时，多块传输终止。主机数据传输可以使用单个或多个数据线。多个块的读操作如*图 29-2. SDIO 多块读操作*所示，多个块的写操作如*图 29-3. SDIO 多块写操作*所示。块的写操作在数据(DAT0)信号线上使用忙信号。CE-ATA 设备在准备接收数据之前有一个可选的忙信号。

图 29-2. SDIO 多块读操作

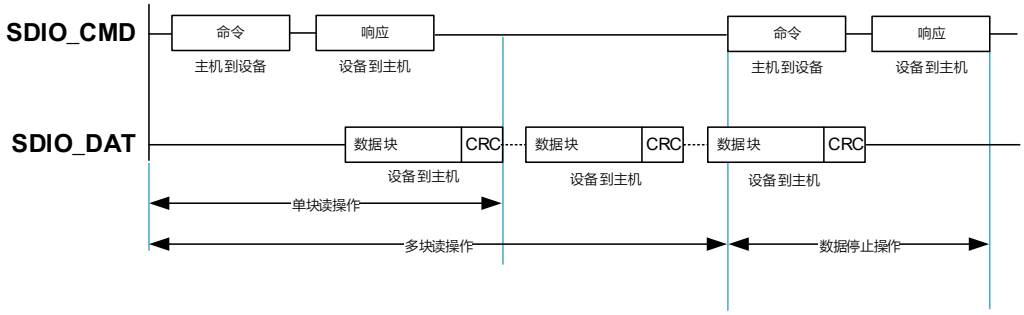
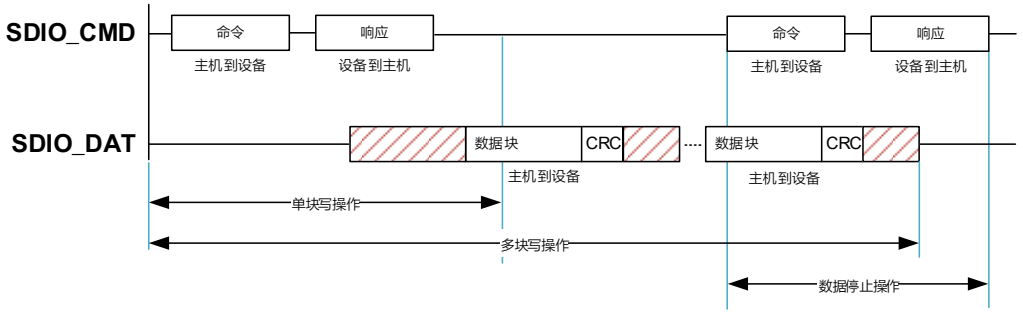


图 29-3. SDIO 多块写操作



SD 存储卡、SD I/O 卡(包括仅 IO 卡和组合卡)和 CE-ATA 设备直接的数据传输是以数据块的方式完成的。MMC 卡以数据块或数据流方式进行数据传输。*图 29-4. SDIO 数据流读操作*和*图 29-5. SDIO 数据流写操作*分别是数据流的读和写操作。

图 29-4. SDIO 数据流读操作

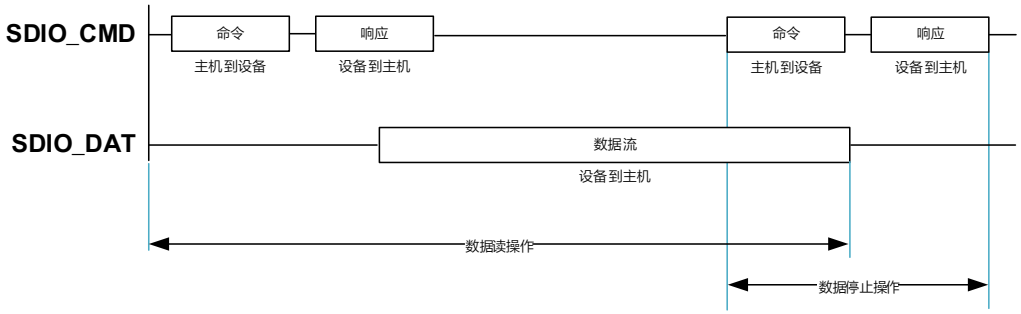
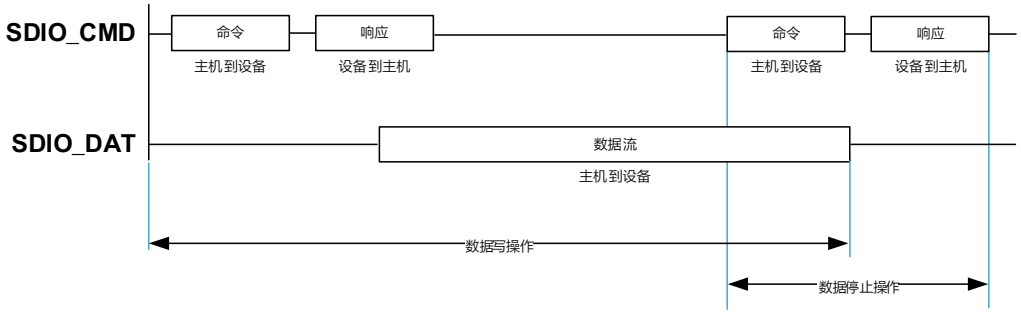


图 29-5. SDIO 数据流写操作

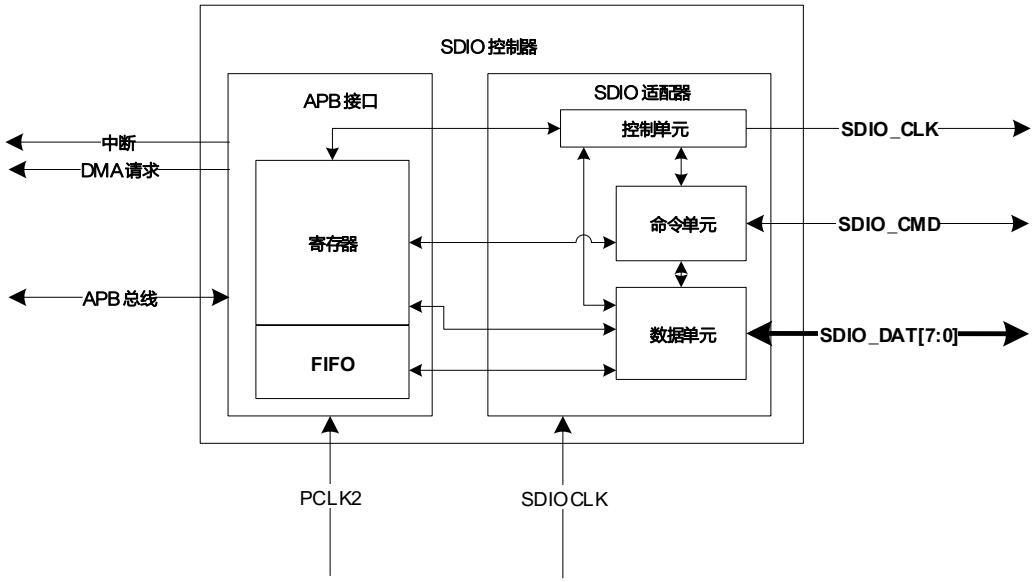


29.4. SDIO 功能描述

*图 29-6. SDIO 框图*显示了 SDIO 的结构框图，主要有两大部分：

- SDIO 适配器：由控制单元、命令单元和数据单元组成。控制单元管理时钟信号，命令单元管理命令的传输，数据单元管理数据的传输。
- APB 接口：包括通过 APB2 总线访问的寄存器、用于数据传输的 FIFO 单元以及产生中断和 DMA 请求信号。

图 29-6. SDIO 框图



29.4.1. SDIO 适配器

SDIO 适配器包括控制单元、命令单元和数据单元，并且可以向卡生成信号。这些信号的具体描述如下：

SDIO_CLK：SDIO 控制器提供给卡的时钟。每个时钟周期在命令线(SDIO_CMD)和所有的数据线(SDIO_DAT)上直接发送一位命令或数据。对于 MMC 卡 V3.31 版本，SDIO_CLK 频率可以在 0 MHz 到 20 MHz 之间，对于 MMC 卡 V4.2 版本可以在 0 MHz 到 48MHz 之间，对于 SD 或 SD I/O 卡可以在 0 MHz 到 25 MHz。
SDIO 使用两个时钟信号：SDIO 适配器时钟(SDIOCLK <= 48MHz)和 APB2 总线时钟(PCLK2)。PCLK2 时钟频率应不低于 SDIO_CLK 的 3/8 倍。

SDIO_CMD：该信号是双向命令通道，用于卡的初始化和命令的传输。命令从 SDIO 控制器发送到卡，响应从卡发送到主机。CMD 信号有两种操作模式：用于初始化的开漏模式(仅用于 MMC 卡 V3.31 及之前版本)和用于命令传送的推挽模式(SD 卡/SD I/O 卡和 MMC 卡 4.2 版本初始化时也是用推挽模式)。

SDIO_DAT[7:0]：这些信号线都是双向数据通道。数据信号线操作在推挽模式。每次只有卡或者主机会驱动这些信号。默认情况下，上电或者复位后仅 DAT0 用于数据传输。SDIO 适配器可以配置更宽的数据总线用于数据传输，使用 DAT0-DAT3 或者 DAT0-DAT7(仅适用于 MMC V4.2)。SDIO 对数据信号线 DAT1-DAT7 有内部上拉。在进入 4 位模式后，卡断开 DAT1 和 DAT2 的内部上拉(DAT3 内部上拉保持不变是由于 SPI 模式下 CS 片选的使用)。相应地，在进入 8 位模式后，断开 DAT1，DAT2 和 DAT4-DAT7 的内部上拉。

表 29-1. SDIO I/O 定义

引脚功能	方向	描述
SDIO_CLK	O	SD/SD I/O /MMC 时钟
SDIO_CMD	I/O	命令的输入/输出
SDIO_DAT[7:0]	I/O	数据线 DAT[7:0]的数据输入/输出

SDIO 适配器是 SD/SD I/O /MMC/CE-ATA 的接口，它由 3 个子单元组成：

控制单元

控制单元包含电源管理功能和时钟管理功能用于存储卡时钟。电源管理是由 SDIO_PWRCTL 寄存器控制的，实现电源的掉电和上电。通过设置 SDIO_CLKCTL 的 CLKPWRSAV 位来配置省电模式，实现当总线空闲时，关闭 SDIO_CLK。时钟管理向卡生成 SDIO_CLK 时钟信号。当 SDIO_CLKCTL 寄存器的 CLKBYP 位为 0 时，SDIO_CLK 由 SDIOCLK 分频得到；当 SDIO_CLKCTL 寄存器的 CLKBYP 位为 1 时，SDIO_CLK 直接为 SDIOCLK。

通过设置 SDIO_CLKCTL 寄存器的 HWCLKEN 位使能硬件时钟控制。该功能用于避免 FIFO 下溢和上溢错误，硬件根据系统总线是否繁忙，控制 SDIO_CLK 的开关。当 FIFO 不能接收或发送数据，主机将会关闭 SDIO_CLK 并冻结 SDIO 状态机来避免相关错误。只有状态机能被冻结，但 APB2 接口仍在工作。所以，FIFO 可以通过 APB2 总线访问。

命令单元

命令单元实现向卡发送和接收命令。数据传输流由命令状态机(CSM)控制。在对 SDIO_CMDCTL 寄存器进行一次写操作并设置该寄存器的 CSMEN 位为 1 后，命令传输开始。首先向卡发送一个命令，这个命令包含 48 位，通过 SDIO_CMD 线发出，每个 SDIO_CLK 发送一个比特数据。这 48 位命令包含 1 位起始位、1 位传输位、6 位命令索引(由 SDIO_CMDCTL 寄存器的 CMDIDX 位定义)、32 位参数(由 SDIO_CMDAGMT 定义)、7 位 CRC 和 1 位停止位。然后接收来自卡的响应(在 SDIO_CMDCTL 寄存器的 CMDIDX 位不为 0b00 或 0b10 的情况下)，响应分为 48 位的短响应和 136 位的长响应，响应都存在 SDIO_RESP0 - SDIO_RESP3 寄存器中。命令单元同样可以产生命令状态标志(在 SDIO_STAT 寄存器中定义)。

命令状态机

CS_Idle	复位后准备发送命令	
1.CSM 被使能并且 WAITDEND 使能	->	CS_Pend
2.CSM 被使能并且 WAITDEND 失能	->	CS_Send
3.CSM 被关闭	->	CS_Idle
注意： 命令状态机在空闲状态至少保持 8 个 SDIO_CLK 周期，以满足 N_{CC} 和 N_{RC} 时序限制。N_{CC} 是两个主机命令之间的最小时间间隔，N_{RC} 是主机命令与卡响应之间的最小时间间隔。		

CS_Pend	等待数据传输结束	
1.数据传送完成	->	CS_Send
2.CSM 被关闭	->	CS_Idle

CS_Send	发送命令	
1.命令发送后有响应	->	CS_Wait
2.命令发送后无响应	->	CS_Idle
3.CSM 被关闭	->	CS_Idle

CS_Wait	等待响应起始位	
1.接收到响应(检测到起始位)	->	CS_Receive
2.接收响应超时	->	CS_Idle
3.CSM 被关闭	->	CS_Idle
注意： 命令超时时间固定为 64 个 SDIO_CLK 时钟周期。		

CS_Receive	接收响应并检测 CRC	
1.在 CE-ATA 模式下收到响应，失能 CE-ATA 中断并且等待 CE-ATA 设备命令完成信号使能	->	CS_Waitcompl
2.在 CE-ATA 模式下收到响应，失能 CE-ATA 中断并且等待 CE-ATA 设备命令完成信号失能	->	CS_Pend
3.CSM 被关闭	->	CS_Idle
4.收到响应	->	CS_Idle
5.命令 CRC 检测失败	->	CS_Idle

CS_Waitcompl	等待 CE-ATA 设备命令完成信号	
1.收到 CE-ATA 命令完成信号	->	CS_Idle
2.CSM 被关闭	->	CS_Idle
3.命令 CRC 检测失败	->	CS_Idle

数据单元

数据单元实现主机与卡之间的数据传输。当数据宽度为 8 位(SDIO_CLKCTL 寄存器的 BUSMODE 位为 0b10)时，数据传输使用 SDIO_DAT[7:0]信号线；当数据宽度为 4 位(SDIO_CLKCTL 寄存器的 BUSMODE 位为 0b01)时，数据传输使用 SDIO_DAT[3:0]信号线；当数据宽度为 1 位(SDIO_CLKCTL 寄存器的 BUSMODE 位为 0b00)时，数据传输使用 SDIO_DAT[0]信号线。数据传输流由数据状态机(DSM)控制。在对 SDIO_DATACTL 寄存器进行一次写操作并将 SDIO_DATACTL 寄存器的 DATAEN 位为 1，数据传输开始。当 SDIO_DATACTL 寄存器的 DATADIR 位为 0 时，数据是从控制器到卡；当 DATADIR 位为 1 时，数据是从卡到控制器。数据单元同样可以产生数据状态标志(在 SDIO_STAT 寄存器中定义)。

数据状态机

DS_Idle	数据单元不工作，等待发送和接收数据	
1.DSM 使能并且数据传输方向为主机到卡	->	DS_WaitS
2.DSM 使能并且数据传输方向为卡到主机	->	DS_WaitR
3.DSM 使能并且读等待已经开始并且使能 SD I/O 模式	->	DS_Readwait

DS_WaitS	等待数据 FIFO 为空标志无效或者数据传输结束

1.数据传输结束	->	DS_Idle
2.DSM 被关闭	->	DS_Idle
3.数据 FIFO 为空标志无效	->	DS_Send

DS_Send	发送数据到卡	
1.数据块已发送	->	DS_Busy
2.DSM 被关闭	->	DS_Idle
3.数据 FIFO 下溢错误发生	->	DS_Idle
4.内部 CRC 错误	->	DS_Idle

DS_Busy	等待 CRC 状态标志	
1.接收到正确 CRC 状态并且卡不繁忙	->	DS_WaitS
2.没有接收到正确 CRC 状态	->	DS_Idle
3.DSM 被关闭	->	DS_Idle
4.数据超时发生	->	DS_Idle
注意： 命令超时时间设置在数据超时寄存器(SDIO_DATATO)中。		

DS_WaitR	等待接收数据的起始位	
1.数据接收结束	->	DS_Idle
2.DSM 被关闭	->	DS_Idle
3.数据超时	->	DS_Idle
4.在超时前收到起始位	->	DS_Receive
注意： 命令超时时间设置在数据超时寄存器(SDIO_DATATO)中。		

DS_Receive	接收卡的数据并将其写入数据 FIFO	
1.数据块已接收	->	DS_WaitR
2.数据传输结束	->	DS_WaitR
3.数据 FIFO 下溢发送	->	DS_Idle
4.数据已经接收并且读等待开始并且使能 SD I/O 模式	->	DS_Readwait
5.DSM 被关闭或 CRC 错误	->	DS_Idle

DS_Readwait	等待"读等待停止"指令	
1."读等待停止"使能	->	DS_WaitR
2.DSM 被关闭	->	DS_Idle

29.4.2. APB2 接口

APB2 接口实现了访问 SDIO 寄存器、数据 FIFO 和生成中断和 DMA 请求。它包括数据 FIFO 单元、寄存器单元和中断/DMA 逻辑。

至少一个已经被选中的状态标志为高时，中断逻辑产生中断。中断使能寄存器允许中断逻辑产生相应的中断。

DMA 接口提供一种方法，可以快速地在 SDIO 数据 FIFO 和存储器直接进行数据传输。下面的例子描述了如何实现这种方法：

1. 完成卡识别的过程。

2. 提高 SDIO_CLK 时钟频率。

3. 发送 CMD7 用于选择卡并配置总线宽度。

4. DMA1 的配置过程如下：
打开 DMA1 控制器并清除任何中断标志。用存储器基地址来配置 DMA1 通道 3 或通道 6 外设请求 4 的源地址寄存器，用 SDIO_FIFO 寄存器的地址来配置 DMA1 通道 3 或通道 6 外设请求 4 的目的地址寄存器。配置 DMA1 通道 3 或通道 6 外设请求 4 的控制寄存器(存储器地址指针递增，外设地址指针固定，存储器和外设的数据宽度为字)。对于外设端，在 DMA1 通道 3 或通道 6 外设请求 4 中，设置突发传输为 4 拍。

5. 写数据块(CMD24)到卡的过程如下：
以字节的形式将数据大小写入到 SDIO_DATALEN 寄存器中。以字节的形式将块大小(BLKSZ)写入到 SDIO_DATACTL 寄存器中，然后主机以每个块 BLKSZ 大小发送数据。向 SDIO_CMDAGMT 中写入数据的地址，该地址是卡中需要传输的数据地址。配置 SDIO 命令控制寄存器(SDIO_CMDCTL)：CMDIDX 置为 24，CMDRESP 置为 1(SDIO 卡主机等待短响应)，CSMEN 置为 1(发送命令使能)。其他字段为其复位值。

当 CMDRECV 标志被置位，配置 SDIO 数据控制寄存器(SDIO_DATACTL)：DATAEN 置为 1(发送数据使能)，DATADIR 置为 0(传输方向从控制器到卡)，TRANSMOD 置为 0(块传输)，DMAEN 置为 1(DMA 使能)，BLKSZ 置为 0x9(512 字节)。其他字段不用设置。

等待 DTBLKEND 标志位置位。通过轮询 DMA 中断标志寄存器，检查没有通道处于使能状态。

它还包括下面两个子单元：

寄存器单元

寄存器单元包含所有的系统寄存器，生成信号用于控制卡与控制器之间的通信。

数据 FIFO

数据 FIFO 单元有一个数据缓冲区，用于发送和接收 FIFO。FIFO 包含一个每个字的宽度为 32 位，深度为 32 字的数据缓冲区。发送 FIFO 被用在当需要写数据到卡上并且 SDIO_STAT 寄存器的 TXRUN 位为 1 时。待传输的数据通过 APB2 总线写入到发送 FIFO 中，SDIO 适配器中的数据单元从发送 FIFO 中读取数据，然后发送到卡上。接收 FIFO 被用在当需要从卡中读取数据并且 SDIO_STAT 寄存器的 RXRUN 为 1 时。从卡读取数据，然后将待传输的数据写入到接收 FIFO。在需要的时候，通过 APB2 总线读取接收 FIFO 中的数据。这个单元同样可以生成不同的 FIFO 标志(在 SDIO_STAT 寄存器中定义)。

29.5. 卡功能描述

29.5.1. 卡寄存器

卡内部定义了接口寄存器：OCR，CID，CSD，EXT_CSD，RCA，DSR 和 SCR。这些寄存器只能通过相应的命令来访问。OCR，CID，CSD 和 SCR 寄存器包含卡的一些特定信息，而 RCA 和 DSR 寄存器是配置寄存器，存储实际的配置参数。EXT_CSD 寄存器同时包含卡的特定信息和实际的结构参数。有关具体信息，请参考相关的规范。

OCR 寄存器：32 位操作条件寄存器(OCR)储存卡的 V_{DD} 电压描述和存取模式指示(MMC)。另外，该寄存器包括一个状态信息位。如果卡上电过程已经完成该状态位被置位。该寄存器在 MMC 和 SD 卡之间有一点不同。主机可以使用 CMD1(MMC)，ACMD41(SD 存储卡)，CMD5(SD I/O)来获取该寄存器的内容。

CID 寄存器：卡识别寄存器(CID)是 128 位宽。它包含在卡识别阶段使用的卡识别信息。每个读/写(RW)卡应具有唯一的标识号。主机可以使用 CMD2 和 CMD10 得到这个寄存器的内容。

CSD 寄存器：卡特定数据寄存器提供访问卡中的内容信息。CSD 定义了数据格式、错误校正类型、最大数据访问时间、数据传输速度、DSR 寄存器是否可以使用等。寄存器的可编程部分可通过 CMD27 来修改。主机可以使用 CMD9 得到这个寄存器的内容。

扩展 CSD 寄存器：只有 MMC4.2 有该寄存器。扩展 CSD 寄存器定义卡属性和选择模式。它的长度为 512 字节。最高 320 字节为属性段，定义了卡的功能，并且不能由主机修改。最低 192 字节是模式段，定义了卡工作在哪种配置下。这些模式可以由主机通过 SWITCH 命令来修改。主机可以使用 CMD8(仅 MMC 支持这个命令)，以获取该寄存器的内容。

RCA 寄存器：可写的 16 位相对卡地址寄存器存放卡地址，该地址在卡的初始化期间由卡向外发布。这个地址用于卡识别过程之后，所寻址的主机和卡通信。主机可以使用 CMD3 要求卡发布一个新的相对地址(RCA)。

注意：RCA 的寄存器的缺省值是 0x0001(MMC)或 0x0000(SD/SD I/O)。这个数值是保留值，用于通过 CMD7 设置所有卡到待机(Stand-by)状态。

DSR 寄存器(可选)：16 位驱动阶段寄存器是可选的，可用于在扩展操作条件中提高总线性能(取决于类似于总线长度，传输速率和卡数目这些参数)。CSD 寄存器中有 DSR 寄存器使用情况的信息。DSR 寄存器的默认值是 0x404。主机可以使用 CMD4 得到这个寄存器的内容。

SCR 寄存器：仅 SD/ SD I/O(如果有存储模块)有这个寄存器。除了 CSD 寄存器，除了 CSD 寄存器，还有另一种配置寄存器名为 SD 卡配置寄存器(SCR)，它仅用于 SD 卡。SCR 提供了被配置到特定 SD 存储卡的特殊功能的信息。SCR 寄存器的大小是 64 位。该寄存器应在出厂前通过 SD 存储卡制造商进行设置。主机可以使用 ACMD51 得到这个寄存器的内容。

29.5.2. 命令

命令类型

有四种控制卡的命令：

- 广播命令(bc)，发送到所有卡，没有响应；
- 带响应的广播命令(bcr)，发送到所有卡，同时从所有卡收到响应；
- 寻址(点对点)命令(ac)，发送到寻址的卡上，DAT 信号线没有数据传输；
- 寻址(点对点)的数据传输的命令(adtc)，发送到寻址的卡上，DAT 信号线进行数据传输。

命令格式

所有命令都是 48 位的固定码长，如*图 29-7. 命令标记格式*所示，需要 1.92 us(25 MHz)0.96 us(50 MHz)和 0.92us(52 MHz)的发送时间。

图 29-7. 命令标记格式

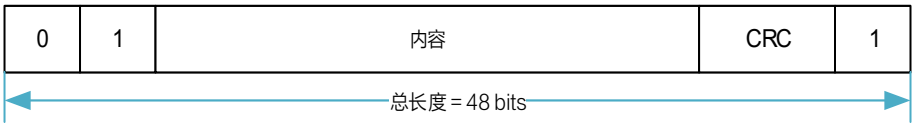


表 29-2. 命令格式

位	47	46	[45:40]	[39:8]	[7:1]	0
宽度	1	1	6	32	7	1
数值	'0'	'1'	x	x	x	'1'
描述	起始位	传输位	命令索引	参数	CRC7	结束位

一个命令总是从一个起始位(始终为 0)开始，随后的位表示传输的方向(主机=1)。接下来的 6 位表示命令的索引，该值被解释为一个二进制编码的数字(0 到 63 之间)。一些命令需要一个参数(例如，一个地址)，由 32 位编码。上面表中的表示为"x"的值表示这个变量依赖于该命令。所有的命令有一个 CRC 7 位校验，由结束位(总是 1)终止。

命令分类

卡的命令集分为几类(见*表 29-3. 卡命令类(CCCs*)。每类支持一组卡的功能。*表 29-4. 基本命令(class 0)*根据卡支持的命令来决定 CCC 的设置。

对于 SD 卡，类别为 0，2，4，5 和 8 的命令是强制的，应被 SD 卡支持。类别 7 中除了 CMD40 以外都是强制性用于 SDHC。其他类是可选的。所支持的卡命令类(CCC)被编码为参数，设置在每个卡的卡特定数据(CSD)寄存器，提供给主机如何访问该卡信息。

对于 MMC 卡，类别为 0 的命令是强制性的，应被 MMC 卡支持。其他类只对特定类型的卡是强制或是可选的。通过使用不同的类，可以选择几种配置(例如，一个块可写的卡或流可读的卡)。所支持的卡命令类(CCC)被编码为参数，设置在每个卡的卡的特定数据(CSD)寄存器，提

供给主机如何访问该卡信息。

对于 CE-ATA 设备,设备必须支持 MMC 命令,这些命令需要在设备初始化阶段完成传输状态。其它接口配置的设置，如总线宽度，可能需要额外的 MMC 命令来支持，具体请参考 MMC 引用。CE-ATA 利用以下的 MMC 命令：CMD0 - GO_IDLE_STATE，CMD12 - STOP_TRANSMISSION,CMD39 - FAST_IO,CMD60 - RW_MULTIPLE_REGISTER,CMD61 - RW_MULTIPLE_BLOCK。GO_IDLE_STATE(CMD0)，STOP_TRANSMISSION(CMD12)和 FAST_IO(CMD39) 由 MMC 引用定义。RW_MULTIPLE_REGISTER(CMD60) 和 RW_MULTIPLE_BLOCK(CMD61)是 CE-ATA 协议定义的 MMC 命令。

表 29-3. 卡命令类(CCCs)

	卡命令类(CCC)	0	1	2	3	4	5	6	7	8	9	10	11
支持的命令	类描述	basic	Stream read	Block read	Stream write	Block write	erase	write protection	Lock card	application specific	I/O mode	switch	reserved
CMD0	M	+											
CMD1	M	+											
CMD2	M	+											
CMD3	M	+											
CMD4	M	+											
CMD5	O										+		
CMD6	M											+	
CMD7	M	+											
CMD8	M	+											
CMD9	M	+											
CMD10	M	+											
CMD11	M		+										
CMD12	M	+											
CMD13	M	+											
CMD14	M	+											
CMD15	M	+											
CMD16	M			+		+			+				
CMD17	M			+									
CMD18	M			+									
CMD19	M	+											
CMD20	M				+								
CMD23	M			+		+							
CMD24	M					+							
CMD25	M					+							
CMD26	M					+							

CMD27	M					+							
CMD28	M							+					
CMD29	M							+					
CMD30	M							+					
CMD32	M						+						
CMD33	M						+						
CMD34	O											+	
CMD35	O											+	
CMD36	O											+	
CMD37	O											+	
CMD38	M						+						
CMD39											+		
CMD40											+		
CMD42									+				
CMD50	O											+	
CMD52	O										+		
CMD53	O										+		
CMD55	M									+			
CMD56	M									+			
CMD57	O											+	
CMD60	M									+			
CMD61	M									+			
ACMD6	M									+			
ACMD13	M									+			
ACMD22	M									+			
ACMD23	M									+			
ACMD41	M									+			
ACMD42	M									+			
ACMD51	M									+			

注意：1. CMD1，CMD11，CMD14，CMD19，CMD20，CMD23，CMD26，CMD39 和 CMD40 仅用于 MMC 卡。CMD5，CMD32-34，CMD50，CMD52，CMD53，CMD57 和 ACMDx 仅用于 SD 存储卡。CMD60，CMD61 仅用于 CE-ATA 设备。

2. 在使用 ACMD 命令之前发送 APP_CMD 命令(CMD55)。

3. CMD8 对于 MMC 卡和 SD 卡有不同的含义。

详细的命令描述

下列表详细描述了所有的总线命令。响应 R1-R7 将在*响应*章节说明。寄存器 CID，CSD 和 DSR 在*卡功能描述*介绍。卡应忽略参数中填充位和保留位。

表 29-4. 基本命令(class 0)

命令索引	类型	参数	响应格式	简称	描述
CMD0	bc	[31:0] 填充位	-	GO_IDLE_STATE	复位所有的卡到空闲状态。
CMD1	bc	[31:0] OCR	R3	SEND_OP_COND	在空闲状态，请求卡通过 CMD 线发送响应(包含操作条件寄存器的内容)。
CMD2	bcr	[31:0] 填充位	R2	ALL_SEND_CID	请求任何卡通过CMD线发送发送CID 数据(任何连接到主机的卡都会响应)。
CMD3	bcr	[31:0] 填充位	R6	SEND_RELATIVE_ADDR	请求卡发布新的相对卡地址(RCA)。
CMD4	bc	[31:16] DSR [15:0] 填充位	-	SET_DSR	设置所有卡的 DSR 寄存器。
CMD5	bcr	[31:25]保留位 [24]S18R [23:0] I/O OCR	R4	IO_SEND_OP_COND	仅适用于 I/O 卡。它类似于用于 SD 存储卡的 ACMD41 命令，用于查询所需要的 I/O 卡的电压范围。
CMD6	ac	[31:26] 设为 0 [25:24] 访问 [23:16] 索引 [15:8] 值 [7:3] 设为 0 [2:0] 命令集	R1b	SWITCH	仅适用于 MMC 卡。切换所选卡的操作模式，或修改 EXT_CSD 寄存器。
CMD7	ac	[31:16] RCA [15:0] 填充位	R1b	SELECT/DESELECT_CARD	这个命令用于卡在待机(stand-by)状态和发送(transfer)状态之间切换，或编程(programming)状态和断开(disconnects)状态之间切换。在两种情况下，要选中该卡用它自己的相对地址，若不选中该卡用任何其他地址。地址 0 用于取消选择该卡。
CMD8	bcr	[31:12]保留位 [11:8]工作电压(VHS) [7:0]检查模式	R7	SEND_IF_COND	向 SD 存储卡发送接口条件，包括主机供电电压信息和询问卡是否支持电压。保留位应设为 0。
CMD8	adtc	[31:0] 填充位	R1	SEND_EXT_CSD	仅用于 MMC 卡。卡发送自己的 EXT_CSD 寄存器作为数据块。
CMD9	ac	[31:16] RCA [15:0] 填充位	R2	SEND_CSD	被选定的卡通过CMD线发送它的卡特定数据(CSD)。
CMD10	ac	[31:16] RCA [15:0] 填充位	R2	SEND_CID	被选定的卡通过CMD线发送它的卡标识(CID)。
CMD12	ac	[31:0] 填充位	R1b	STOP TRANSMISSION	强制卡停止传输。

命令索引	类型	参数	响应格式	简称	描述
CMD13	ac	[31:16] RCA [15:0] 填充位	R1	SEND_STATUS	被选定的卡发送它的状态寄存器。
CMD14	adtc	[31:0] 填充位	R1	BUSTEST_R	主机从卡中读取反向的总线测试数据模式。
CMD15	ac	[31:16] RCA [15:0] 保留位	-	GO_INACTIVE_STATE	将被选定的卡转换到非激活(Inactive)状态。这个命令被用于当主机明确地想停用一张卡的时候。
CMD19	adtc	[31:0] 填充位	R1	BUSTEST_W	主机向卡发送总线测试模式。

表 29-5. 面向块的读命令(class 2)

命令索引	类型	参数	响应格式	简称	描述
CMD16	ac	[31:0]块长度	R1	SET_BLOCKLEN	在标准容量 SD 卡和 MMC 卡的情况下，该命令为所有后续块命令(读，写，锁)设置块长度(以字节为单位)。默认值是 512 字节。只有在 CSD 中局部块读操作被允许时，设置长度对于存储器访问命令有效。 在高容量 SD 存储卡的情况下，块长度是由 CMD16 命令设置，不会影响内存读和写命令。总是使用 512 字节的固定块长度。在这两种情况下，如果块长度设置大于 512 字节，BLOCK_LEN_ERROR 位会被卡置位。
CMD17	adtc	[31:0]数据地址	R1	READ_SINGLE_BLOCK	在标准容量 SD 卡和 MMC 卡的情况下，通过 SET_BLOCKLEN 命令读取所选择大小的块。 在高容量存储卡的情况下，块长度是固定的 512 字节，忽略 SET_BLOCKLEN 命令。
CMD18	adtc	[31:0]数据地址	R1	READ_MULTIPLE_BLOCK	不断从卡传输数据块到主机，直到收到 STOP_TRANSMISSION 命令才中断。块长度规定和 READ_SINGLE_BLOCK 命令是一样的。
注意： 传输的数据不能跨越物理块边界，除非 READ_BLK_MISALIGN 在 CSD 寄存器中被设置。					

表 29-6. 流读取命令(class 1)和流写入命令(class 3)

命令索引	类型	参数	响应格式	简称	描述
CMD11	adtc	[31:0]数据地址	R1	READ_DAT_UNTIL_STOP	从卡中读取数据流，起始于给定的地址，直至收到 STOP_TRANSMISSION 命令。
CMD20	adtc	[31:0]数据地址	R1	WRITE_DAT_UNTIL_STOP	从主机写数据流，起始于给定的地址，直至收到 STOP_TRANSMISSION 命令。
注意： 传输的数据不能跨越物理块边界，除非 READ_BLK_MISALIGN 在 CSD 寄存器中被设置。					

表 29-7. 面向块的写命令(class 4)

命令索引	类型	参数	响应格式	简称	描述
CMD16	ac	[31:0] 块长度	R1	SET_BLOCKLEN	见 *表 29-5. 面向块的读命令(class 2)*描述。
CMD23	ac	[31:16] 设为 0 [15:0] 块数目	R1	SET_BLOCK_COUNT	定义了将要在后续多个块的读或写命令被传输块的数目。如果参数为全 0，随后的读/写操作将被被认为无终止的。
CMD24	adtc	[31:0] 数据地址	R1	WRITE_BLOCK	在标准容量 SD 卡的情况下，该命令写入由 SET_BLOCKLEN 命令所选择的块长度。在高容量 SD 卡的情况下，块长度是固定的 512 字节忽略 SET_BLOCKLEN 命令。
CMD25	adtc	[31:0] 数据地址	R1	WRITE_MULTIPLE_BLOCK	连续写入数据块，直至收到 STOP_TRANSMISSION 命令。块长度是和 WRITE_BLOCK 命令规定一样的。
CMD26	adtc	[31:0] 填充位	R1	PROGRAM_CID	对卡识别寄存器进行编程。此命令必须一次发出。该编程涉及硬件，以防止首次编程以后的操作。通常情况下这个命令是针对厂家保留。
CMD27	adtc	[31:0] 填充位	R1	PROGRAM_CSD	对 CSD 的可编程位编程。
注意： 1. 传输的数据不得跨越物理块边界。除非是在 CSD 设置 WRITE_BLK_MISALIGN。在写入部分块不支持的情况下，块长度=默认块长度(CSD 中给出)。 2. 标准容量 SD 存储卡数据地址以字节为单位，高容量 SD 存储卡数据地址以块(512 字节)为单位。					

表 29-8. 擦除命令(class 5)

命令索引	类型	参数	响应格式	简称	描述
CMD32	ac	[31:0]数据地址	R1	ERASE_WR_BLK_START	设置要被擦除数据的第一个块的地址。(SD)
CMD33	ac	[31:0]数据地址	R1	ERASE_WR_BLK_EN	设置要被擦除数据的最后一个块

命令索引	类型	参数	响应格式	简称	描述
				D	地址。(SD)
CMD35	ac	[31:0]数据地址	R1	ERASE_GROUP_START	在选择的擦除范围内，设置第一个擦除组的地址。(MMC)
CMD36	ac	[31:0]数据地址	R1	ERASE_GROUP_END	在选择的连续擦除范围内，设置最后一个擦除组的地址。(MMC)
CMD38	ac	[31:0]填充位	R1b	ERASE	擦除所有之前选择的数据块.
注意： 1. CMD34 和 CMD37 被保留，以便保持与旧版本 MMC 的兼容性 2. 标准容量 SD 存储卡数据地址以字节为单位，高容量 SD 存储卡数据地址以块(512 字节)为单位。					

表 29-9. 面向块的写保护命令(class 6)

命令索引	类型	参数	响应格式	简称	描述
CMD28	ac	[31:0] 数据地址	R1b	SET_WRITE_PROT	如果卡有写保护功能，该命令将设置地址组的写保护位。写保护的特性被编码在卡的特定数据(WP_GRP_SIZE)中。高容量 SD 存储卡不支持此命令。
CMD29	ac	[31:0] 数据地址	R1b	CLR_WRITE_PROT	如果卡有写保护功能，该命令将清除寻址组的写保护位。
CMD30	adtc	[31:0] 写保护数据地址	R1	SEND_WRITE_PROT	如果卡有写保护功能，该命令请求卡发送写保护位状态。
注意： 1. 高容量 SD 存储卡不支持这三个命令。					

表 29-10. 锁卡命令(class 7)

命令索引	类型	参数	响应格式	简称	描述
CMD16	ac	[31:0] 块长度	R1	SET_BLOCK_LEN	见*表 29-5. 面向块的读命令(class 2)*描述。
CMD42	adtc	[31:0] 保留位(所有位设为 0)	R1	LOCK_UNLOCK	用于设置/重置密码或者对卡上锁/解锁。数据块长度由命令 SET_BLOCK_LEN 设置。 参数及锁卡数据结构里的保留位应设为 0。

表 29-11. 特定应用命令(class 8)

命令索引	类型	参数	响应格式	简称	描述
ACMD41	bcr	[31]保留位 [30]HCS [29:24]保留位 [23:0]V_{DD} 电压窗口(OCR[23:0])	R3	SD_SEND_OP_COND	发送给主机容量支持信息(HCS)，并请求访问的卡在响应中发送操作条件寄存器(OCR)的内容。当卡接收到 SEND_IF_COND 命令，HCS 是有效的。CCS 位被分配到

命令索引	类型	参数	响应格式	简称	描述
					OCR[30]。
ACMD42	ac	[31:1] 填充位 [0] set_cd	R1	SET_CLR_CARD_DETECT	在卡的 CD/DAT3 (引脚 1)上连接[1]/断开[0] 50K 上拉电阻。
ACMD51	adtc	[31:0] 填充位	R1	SEND_SCR	读 SD 卡配置寄存器(SCR)。
CMD55	ac	[31:16] RCA [15:0] 填充位	R1	APP_CMD	表明卡的下一个命令是特定应用命令而不是标准命令。
CMD56	adtc	[31:1] 填充位 [0] RD/WR	R1	GEN_CMD	对于通用/特定应用命令，该命令用于向卡传输一个数据块，或从卡读取一个数据块。主机设 RD/WR=1 时是从卡中读数据，RD/WR=0 时啊写数据到卡中。
CMD60	adtc	[31] WR [23:18] 地址 [7:2] 字节数 其他位为保留位	R1(read)/ R1b(write)	RW_MULTIPLE_REGISTER	在地址范围内，读或写寄存器。
CMD61	adtc	[31] WR [15:0] 数据单元数 其他位为保留位	R1(read)/ R1b(write)	RW_MULTIPLE_BLOCK	在地址范围内，读或写寄存器。
注意： 1. ACMDx 是针对 SD 存储卡的特定应用命令 2. CMD60，CMD61 针对 CE-ATA 设备的特定应用命令					

表 29-12. I/O 模式命令(class 9)

命令索引	类型	参数	响应格式	简称	描述
CMD39	ac	[31:16] RCA [15] 寄存器写标志 [14:8] 寄存器地址 [7:0] 寄存器数据	R4	FAST_IO	用于写入和读取 8 位(寄存器)的数据字段。如果写标志被设置，该命令寻址寄存器，并提供数据写入。如果写标志被清为 0，R4 的响应中包含从寻址寄存器中读取的数据。该命令用于访问未在 MMC 标准定义的应用程序相关的寄存器。
CMD40	bcr	[31:0] 填充位	R5	GO_IRQ_STATE	设置系统进入中断模式。
CMD52	adtc	[31] R/W 标志 [30:28] 功能数目 [27] RAW 标志 [26] 填充位 [25:9] 寄存器地址 [8] 填充位 [7:0] 写数据/填充	R5	IO_RW_DIRECT	IO_RW_DIRECT 命令提供简单的方式访问任意 I/O 功能的 128K 存储空间的寄存器。此命令可以实现使用单个命令对寄存器的读写。一个常见的用途是初始化寄存器或查询 I/O 功能状态。这个命令是读或写单 I/O 寄

命令索引	类型	参数	响应格式	简称	描述
		位			存器最快的方法，因为它仅需要一对单一的命令/响应。
CMD53	adtc	[31] R/W 标志 [30:28] 功能数目 [27] 块模式 [26] OP 码 [25:9] 寄存器地址 [8:0] 字节/块数		IO_RW_EXTENDED	该命令允许用一个简单命令读取或写入大量的 I/ O 寄存器。
注意： 1.CMD39，CMD40 仅用于 MMC 卡 2. CMD52，CMD53 仅用于 SD I/O 卡					

表 29-13. 切换功能命令(class 10)

命令索引	类型	参数	响应格式	简称	描述
CMD6	adtc	[31] 模式 0：检测功能 1：切换功能 [30:24] 保留 [23:20] 为功能组 6 保留(0h 或 Fh) [19:16] 为功能组 5 保留(0h 或 Fh) [15:12] 为功能组 4 保留(0h 或 Fh) [11:8] 为功能组 3 保留(0h 或 Fh) [7:4] 功能组 2 命令系统 [3:0] 功能组 1 访问模式	R1	SWITCH_FUNC	仅用于 SD 存储卡和 SD I/O 卡。检测可切换功能(模式 0)和切换卡功能(模式 1)。

29.5.3. 响应

所有的响应都是通过 CMD 信号线发送。响应传输总是从对应响应字串的最左位开始。响应字串的长度依赖于响应类型。

响应类型

响应的类型有七种，分别如下：

- **R1 / R1b：**普通命令响应

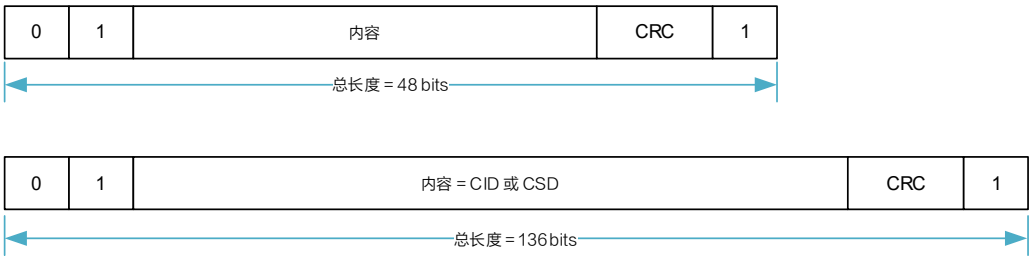
- **R2：** CID，CSD 寄存器
- **R3：** OCR 寄存器
- **R4：** Fast I/O
- **R5：** 中断请求
- **R6：** 发布的 RCA 响应
- **R7：** 卡接口条件

SD 存储卡支持其中的五种响应，R1 / R1b，R2，R3，R6，R7。SD I/O 卡和 MMC 卡支持支持额外的响应类型，名为 R4 和 R5，但对于 SD I/O 卡和 MMC 卡，这两种响应并不完全相同。

响应格式

响应有两种格式，如*图 29-8. 响应令牌格式*所示，所有响应经由 CMD 线发出。代码的长度取决于响应类型。除了 R2 的长度是 136 位，其他的长度均为 48 位。

图 29-8. 响应令牌格式



响应总是从一个起始位(始终为 0)开始，随后第二位表示传输的方向(卡= 0)。下面表中的"x"的值表示为可变的部分。除了 R3 类型的所有响应由 CRC 校验。每个响应字段由结束位(总是 1)终止。

R1(普通命令响应)

代码长度为 48 位。位 45:40 指示要响应的命令索引，该值被解释为一个二进制编码的数字(0 到 63 之间)。卡的状态被 32 位编码。注意，如果写数据到卡上，在每个数据块传输之后会出现 BUSY 信号，在每个数据块传输完成后主机需要检查 BUSY 信号。卡状态在章节*卡的两种状态*中描述。

表 29-14. R1 响应

位	47	46	[45:40]	[39:8]	[7:1]	0
位宽	1	1	6	32	7	1
数值	'0'	'0'	x	x	x	'1'
描述	起始位	传输位	命令索引	卡状态	CRC7	结束位

R1b

R1b 格式与 R1 相同，但可以在数据线 DAT0 上发送忙信号。收到命令后，依据收到命令之前的状态，卡可能变为忙状态。主机应在响应中检查忙状态。

R2(CID，CSD 寄存器)

代码长度为 136 位。CID 寄存器的内容作为对命令 CMD2 和 CMD10 的响应被发送。CSD 寄存器的内容将作为以 CMD9 响应被发送。卡只响应发送 CID 和 CSD 的位[127.. 1]，这两个寄存器保留位[0]被替换为响应的结束位。

表 29-15. R2 响应

位	135	134	[133:128]	[127:1]	0
位宽	1	1	6	127	1
数值	'0'	'0'	'111111'	x	'1'
描述	起始位	传输位	保留	CID 或 CSD 寄存器，内部 CRC7	结束位

R3(OCR 寄存器)

代码长度为 48 位。该 OCR 寄存器的内容作为 ACMD41(SD 存储卡)，CMD1(MMC)的响应被发送。不同卡的响应可能有一点不同。

表 29-16. R3 响应

位	47	46	[45:40]	[39:8]	[7:1]	0
位宽	1	1	6	32	7	1
数值	'0'	'0'	'111111'	x	'1111111'	'1'
描述	起始位	传输位	保留	OCR 寄存器	保留	结束位

R4(Fast I/O)

仅适用于 MMC 卡。代码长度为 48 位。参数域包括选定卡的 RCA，被读取或写入寄存器的地址，和它的内容。如果操作成功，参数域状态位置位。

表 29-17. R4 响应(MMC)

位	47	46	[45:40]	[39:8] 参数域				[7:1]	0
位宽	1	1	6	16	1	7	8	7	1
数值	'0'	'0'	'100111'	x	x	x	x	x	'1'
描述	起始位	传输位	CMD39	RCA [31:16]	状态 [15]	寄存器地址 [14:8]	读寄存器的内容 [7:0]	CRC7	结束位

R4b

仅适用于 SD I/O 卡。代码长度为 48 位。SD I/O 卡接收到 CMD5 命令后会返回一个唯一的 SD I/O 卡响应 R4。

表 29-18. R4 响应(SD I/O)

位	47	46	[45:40]	39	[38:36]	35	[34:32]	31	[30:8]	[7:1]	0
位宽	1	1	6	1	3	1	3	1	23	7	1
数值	'0'	'0'	'111111'	x	x	x	'000'	x	x	'1111111'	1
描述	起始位	传输位	保留	C	I/O 功能	当前存储	填充位	S18A	I/O	保留	结束位

					数目				OCR		

R5(中断请求)

仅适用于 MMC 卡。代码长度为 48 位。若这个响应由主机产生，参数中 RCA 域为 0x0。

表 29-19. R5 响应(MMC)

位	47	46	[45:40]	[39:8] 参数域		[7:1]	0
位宽	1	1	6	16	16	7	1
数值	'0'	'0'	'101000'	x	x	x	'1'
描述	起始位	传输位	CMD40	成功的卡或主机的 RCA [31:16]	[15:0]未定义，可能作为中断数据	CRC7	结束位

R5b

仅适用于 SD I/O 卡。SD I/O 卡对于 CMD52 和 CMD53 命令的响应是 R5。如果卡和主机之间的通信是在 1 位或 4 位 SD 模式下，响应应是 48 位响应(R5)。

表 29-20. R5 响应(SD I/O)

位	47	46	[45:40]	[39:24]	[23:16]	[15:8]	[7:1]	0
位宽	1	1	6	16	8	8	7	1
数值	'0'	'0'	'11010X'	'0'	x	x	x	'1'
描述	起始位	传输位	CMD52/53	填充位	响应标志	读或写的数据	CRC7	结束位

R6(发布的 RCA 响应)

代码长度为 48 位。位[45:40]表示对 CMD3 响应的命令索引。参数字段的 16 个最高位比特用于已发布的 RCA 号。

表 29-21. R6 响应

位	47	46	[45:40]	[39:8] 参数域		[7:1]	0
位宽	1	1	6	16	16	7	1
数值	'0'	'0'	'000011'	x	x	x	'1'
描述	起始位	传输位	CMD3	新发布卡的 RCA	卡的状态位：23,22,19,12:0	CRC7	结束位

R7(卡接口条件)

仅适用于 SD 存储卡。代码长度为 48 位。卡支持电压信息由 CMD8 的响应发送。位[19:16]表明该卡支持的电压范围。接受了供电电压的卡返回 R7 响应。在响应中，卡回送的参数设置电压范围和检查模式。

表 29-22. R7 响应

位	47	46	[45:40]	[39:20]	[19:16]	[15:8]	[7:1]	0

位宽	1	1	6	20	4	8	7	1
数值	'0'	'0'	'001000'	'00000h'	x	x	x	'1'
描述	起始位	传输位	CMD8	保留位	可接受电压	回送检查模式	CRC7	结束位

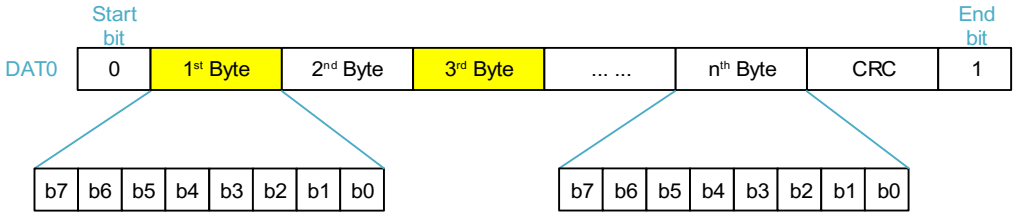
29.5.4. 数据包格式

数据总线模式有三种，1 位、4 位和 8 位宽度。1 位模式是强制的，4 位和 8 位模式是可选的。虽然使用 1 位模式，当卡复位和初始化时，DAT3 还需要通知卡当前的工作模式是 SDIO 或 SPI。

1 位数据包格式

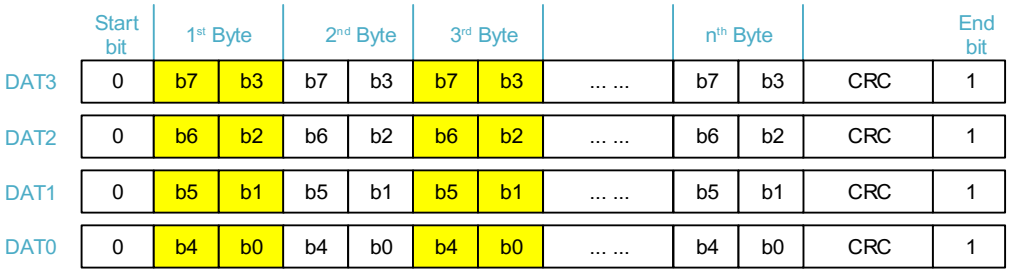
卡复位和初始化之后，只有 DAT0 被用于传输数据。其他引脚可以用于其他用处。*图 29-9. 1 位数据总线宽度*，*图 29-10. 4 位数据总线宽度*和*图 29-11. 8 位数据总线宽度*显示了数据宽度是 1 位，4 位和 8 位时的数据包格式。

图 29-9. 1 位数据总线宽度



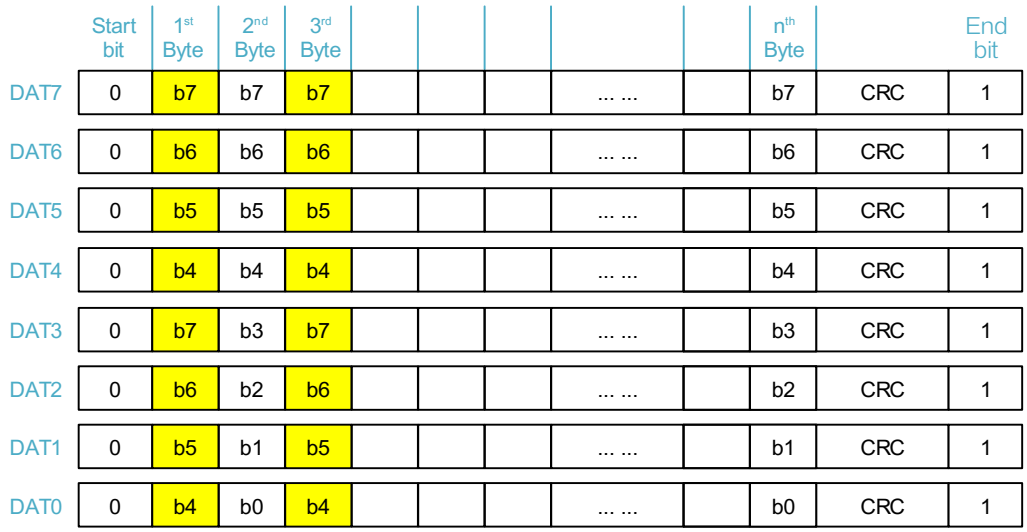
4 位数据包格式

图 29-10. 4 位数据总线宽度



8 位数据包格式

图 29-11. 8 位数据总线宽度



29.5.5. 卡的两种状态

SD 存储卡支持两种状态字段，而其他的卡只支持第一种：

卡状态：执行命令的错误和状态信息，在响应中指示。
SD 状态：512 位的扩展状态信息，支持特定功能的 SD 存储卡和未来应用特定功能。

卡状态

响应格式 R1 包含一个名为卡状态的 32 位字段。该字段用来传送该卡的状态的信息(可以存储在本地状态寄存器)到主机。除非特别说明，卡的状态信息总是与之前发出的命令相关。

表中的类型和清除条件的缩写如下：

类型

•E: 错误位。向主机发送错误条件。这些位一旦响应(报告错误)被发出去就会清除。
•S: 状态位。这些位仅作为信息字段，并不因为对命令的响应而改变。这些位是持久性的，它们根据卡状态被设置或被清除。
•R: 卡在命令解释和验证阶段(响应模式)检测到异常。
•X: 卡在命令执行阶段(执行模式)检测到异常。

清除条件

•A: 根据卡当前状态。
•B: 始终与之前命令相关。接收到有效命令可清除该状态(有命令延迟)。

•C: 读可清除。

表 29-23. 卡状态

位	标识符	类型	数值	说明	清除条件
31	OUT_OF_RANGE	ERX	'0'= 无错误 '1'= 错误	命令的参数超出卡的允许范围。	C
30	ADDRESS_ERROR	ERX	'0'= 无错误 '1'= 错误	在命令中使用与块长度不匹配的未对齐地址。	C
29	BLOCK_LEN_ERROR	ERX	'0'= 无错误 '1'= 错误	所传输的块长度是卡不允许的，或者传输的字节数不匹配块的长度。	C
28	ERASE_SEQ_ERROR	ER	'0'= 无错误 '1'= 错误	擦除命令顺序发生错误。	C
27	ERASE_PARAM	ERX	'0'= 无错误 '1'= 错误	擦除时选择了无效的擦除块。	C
26	WP_VIOLATION	ERX	'0'= 未保护 '1'= 已保护	当主机试图写一个受保护的块或暂时或永久写保护卡时置位。	C
25	CARD_IS_LOCKED	SX	'0' = 卡未锁 '1' = 卡已锁	当设置该位，表示卡已经被主机锁住。	A
24	LOCK_UNLOCK_FAILED	ERX	'0'= 无错误 '1'= 错误	在上锁/解锁中有命令的顺序错误或检测到密码错误时置位。	C
23	COM_CRC_ERROR	ER	'0'= 无错误 '1'= 错误	之前命令的 CRC 校验错误。	B
22	ILLEGAL_COMMAND	ER	'0'= 无错误 '1'= 错误	对于当前状态，命令非法。	B
21	CARD_ECC_FAILED	ERX	'0'= 成功 '1'= 失败	卡的内部实施了 ECC 校验，但在更正数据时失败。	C
20	CC_ERROR	ERX	'0'= 无错误 '1'= 错误	卡内部控制器错误。	C
19	ERROR	ERX	'0'= 无错误 '1'= 错误	在操作过程中发生一般的或者未知的错误。	C
18	UNDERRUN	ERX	'0'= 无错误 '1'= 错误	仅针对 MMC。该卡不支持在流读取模式下的数据传输。	C
17	OVERRUN	ERX	'0'= 无错误 '1'= 错误	仅针对 MMC. 该卡不支持在流写入模式下的数据编程。	C
16	CID/ CSD_OVERWRITE	ERX	'0'= 无错误 '1'= 错误	可能是下面两种错误之一: - CSD 的只读部分与卡内容不匹配 - 试图进行拷贝或永久写保护的反向操作，即恢复原状或解除写保护	C
15	WP_ERASE_SKIP	ERX	'0'= 未保护 '1'= 已保护	若置位，因为存在写保护数据块仅有部分地址空间被擦除；被暂时或者永久写保护的卡被擦除。	C

位	标识符	类型	数值	说明	清除条件
14	CARD_ECC_DISABLED	SX	'0'= 使能 '1'= 失能	执行命令时未使用内部 ECC。	A
13	ERASE_RESET	SR	'0'= 清除 '1'= 设置	因为收到一个擦除顺序之外的命令，擦除序列在执行前被清除。	C
[12:9]	CURRENT_STATE	SX	0 = 空闲 1 = 就绪 2 = 识别 3 = 待机 4 = 传输 5 = 发送数据 6 = 接收数据 7 = 编程 8 = 断开 9-14 = 保留 15 = 保留(I/O 模式)	当收到命令时卡的状态。如果命令的执行导致状态的变化，这个变化将会在下个命令的响应中反映出来。这四个位按十进制数 0 至 15 解释。	B
8	READY_FOR_DATA	SX	'0'= 未就绪 '1'= 就绪	与总线上的缓冲器空的信号一致。	A
7	SWITCH_ERROR	EX	'0'= 无错误 '1'= 切换错误	如果置位，卡没有通过 SWITCH 命令切换到期望的模式。	B
6	保留				
5	APP_CMD	SR	'0'= 使能 '1'= 失能	卡期望 ACMD，或指示命令已经被解释为 ACMD 命令。	C
4	保留				
3	AKE_SEQ_ERROR	ER	'0'= 无错误 '1'= 错误	仅针对 SD 存储卡。验证过程的顺序有错误。	C
2	保留给与应用特定命令。				
[1:0]	保留给厂商测试模式。				

注意： 18，17，7 位仅适用于 MMC。14，3 位仅适用于 SD 存储卡。

SD 状态寄存器

在 SD 状态寄存器中含有与 SD 存储卡的专有特征相关的状态位，并且可以被用于未来的特定应用使用。SD 状态寄存器是大小是一个数据块 512 比特。该寄存器的内容连同一个 16 位 CRC 通过 DAT 总线被发送到主机上。SD 状态通过 DAT 总线被发送到主机上，作为 ACMD13 的响应(CMD55 接着用 CMD13)。ACMD13 只能在"传送状态"被发送到存储卡(卡被选中)。SD 状态结构将在下面描述。

"类型"和"清除条件"的缩写与上述卡状态描述相同。

表 29-24. SD 状态

位	标识符	类型	数值	描述	清除条件
[511:510]	DAT_BUS_WIDTH	SR	'00'= 1 (默认) '01'= 保留 '10'= 4 位宽 '11'= 保留	由 SET_BUS_WIDTH 命令显示当前定义的数据总线宽度	A
509	SECURED_MODE	SR	'0'= 未处于安全模式 '1'= 处于安全模式	卡处于操作的安全模式(参考"SD 安全规范")。	A
[508:496]	保留				
[495:480]	SD_CARD_TYPE	SR	下列卡目前被定义为: '0000'= 通用 SD 读/写卡 '0001'= SD ROM 卡 '0002'= OTP	低 8 位在未来被用来定义 SD 存储卡的不同变种(每个位将定义不同的 SD 卡类型)。高 8 位将被用来定义不符合当前 SD 物理层规范的 SD 卡。	A
[479:448]	SIZE_OF_PROTECTED_AREA	SR	受保护区域的大小。	(见下面描述)	A
[447:440]	SPEED_CLASS	SR	卡的速度类型。	(见下面描述)	A
[439:432]	PERFORMANCE_MOVE	SR	以 1MB/s 为单位的传输性能。	(见下面描述)	A
[431:428]	AU_SIZE	SR	AU 大小	(见下面描述)	A
[427:424]	保留				
[423:408]	ERASE_SIZE	SR	一次要被擦除的 AU 数目。	(见下面描述)	A
[407:402]	ERASE_TIMEOUT	SR	UNIT_OF_ERASE_AU 指定的擦除区域的超时时间。	(见下面描述)	A
[401:400]	ERASE_OFFSET	SR	擦除时间增加固定偏移值。	(见下面描述)	A
[399:312]	保留				
[311:0]	保留给生产厂商				

SIZE_OF_PROTECTED_AREA

对于标准容量卡(SDSC)和高容量卡(SDHC/SDXC)设置该位域不同。

对于标准容量卡(SDSC)，受保护区域容量计算方式如下:

受保护区域 = SIZE_OF_PROTECTED_AREA_* MULT * BLOCK_LEN。
SIZE_OF_PROTECTED_AREA 以 MULT*BLOCK_LEN 为单位。

对于高容量卡(SDHC/SDXC)，受保护区域容量计算方式如下：
受保护区域 = SIZE_OF_PROTECTED_AREA 。
SIZE_OF_PROTECTED_AREA 以字节为单位。

SPEED_CLASS

这 8 位字段表示速度等级。

00h: Class 0
01h: Class 2
02h: Class 4
03h: Class 6
04h: Class 10
05h-FFh: 保留

PERFORMANCE_MOVE

这 8 位域指示 Pm，该值可被设为以 1MB/秒为单位。如果卡不用 RU 移动数据，应该认为 Pm 是无穷大。设置这个域为 FFh 表示无穷大。Pm 的最小值由*表 29-25. 移动性能字段*中定义。

表 29-25. 移动性能字段

PERFORMANCE_MOVE	数值定义
00h	顺序写入
01h	1 [MB/sec]
02h	2 [MB/sec]
.....	.....
FEh	254 [MB/sec]
FFh	无穷大

AU_SIZE

这 4 位字段指示 AU 大小，数值是 16K 字节为单位 2 的幂次的倍数。

表 29-26. AU_SIZE 字段

AU_SIZE	数值定义
0h	未定义
1h	16 KB
2h	32 KB
3h	64 KB
4h	128 KB
5h	256 KB
6h	512 KB
7h	1 MB
8h	2 MB
9h	4 MB
Ah	8 MB

AU_SIZE	数值定义
Bh	12 MB
Ch	16 MB
Dh	24 MB
Eh	32 MB
Fh	64 MB

最大 AU 大小，取决于卡的容量，由*表 29-26. AU_SIZE 字段*中定义。卡可以任意的设置 AU 大小(由*表 29-27. 最大 AU 大小*定义)，只要小于或等于该卡容量所允许的最大 AU 大小。卡应该尽可能小地设置 AU 尺寸。

表 29-27. 最大 AU 大小

卡容量	最大 64MB	最大 256MB	最大 512MB	最大 32GB	最大 2TB
最大 AU 大小	512 KB	1 MB	2 MB	4 MB	64MB

ERASE_SIZE

这 16 位字段表示 N_{ERASE}。当 N_{ERASE} 个数的 AU 被擦除，超时时间由 ERASE_TIMEOUT 规定(参考 ERASE_TIMEOUT)。主机应确定在一次操作中要被擦除的 AU 的适当数目，以便主机可以预示擦除操作的进度。如果该字段设置为 0，则不支持擦除的超时计算。

表 29-28. 擦除大小字段

ERASE_SIZE	数值定义
0000h	不支持擦除的超时计算。
0001h	1 AU
0002h	2 AU
0003h	3 AU
.....	.....
FFFFh	65535 AU

ERASE_TIMEOUT

这 6 位字段表示 T_{ERASE}，当 ERASE_SIZE 指示的多个 AU 被擦除时，这个数值给出了从偏移量算起的擦除超时时间。ERASE_TIMEOUT 的范围可以被定义为最多 63 秒，卡的制造商可以根据具体实现选择 ERASE_SIZE 和 ERASE_TIMEOUT 的任意组合。一旦 ERASE_TIMEOUT 被确定下来，那么 ERASE_SIZE 也确定了。主机可以通过以下公式计算任意数目的 AU 的擦除超时时间：

$$\text{Erase timeout of X AU} = \frac{T_{ERASE}}{N_{ERASE}} * X + T_{OFFSET} \quad (29\text{-}1)$$

表 29-29. 擦除超时字段

ERASE_TIMEOUT	数值定义
00	不支持擦除的超时计算
01	1 秒
02	2 秒
03	3 秒
.....	.....

ERASE_TIMEOUT	数值定义
63	63 秒

如果 ERASE_SIZE 字段被设置为 0，则该字段应该设置为 0。

ERASE_OFFSET

这 2 位字段表示 T_{OFFSET}，可以选择如*表 29-30. 擦除偏移字段*所示的四个数值之一。若 ERASE_SIZE 和 ERASE_TIMEOUT 字段都设为 0，该字段无意义。

表 29-30. 擦除偏移字段

ERASE_OFFSET	数值定义
0h	0 秒
1h	1 秒
2h	2 秒
3h	3 秒

29.6. 编程序列

29.6.1. 卡识别

主机复位后进入卡识别模式，寻找总线上的新卡。在卡识别模式下，主机复位所有的卡，验证工作电压范围，识别卡并询问每个卡的相对卡地址(RCA)。这个操作是在每个卡自己的命令信号线 CMD 上分别完成的。在卡识别模式中的所有数据通信只使用命令信号线(CMD)。

在卡识别过程中，卡应该工作在时钟频率为时钟速率 F_{OD} (400 kHz)的情况下。

卡复位

命令 GO_IDLE_STATE(CMD0)是软件复位命令，并设置 MMC 和 SD 存储卡进入空闲状态(Idle State)，不管当前卡的状态是什么。复位命令(CMD0)仅用于存储器或组合卡的存储器部分。为了重置只有 I/O 卡或组合卡的 I/O 部分，使用 CMD52 写 1 到 CCCR 的 RES 位。在非激活状态(Inactive State)的卡不受此命令的影响。

主机上电后，所有的卡都处于空闲状态(Idle State)，包括之前已在非激活状态(Inactive State)的卡。上电或 CMD0 后，所有卡的 CMD 线处于输入模式，等待下一个命令的起始位。这些卡都是用缺省的相对卡地址(RCA)初始化，并用默认 400 kHz 的时钟频率驱动器。

工作电压范围验证

在主机和卡之间开始通信时，主机可能不知道卡支持的电压，并且卡可能不知道主机能否提供其支持的电压。为了验证电压，下面的命令都在相关规范中定义。

在协议规范中定义的命令包括：SEND_OP_COND(CMD1 用于 MMC)，SD_SEND_OP_COND(ACMD41 用于 SD 存储卡)，IO_SEND_OP_COND(CMD5 用于 SD I/O 卡)，这些命令提供给主机一种机制去识别和拒绝那些不匹配主机所需的 V_{DD} 范围的卡。这

是由主机发送所需的 V_{DD} 电压窗口作为此命令的操作数来实现的。如果卡不能在指定的范围内进行数据传输，必须从总线断开并进入非激活状态(Inactive State)。否则，该卡将响应返回它的 V_{DD} 范围。

如果该卡可以工作在所提供的电压下，响应将返回供电电压和在命令参数中设置的检查模式。

如果该卡不能在提供的电压下工作，它不返回响应，并保持在空闲状态。初始化 SDHC 卡时强制性的在 ACMD41 命令之前发送 CMD8。收到 CMD8 是让该卡知道主机支持物理层 2.00 协议及卡支持高版本的功能。

卡识别过程

对于不同的卡，卡的识别过程不同。这些卡包括 MMC、CE-ATA、SD，或 SD I/O 卡。支持所有类型的 SD I/O 卡，即 SDIO_IO_ONLY 卡、SDIO_MEM_ONLY 卡和 SDIO COMBO 卡。卡识别过程步骤如下：

1. 检测卡是否连接。

2. 识别卡的类型：SD 卡、MMC(CE-ATA)或 SD I/O 卡。
   - 发送 CMD5 命令。如果主机接收到响应，则是 SD I/O 卡；
   - 如果没有响应，发送 ACMD41。如果主机接收到响应，则是 SD 卡；
   - 否则，是 MMC 或者 CE-ATA 设备。

3. 根据卡的类型初始化卡。

使用 F_{OD} (400 KHz)为时钟源，并按照下列命令顺序发送命令：
   - SD 卡 - 发送 CMD0，ACMD41，CMD2，CMD3；
   - SDHC 卡 - 发送 CMD0，CMD8，ACMD41，CMD2，CMD3；
   - SD I/O 卡 - 如果卡没有存储器端口，发送 CMD52，CMD0，CMD5，CMD3；否则，发送 CMD52，CMD0，CMD5，ACMD41，CMD11 (可选)，CMD2，CMD3；
   - MMC/CE-ATA - 发送 CMD0，CMD1，CMD2，CMD3。

4. 识别 MMC/CE-ATA 设备。
   - CPU 应该通过发送 CMD8 查询 EXT_CSD 寄存器的 504 字节(S_CMD_SET)。如果第 4 位被设置为 1，则该设备支持 ATA 模式；
   - 如果支持 ATA 模式，CPU 应通过设置 EXT_CSD 寄存器的 191 字节(CMD_SET)的(第 4 位)ATA 位选择 ATA 模式，以激活使用 ATA 命令集。 CPU 使用 SWITCH(CMD6)命令选择命令集；
   - 如果 CE-ATA 设备存在，FAST_IO(CMD39)和 RW_MULTIPLE_REGISTER(CMD60)命令将会成功，并且返回的数据将会是 CE-ATA 复位签名。

29.6.2. 无数据命令

发送任何无数据命令时，软件需要用适当的参数设置 SDIO_CMDCTL 寄存器和 SDIO_CMDAGMT 寄存器。通过这两个寄存器，主机形成命令，并将其发送到命令总线上。主机通过 SDIO_STAT 寄存器的错误标志来反映命令响应的错误。

当接收到响应时，主机设置 SDIO_STAT 寄存器 CMDRECV(CRC 校验通过)位或

CCRCERR(CRC 校验失败)位为 1。短响应被复制到 SDIO_RESP0，而长响应被复制到所有四个响应寄存器。SDIO_RESP3 寄存器的第 31 位代表的长响应的最高位，而 SDIO_RESP0 寄存器的第 0 位表示长响应最低位。

29.6.3. 单个数据块或多个数据块写

在发送块写入命令(CMD24 - CMD27)时，一个或多个数据块从主机传到卡。数据块由起始位(1 位或 4 位低电平)，数据块，CRC 和结束位(1 位或 4 位高电平)组成。如果 CRC 失败，则卡通过 SDIO_DAT 线指示传输失败，传送数据被丢弃而不写入，并且后续发送的数据块将被忽略。

如果主机传输的部分数据累积长度不是数据块对齐，并且块错位是不允许的(未设置 CSD 参数 WRITE_BLK_MISALIGN)，卡将在第一个未对齐块的开始之前检测块错位错误(设置状态寄存器的 ADDRESS_ERROR 错误位)，并同时忽略后续的数据传输。如果主机试图写一个写保护区的数据，写操作也将被终止。在这种情况下，卡将设置状态寄存器中 WP_VIOLATION 位。

设置 CID 和 CSD 寄存器不需要先设置块长度，传送的数据也通过 CRC 保护。如果 CSD 或 CID 寄存器的一部分被存储在 ROM 中，那么不可改变部分必须与接收缓冲区的对应部分相匹配。如果匹配失败，卡将报告一个错误同时不改变任何寄存器的内容。

一些卡可能需要很长的或者不可预测的时间写入一个数据块。接收一个数据块并完成 CRC 校验后，卡将开始写操作，如果写缓冲区已满则保持 DAT0 线拉低，并且无法通过新的命令 WRITE_BLOCK 接收新的数据。主机可以在任何时间用 SEND_STATUS 命令(CMD13)查询卡的状态，并且卡将返回当前状态。状态位 READY_FOR_DATA 表示卡是否可以接受新的数据或写入操作是否仍在进行中。主机可以通过发出 CMD7 命令不选中该卡(选择另外的卡)，将该卡置于断开状态(Disconnect State)，并释放 DAT 信号线而不中断写操作。当重新选择卡，如果写操作仍在进行中并且写缓冲区不可用，它会拉低 DAT 信号线重新激活忙指示。

对于 SD 卡。设置一些块被预擦除(ACMD23)操作将使多块写操作比没有 ACMD23 操作更快。主机将使用此命令来定义下一次操作将会有多少个数据块被发送。

单块或多块写操作步骤为：

1. 在 SDIO_DATALEN 寄存器中设置数据大小(以字节为单位)。
2. 在 SDIO_DATACTL 寄存器中设置数据块大小(BLKSZ，以字节为单位)；主机每次发送 BLKSZ 大小的数据块。
3. 在 SDIO_CMDAGMT 寄存器中设置数据应该被写入的地址。
4. 设置 SDIO_CMDCTL 寄存器。对于 SD 存储卡和 MMC 卡，使用 CMD24 命令为单块写和 CMD25 命令为多块写。对于 SD I/O 卡，使用 CMD53 命令来进行单块和多块传输。对于 CE-ATA，先用 CMD60 写 ATA 任务文件，然后使用 CMD61 命令写入数据。在写 CMD 寄存器之后，主机开始执行一个命令，当该命令被发送到总线时，CMDRECV 标志被设置。
5. 将数据写入 SDIO_FIFO。
6. 软件应查询数据错误中断。如果需要，软件可以通过发送停止命令(CMD12)终止数据传输。
7. 当收到 DTEND 中断时，数据传送结束。对于开放式的块传输，如果字节计数为 0，则软件必须发送 STOP 命令。如果字节计数不为 0，则在给定的字节数传送结束时，主机应该发送停止命令。

29.6.4. 单个数据块或多个数据块读

读数据块是基于块的数据传输。数据传输的基本单位是块，最大块大小在 CSD(READ_BL_LEN)中被定义，块的大小始终是 512 字节。如果 READ_BL_PARTIAL(在 CSD 中)被设置时，更小的块也可以被传输，其开始和结束地址被完全包含在 512 个字节的边界中。

CMD17(READ_SINGLE_BLOCK)表示开始读一个数据块，完成传输后卡返回发送状态。CMD18(READ_MULTIPLE_BLOCK)开始读连续的数据块。为了确保数据传输的完整性，每个数据块后都有一个 CRC 校验。

块长度由 CMD16 设置，可以设置为 512 字节而忽略 READ_BL_LEN 的设置。

数据块将不断传输，直到主机发出 STOP_TRANSMISSION 命令(CMD12)。由于串行命令传输原因，停止命令有一个执行的延迟。在停止命令的结束位之后停止数据传输。

当使用 CMD18 读到用户区的最后一个块时，主机应该忽略可能会出现的 OUT_OF_RANGE 错误，即使序列是正确的。

如果主机传输的部分块的累积长度不是块对齐并且不允许块错位，卡将在第一个未对齐块的开始检测出块错位，并设置状态寄存器的 ADDRESS_ERROR 错误位，中断传输和等待在数据状态的停止命令。

单块或多块读操作步骤为：

1. 在 SDIO_DATALEN 寄存器中设置数据大小的字节数。
2. 在 SDIO_DATACTL 寄存器中设置块大小(BLKSZ)。主机每次从卡中读取 BLKSZ 大小的数据。
3. 在 SDIO_ CMDAGMT 寄存器中设置需要读取数据的开始地址。
4. 设置 SDIO_ CMDCTL 寄存器。对于 SD 和 MMC 卡，使用 CMD17 用于单块读取和 CMD18 为多块读取。对于 SD I/O 卡，使用 CMD53 用于单块和多块传输。对于 CE-ATA，先用 CMD60 写 ATA 任务文件，然后使用 CMD61 来读取数据。设置 CMD 寄存器之后，主机开始执行该命令，当该命令被发送到总线时，CMDRECV 标志被设置。
5. 软件应查询数据错误中断。如果需要，软件可以通过发送停止命令(CMD12)终止数据传输。
6. 软件应从 FIFO 中读数据，并腾出 FIFO 的空间用于接收更多的数据。
7. 当收到 DTEND 中断时，软件应读出 FIFO 中剩余的数据。

29.6.5. 数据流写和数据流读(仅适用于 MMC)

数据流写

数据流写(CMD20)开始从主机将数据传送到卡，从起始地址开始，直到主机发出停止命令。如果允许部分块传输(如果 CSD 参数 WRITE_BL_PARTIAL 被设置)，数据流可以在卡地址空间内的任何地址启动和停止，否则应仅在块边界启动和停止。由于不预先确定要传输的数据量，CRC 不能使用。

如果主机提供了一个超出范围的地址作为参数传递给 CMD20，卡将拒绝该命令，留在传输状态，并将 ADDRESS_OUT_OF_RANGE 置位。

需要注意的是数据流写命令只适用于 1 位总线配置(DAT0 信号线上)。如果 CMD20 在其它总线配置中发出的，它被认为是非法的命令。

为了使卡保持在流模式的数据传输，接收数据所花费的时间(由总线时钟速率定义)必须比它需要写入到主存储器字段(由卡定义在 CSD 寄存器)的时间少。因此，流写入操作最大的时钟频率由下面给出的公式计算：

$$\text{max write frequence} = \min\left(\text{TRAN_SPEED}, \frac{8*2^{\text{WRITE_BL_LEN}}-100*\text{NSAC}}{\text{TAAC}*\text{R2W_FACTOR}}\right) \quad (29\text{-}2)$$

其中，TRAN_SPEED：最大的总线时钟频
WRITE_BL_LEN：最大写数据块长度
NSAC：以 CLK 周期计算的数据读访问时间 2
TAAC：数据读访问时间 1
R2W_FACTOR：写速度因子

所有的参数在 CSD 寄存器中定义。如果主机试图使用更高频率，卡可能不能够对数据进行处理，并将停止编程，同时忽略所有后续的数据传输并等待(在接收数据状态)一个停止指令。由于主机发送 CMD12，该卡将 TXURE 位置位并返回传输状态。

数据流读

由 READ_DAT_UNTIL_STOP(CMD11)控制数据流的数据传输。此命令指示卡从指定地址发送数据，直到主机发送一个 STOP_TRANSMISSION(CMD12)命令。由于串行命令传输停止的原因，命令有一个执行的延迟。停止命令的结束位之后数据传输停止。

如果主机提供了一个超出范围的地址作为参数传递给 CMD11，该卡将拒绝该命令，留在传输状态，并将 ADDRESS_OUT_OF_RANGE 位置位。

需要注意的是数据流读取命令只工作在 1 位总线配置(DAT0 信号线)。如果 CMD11 在其它总线配置中发出的，它被认为是非法的命令。

如果数据传输的地址到达存储范围的结束处时，主机还没有发送停止命令，则后续传输的有效载荷的内容是不确定的。由于主机发送 CMD12 命令，卡将 ADDRESS_OUT_OF_RANGE 位置位并返回传输状态。

为了使卡保持在流模式的数据传输，传输数据所花费的时间(由总线时钟速率定义)必须比它需要从主存储器字段(在 CSD 寄存器中由卡定义)读出的时间少。因此，流读取操作最大的时钟频率由下面给出的公式计算：

$$\text{max read frequence} = \min\left(\text{TRAN_SPEED}, \frac{8*2^{\text{READ_BL_LEN}}-100*\text{NSAC}}{\text{TAAC}*\text{R2W_FACTOR}}\right) \quad (29\text{-}3)$$

其中，TRAN_SPEED: 最大总线时钟频率
READ_BL_LEN: 最大读数据块长度
NSAC: 以 CLK 周期计算的数据读访问时间 2
TAAC: 数据读访问时间 1
R2W_FACTOR: 写速度因子

所有的参数在 CSD 寄存器中定义。如果主机试图使用更高频率，卡可能不能够对数据进行处

理，并将停止编程，同时忽略所有后续的数据传输并等待(在接收数据状态)一个停止指令。由于主机发送 CMD12，该卡将 RXORE 位置位并返回传输状态。

29.6.6. 擦除

MMC/ SD 存储卡的可擦除单位是"擦除组"，擦除组是以写数据块计算的，写数据块是卡的基本写入单元。擦除组的大小是一个卡特定的参数，在 CSD 中定义。

主机可以擦除连续范围的擦除组。开始擦除操作有三个步骤。首先，主机使用 ERASE_GROUP_START(CMD35)/ ERASE_WR_BLK_START(CMD32)命令定义了连续范围内的开始地址，然后使用 ERASE_GROUP_END(CMD36)/ ERASE_WR_BLK_END(CMD33)命令定义了连续范围内的结束地址，最后发送 ERASE(CMD38)命令启动擦除操作。在擦除命令中的地址字段是以字节为单位的擦除组地址。卡会舍弃未与擦除组大小对齐的部分，把地址边界对齐到擦除组的边界。

如果未按照定义的步骤接收到擦除命令(CMD35，CMD36 和 CMD38)，卡应设置状态寄存器的 ERASE_SEQ_ERROR 位，并重置整个序列。

如果主机提供了一个超出范围的地址作为参数传递给 CMD35 或 CMD36，卡将拒绝该命令，同时设置 ADDRESS_OUT_OF_RANGE 位，并重置整个擦除序列。

如果收到"非擦除"命令(既不是 CMD35，CMD36，CMD38 也不是 CMD13)，卡应该设置 ERASE_RESET 位，重置擦除序列并执行最后一个命令。

如果擦除范围包括写保护块，它们应不被擦除，只有非保护块被擦除。应设置状态寄存器的 WP_ERASE_SKIP 状态位。

如上所述，对于块写入，卡将通过保持 DAT0 为低来指示擦除过程正在进行。实际擦除时间可能很长，主机可以发送 CMD7 命令以取消选择该卡。

29.6.7. 总线宽度选择

在主机已经验证了总线上的功能引脚后，卡初始化后可以改变总线宽度的配置。

对于 MMC 卡，使用 SWITCH 命令(CMD6)。总线宽度的配置是通过在 EXT_CSD 寄存器模式字段的 BUS_WIDTH 字节设置而改变的。上电或软件复位后，BUS_WIDTH 字节的内容为 0x00。如果主机试图写一个无效的值时，BUS_WIDTH 字节不会改变，同时设置 SWITCH_ERROR 位，另外该寄存器是只写的。

对于 SD 存储卡，使用 SET_BUS_WIDTH 命令(ACMD6)改变总线宽度。上电或 GO_IDLE_STATE 命令(CMD0)后默认总线宽度为 1 位。SET_BUS_WIDTH(ACMD6)仅在传送状态有效，这表明仅在由 SELECT/DESELECT_CARD (CMD7)命令选择卡之后总线宽度才可以改变。

29.6.8. 保护管理

为了允许主机保护数据，使得其不被擦除或改写，有三种卡保护方式：

CSD 寄存器用于卡保护(可选的)

通过在 CSD 寄存器中设置永久或临时的写保护位,整个卡可以被写保护。一些卡通过设置 CSD 的 WP_GRP_ENABLE 位支持一组扇区的写保护。它的大小在 CSD 寄存器中的 WP_GRP_SIZE 单元定义。SET_WRITE_PROT 命令设置指定写保护组的写保护，CLR_WRITE_PROT 命令清除指定写保护组的写保护。

高容量 SD 存储卡不支持写保护，不响应写保护命令(CMD28，CMD29 和 CMD30)。

写保护开关(SD 存储卡和 SD I/O 卡)

在卡的侧面有一个机械的滑动开关，提供给用户设置是否对卡进行写保护。如果滑动片处在窗口打开的位置表明该卡被写保护。如果在窗口关闭的位置则卡没有写保护。

卡密码上锁/解锁

卡密码上锁/解锁的保护方式在章节 *卡上锁/解锁操作* 中描述。

29.6.9. 卡上锁/解锁操作

密码保护的功能允许主机使用密码锁住卡，当解锁卡的时候也使用该密码。其中密码存储在 128 位的 PWD 寄存器当中，密码的长度存储在 PWD_LEN 的 8 位寄存器中。这些寄存器是非易失性的，以至于电源开关不会清除他们。

已经上锁的卡支持所有的基本命令(class 0)，ACMD41，CMD16 和锁卡命令(class 7)。因此主机可以对卡进行复位，初始化，选择，状态查询，但是无法获取卡上的数据。如果卡之前被设置过密码(PWD_LEN 的值不为 0)，卡在每次上电后会自动上锁。

与存在的 CSD 寄存器写命令相同，上锁/解锁命令也只在卡的传输态有效。这意味着，上锁/解锁命令不包含地址参数，且必须在使用该命令前卡必须被选中。

卡上锁/解锁命令与卡单块写命令有着相同的结构和总线事务类型。传输的数据块包含命令所有需要的信息(密码设置模式，密码本身，卡上锁/解锁等)。*表 29-31. 上锁/解锁数据结构* 为上锁/解锁命令的结构。

表 29-31. 上锁/解锁数据结构

Byte	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	保留(全设置为 0)				ERASE	LOCK_UNLOCK	CLR_PWD	SET_PWD
1	PWDS_LEN							
2	密码数据(PWD)							
……								
PWDS_LEN+1								

ERASE: 该位为 1 时定义了强制擦除操作。字节 0 的位 3 将被设为 1(其他位应为 0)。所有该命令的其他字节将被卡忽略。

LOCK/UNLOCK: 1 = 上锁，0 = 解锁。注意，此位可以和 SET_PWD 一起设置，不可以和

CLR_PWD 一起设置。

CLR_PWD: 1 = 清除 PWD.

SET_PWD: 1 = 设置新的密码到 PWD

PWDS_LEN: 定义密码长度(字节)。在改变密码的情况下，这个长度应该是新旧密码长度之和。密码长度可达 16 个字节。在密码替换的情况下，新旧密码长度总和可达 32 个字节。

密码数据(PWD): 在设置一个新密码的情况下，它包含这个新的密码。如果修改密码，它包含旧的密码，后面是设置的新密码。

设置密码

- 如果卡之前未被选中，使用 CMD7 选中卡。
- 使用 CMD16 定义数据块长度，8 位卡上锁/解锁模式，8 位密码长度(字节为单位)，新密码的字节数。在密码替换完成的情况下，块的大小应考虑新旧密码都会与命令一起被发送出去。
- 在数据线上，以合适的数据块大小发送卡上锁/解锁命令，包含 16 位的 CRC。数据块应指示模式(SET_PWD)，密码长度(PWDS_LEN)和密码本身。在密码替换完成的情况下，密码长度值(PWDS_LEN)应为新旧密码长度之和，密码数据字段应包括旧的密码(当前使用)，后面是新的密码。需要注意的是卡需要内部处理新密码长度的计算，通过从 PWDS_LEN 字段减去旧密码长度。
- 当发送的旧密码不正确(大小和内容不相同)，状态寄存器中的 LOCK_UNLOCK_FAILED 会被置位，并且旧的密码不会改变。如果发送的旧密码正确(大小和内容相同)，新的密码数据及其长度会分别保存在 PWD 和 PWD_LEN 中。

复位密码

- 如果卡之前未被选中，使用 CMD7 选中卡。
- 使用 CMD16 定义数据块长度，8 位卡上锁/解锁模式，8 位密码长度(字节为单位)，当前使用的密码的字节数。
- 在数据线上，以合适的数据块大小发送卡上锁/解锁命令，包含 16 位的 CRC。数据块指示模式(SET_PWD)，密码长度(PWDS_LEN)和密码本身。如果 PWD 和 PWD_LEN 的内容与发送的密码和其大小匹配，PWD 寄存器的内容会被清除，同时 PWD_LEN 被设为 0。如果密码不正确，状态寄存器中的 LOCK_UNLOCK_FAILED 会被置位。

卡上锁

- 如果卡之前未被选中，使用 CMD7 选中卡。
- 使用 CMD16 定义数据块长度，8 位卡上锁/解锁模式，8 位密码长度(字节为单位)，当前使用的密码的字节数。
- 在数据线上，以合适的数据块大小发送卡上锁/解锁命令，包含 16 位的 CRC。数据块指示 LOCK 模式，密码长度(PWDS_LEN)和密码本身。

如果 PWD 内容等于发送的密码，卡将会被上锁，并且状态寄存器中卡上锁状态位(CARD_IS_LOCKED)会被置位。如果密码不正确，状态寄存器中 LOCK_UNLOCK_FAILED 会

被置位。

卡解锁

- 如果卡之前未被选中，使用 CMD7 选中卡。
- 使用 CMD16 定义数据块长度，8 位卡上锁/解锁模式，8 位密码长度(字节为单位)，当前使用的密码的字节数。
- 在数据线上，以合适的数据块大小发送卡上锁/解锁命令，包含 16 位的 CRC。数据块指示 UNLOCK 模式，密码长度(PWDS_LEN)和密码本身。

如果 PWD 内容等于发送的密码，卡将会被解锁，并且状态寄存器中卡上锁状态位(CARD_IS_LOCKED)会被清除。如果密码不正确，状态寄存器中 LOCK_UNLOCK_FAILED 会被置位。

29.7. 特定操作

29.7.1. SD I/O 特定操作

SD I/O 卡(包括仅 IO 卡和组合卡)支持这些特定操作：

读等待操作
暂停/恢复操作
中断

只有在 SDIO_ DATACTL [11]位被设置时， SD I/O 才支持这些操作，但暂停读操作除外，因为它不需要特定的硬件实现。

SD I/O 读等待操作

读等待(RW)操作是可选择的，仅用于 SD I/O 的 1 位和 4 位模式。读等待操作允许一个主机给卡在执行一个读多个块(CMD53)操作时发信号，以暂时停止数据传输，同时允许主机发送命令到 SD I/O 卡内任何功能函数。如果要判断一个卡是否支持读等待协议，主机应测试 CCCR 的卡功能字节的 SRW 功能位。读等待时序是基于中断周期的。如果卡不支持读等待协议，只能表明主机在读取多个命令控制 SDIO_CLK 时已经暂停(不中止)数据。这种方法的局限是，随着时钟停止，主机不能发出任何命令，所以在延迟期间不能执行其他操作。支持读等待的卡是强制性支持暂停和恢复的。*图 29-12. 通过停止 SDIO_CLK 的读等待操作*和*图 29-13. 使用 SDIO_DAT[2]信号线的读等待操作*所示为通过停止 SDIO_CLK 和使用 SDIO_DAT[2]读等待模式。

图 29-12. 通过停止 SDIO_CLK 的读等待操作

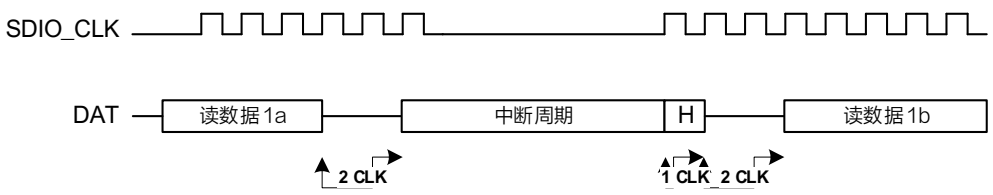
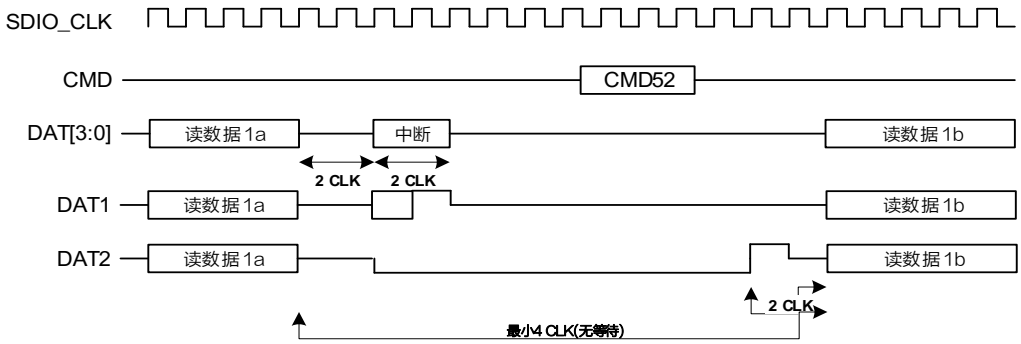


图 29-13. 使用 SDIO_DAT[2]信号线的读等待操作



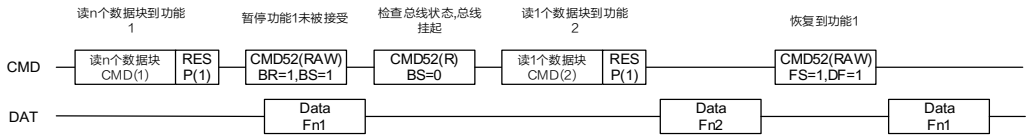
在接收到数据块之前就可以开始读等待：当数据单元使能(设置 SDIO_DATACTL[0]位)，SD I/O 特定操作使能(设置 SDIO_DATACTL[11]位)，开始读等待(SDIO_DATACTL[10] = 0 并且 SDIO_DATACTL[8] = 1)，数据方向为从卡到 SD I/O 主机 (SDIO_DATACTL[1] = 1)，DSM 直接从空闲状态到读等待状态。在读等待时，2 个 SDIO_CLK 时钟周期后，DSM 驱动 SDIO_DAT[2]为 0。在这种状态下，当设置了 RWSTOP 位(SDIO_DATACTL[9])时，DSM 会在等待状态多停留 2 个 SDIO_CLK 时钟周期，并在一个时钟周期中驱动 SDIO_DAT[2]为 1。然后 DSM 再次开始等待直到从卡里接收到数据。在接收数据块时，即使设置了开始读等待，DSM 也不会开始一个读等待间隔，读等待将在收到 CRC 后开始。必须清除 RWSTOP 才能开始新的读等待操作。在读等待期间，SDIO 主机可以在 SDIO_DAT[1]上监测 SD I/O 中断。

SD I/O 暂停/恢复操作

对于多功能 SD I/O 或组合卡，它们有多个设备(I/O 和存储)共享 SD 总线。为了允许主机同时访问多个设备，SD I/O 和组合卡可以实现可选的暂停/恢复操作。如果卡支持暂停/恢复，为了给其他的功能或者存储器提供更高优先级的传输而释放总线，主机可以暂停某个功能或者存储器的数据传输。一旦高优先级的传输完成后，原来的传输在暂停处重新开始。

*图 29-14. 在功能 1 的多块读周期期间插入功能 2 读周期*显示第一次暂停请求没有立即接受的条件。然后主机检查一个读请求的状态，并确定该总线已被释放(BS = 0)。此时，功能 2 的读操作被启动。一旦读取单个块完成，恢复发送功能，从而恢复数据传输(DF = 1)。

图 29-14. 在功能 1 的多块读周期期间插入功能 2 读周期



当主机向卡发送数据时，主机可以暂停写操作。设置 SDIO_CMDCTL[11]位并指示 CSM 当前的命令是一个暂停命令。CSM 分析响应，当从卡收到响应时(暂停被接受)，它确认 DSM 在收到当前数据块的 CRC 后进入空闲状态。

为了暂停读操作，DSM 在 WaitR 状态等待，在停止数据传输之前，当功能被挂起时一个完整的数据包。随后应用程序继续读出接收 FIFO 直到 FIFO 为空，最后 DSM 自动地进入空闲状态。

中断

为了允许 SD I/O 卡中断主机，SD 接口增加了一个中断功能的引脚。在 4 位模式下，引脚 8 被用作 SDIO_DAT[1]，它被用于卡到主机的中断信号。对于每张卡中断的功能是可选的。SD I/O 中断"电平敏感"，即中断线应保持有效(低)直到卡要么被主机认可并采取行动，要么或者由于中断周期结束而解除有效状态。一旦主机服务中断，通过函数的唯一 I/O 操作清除中断。

当设置 SDIO_DATACTL[11]位，SD I/O 中断可以在 SDIO_DAT[1]信号线上检测到。

*图 29-15. 读中断周期时序*显示单个数据读周期的中断周期时序。

图 29-15. 读中断周期时序

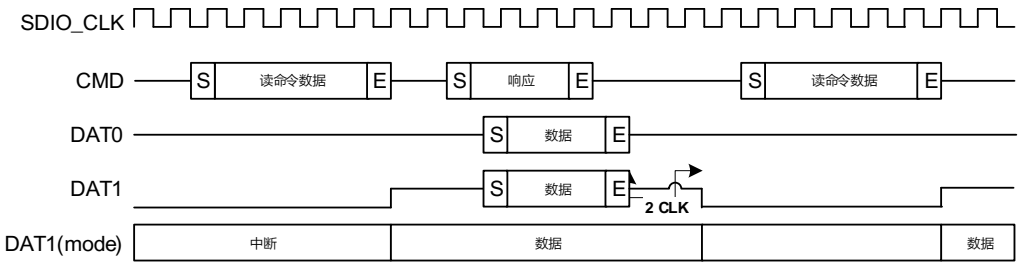
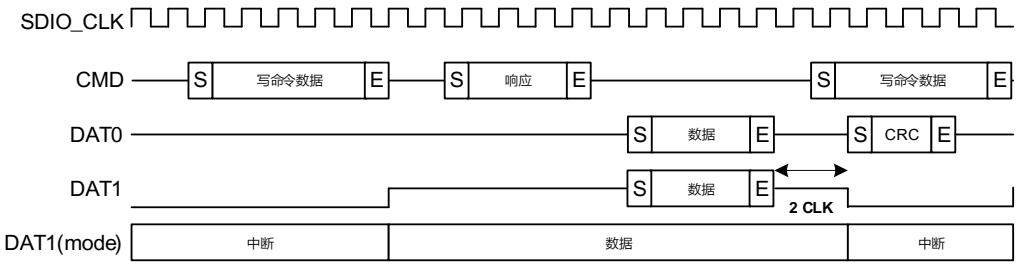


图 29-16. 写中断周期时序



当在 4 位 SD 模式传送数据的多个块时，需要中断周期的特定的定义。为了运行通信的最高速度，中断周期限制在 2 个时钟周期。卡如果想向主机发送一个中断信号，应该在第一个时钟周期设置 DAT1 为低，第二个时钟周期设置 DAT1 为高。然后卡应释放 DAT1 进入 Hi-Z 状态。*图 29-17. 4 位模式下多块读中断周期时序*显示了 4 位的多块读取时中断操作，*图 29-18. 4 位模式下多块写中断周期时序*显示了 4 位的多块写入时的中断操作。

图 29-17. 4 位模式下多块读中断周期时序

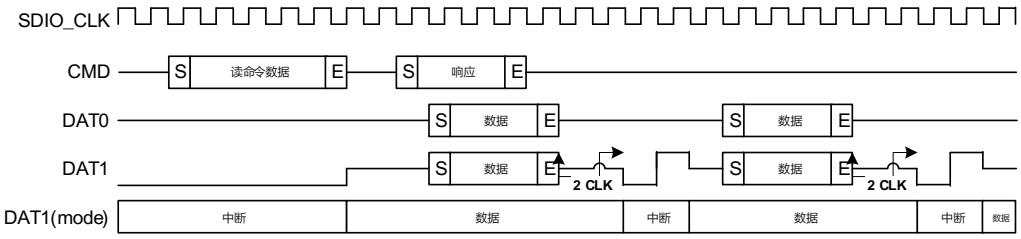
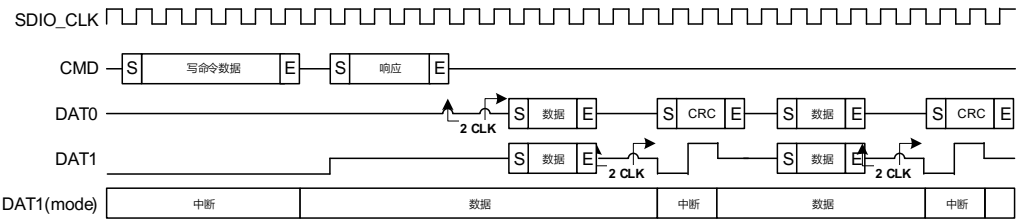


图 29-18. 4 位模式下多块写中断周期时序



29.7.2. CE-ATA 特定操作

CE-ATA 设备支持下述特定操作：

接收命令完成信号
发送命令完成关闭信号

只有当设置了 SDIO_CMDCTL[14]位时，SDIO 才支持这些操作。

命令完成信号

CE-ATA 定义了命令完成信号，设备使用该信号通知主机正常 ATA 命令完成或者由于设备遇到一个错误条件，ATA 命令终止。

如果"启用 CMD 完成"位 SDIO_CMDCTL[12]被设置并且"不中断使能'位 SDIO_CMDCTL[13]被设置，CSM 等待在 Waitcompl 状态的命令完成信号。

当在 CMD 线上接收到起始位，CSM 进入空闲状态。在 7 位周期之内不能发送新的命令。然后，在 5 个时钟周期内，把 CMD 信号变为 1(推挽模式)。

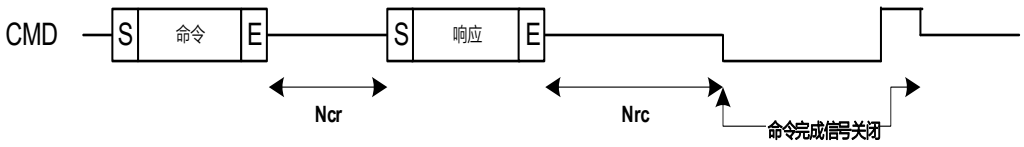
在主机从设备检测到一个命令完成信号之后，应该发送 FAST_IO(CMD39)命令来读取 ATA 状态寄存器以确定 ATA 命令的结束状态。

命令完成关闭信号

主机可以通过发送命令完成关闭信号来取消设备返回命令完成信号的功能。只有当主机在发送 RW_MULTIPLE_BLOCK (CMD61)之后接收到 R1b 响应后才能发送命令完成关闭信号。

如果未设置 SDIO_CMDCTL[12]中的"使能命令完成信号"并且重置了 SDIO_CMDCTL[13]中的"非中断使能位"，则在收到一个短响应后的 8 位周期之后，发出命令完成关闭信号。

图 29-19. 命令完成信号关闭操作



29.8. SDIO 寄存器

SDIO 基地址：0x4001 2C00

29.8.1. 电源控制寄存器(SDIO_PWRCTL)

地址偏移：0x00
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														PWRCTL[1:0]	
														rw	

位/位域	名称	描述
31:2	保留	必须保持复位值。
1:0	PWRCTL[1:0]	SDIO 电源控制位 这些位控制 SDIO 状态，卡输入或输出。 00：SDIO 电源关闭：SDIO CSM/DSM 复位到 IDLE，卡的时钟停止，没有命令/数据输出到卡 01：保留 10：保留 11：SDIO 上电

注意：两次对该寄存器写访问之间，需要至少 3 个 SDIOCLK 和 2 个 PCLK2 时钟周期，用于同步寄存器到 SDIOCLK 时钟域。

29.8.2. 时钟控制寄存器(SDIO_CLKCTL)

地址偏移：0x04
复位值：0x0000 0000

该寄存器控制输出时钟 SDIO_CLK。
该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIV[8]	保留														
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	HWCLKEN	CLKEDGE	BUSMODE[1:0]		CLKBYP	CLKPWRSAV	CLKEN	DIV[7:0]							
	rw	rw	rw		rw	rw	rw	rw							

位/位域	名称	描述

31	DIV[8]	时钟分频系数的最高位 这个域定义了输入时钟(SDIOCLK)与输出时钟间的分频系数的最高位，参考 SDIO_CLKCTL 寄存器的 0 到 7 位。
30:15	保留	必须保持复位值。
14	HWCLKEN	硬件时钟控制使能位 如果该位置位，根据系统总线是否非常忙，硬件控制 SDIO_CLK 开/关。由于硬件可以在快要下溢/上溢时关闭 SDIO_CLK，所以当该位被置位时不会有下溢/上溢错误。 0：关闭硬件时钟控制 1：开启硬件时钟控制
13	CLKEDGE	SDIO_CLK 时钟边沿选择位 0：选择 SDIOCLK 的上升沿产生 SDIO_CLK 1：选择 SDIOCLK 的下降沿产生 SDIO_CLK
12:11	BUSMODE[1:0]	SDIO 卡总线模式控制位 00：1 位 SDIO 卡总线模式 01：4 位 SDIO 卡总线模式 10：8 位 SDIO 卡总线模式
10	CLKBYP	旁路时钟使能位 该位定义了 SDIO_CLK 直接来自于 SDIOCLK 或是 SDIOCLK 分频。 0：无旁路，SDIO_CLK 时钟参考 SDIO_CLKCTL 寄存器的 DIV 位域 1：旁路时钟，SDIO_CLK 时钟直接为 SDIOCLK(SDIOCLK/1)
9	CLKPWRSAV	SDIO_CLK 时钟动态开启/关闭以节省功耗 该位在总线空闲的时候，控制 SDIO_CLK 时钟动态开启/关闭以节省功耗。 0：SDIO_CLK 时钟总是开启 1：SDIO_CLK 时钟在总线空闲时关闭
8	CLKEN	SDIO_CLK 时钟输出使能位 0：关闭 SDIO_CLK 1：开启 SDIO_CLK
7:0	DIV[7:0]	时钟分频 该个域和 DIV[8]位定义了分频因子来向卡产生 SDIO_CLK 时钟。如果 CLKBYP 位为 0，SDIO_CLK 是由 SDIOCLK 分频得到，并且 SDIO_CLK 频率= SDIOCLK /(DIV[8:0] + 2)。

注意：两次对该寄存器写访问之间，需要至少 3 个 SDIOCLK 和 2 个 PCLK2 时钟周期，用于同步寄存器到 SDIOCLK 时钟域。

29.8.3. 命令参数寄存器(SDIO_CMDAGMT)

地址偏移：0x08
复位值：0x0000 0000

该寄存器定义了 32 位命令参数，这些参数将被用作于命令的一部分(位 39 到位 8)

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMDAGMT[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDAGMT[15:0]															
rw															

位/位域	名称	描述
31:0	CMDAGMT[31:0]	SDIO 卡命令参数 这个域定义了将被发送到卡的 SDIO 卡命令参数。这个域是命令消息的位[39:8]。如果命令消息包含一个参数，在发送命令时，这个域应该在写 SDIO_CMDCTL 寄存器前更新。

29.8.4. 命令控制寄存器(SDIO_CMDCTL)

地址偏移：0x0C
复位值：0x0000 0000

SDIO_CMDCTL 寄存器包含命令索引和其他命令控制位来控制命令状态机(CSM)。
该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	ATAEN	NINTEN	ENCMDC	SUSPEND	CSMEN	WAITDEND	INTWAIT	CMDRESP[1:0]		CMDIDX[5:0]					
	rw	rw	rw	rw	rw	rw	rw	rw		rw					

位/位域	名称	描述
31:15	保留	必须保持复位值。
14	ATAEN	CE-ATA 命令使能(仅用于 CE-ATA) 如果该位置位，主机进入 CE-ATA 模式，并且 CSM 传输 CMD61。 0：CE-ATA 失能 1：CE-ATA 使能
13	NINTEN	无 CE-ATA 中断(仅用于 CE-ATA) 该位定义了有无 CE-ATA 中断。该位仅用于 CE-ATA 卡的情况。 0：CE-ATA 中断使能 1：CE_ATA 中断失能
12	ENCMDC	使能命令完成信号(仅用于 CE-ATA) 该位定义了在 CE-ATA 上有无命令完成信号。 0：无命令完成信号 1：有命令完成信号

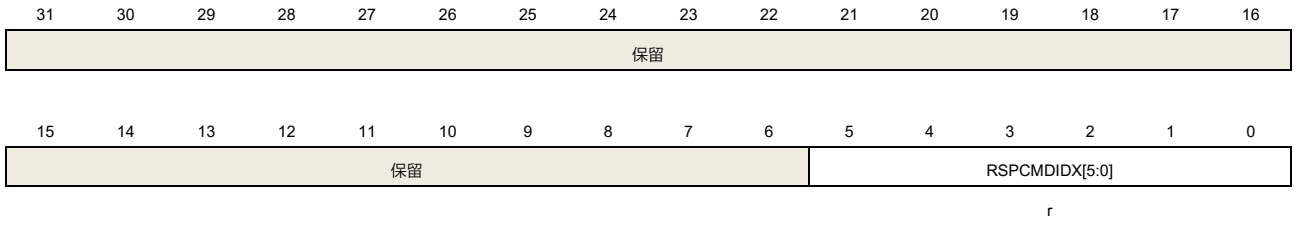
11	SUSPEND	SD I/O 暂停命令(仅用于 SD I/O) 该位定义了 CSM 是否发送了暂停命令。该位仅用于 SDIO 卡。 0：无影响 1：暂停命令
10	CSMEN	命令状态机(CSM)使能位 0：命令状态机失能(停留在 CS_Idle) 1：命令状态机使能
9	WAITDEND	等待数据传输结束 如果该位置位，命令状态机开始发送命令前需要等待数据传输结束。 0：无影响 1：等待数据传输结束
8	INTWAIT	中断等待超时 该位定义了命令状态机在 CS_Wait 状态等待卡中断。如果该位被置位，无命令等待超时生成。 0：无等待中断 1：等待中断
7:6	CMDRESP[1:0]	命令响应类型位 这些位定义了发送一个命令消息后的响应类型。 00：无响应 01：短响应 10：无响应 11：长响应
5:0	CMDIDX[5:0]	命令索引 这个域定义了将被发送到 SDIO 卡的命令索引。

注意：两次对该寄存器写访问之间，需要至少 3 个 SDIOCLK 和 2 个 PCLK2 时钟周期，用于同步寄存器到 SDIOCLK 时钟域。

29.8.5. 命令索引响应寄存器(SDIO_RSPCMDIDX)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32 位)访问



位/位域	名称	描述
31:6	保留	必须保持复位值。

5:0	RSPCMDIDX[5:0]	最后响应的命令索引 只读位域。这个域包含收到的最后命令响应的命令索引。如果响应没有命令索引(R3的长响应和短响应)，这个寄存器的内容是不未定义的。

29.8.6. 响应寄存器(SDIO_RESPx)(x=0...3)

地址偏移：0x14 + 4 * x
复位值：0x0000 0000

这些寄存器包含最后收到的卡响应的内容。
该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RESPx[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESPx[15:0]															
r															

位/位域	名称	描述
31:0	RESPx[31:0]	卡状态。响应内容由*表 29-32. 不同响应类型对应的 SDIO_RESPx 寄存器*所示。

短响应为 32 位，长响应为 127 位(位 128 是结束位 0)。

表 29-32. 不同响应类型对应的 SDIO_RESPx 寄存器

寄存器	短响应	长响应
SDIO_RESP0	卡响应[31:0]	卡响应[127:96]
SDIO_RESP1	保留	卡响应[95:64]
SDIO_RESP2	保留	卡响应[63:32]
SDIO_RESP3	保留	卡响应[31:1]，加上位 0

29.8.7. 数据超时寄存器(SDIO_DATATO)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32 位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATATO[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATATO[15:0]															
rw															

位/位域	名称	描述
31:0	DATATO[31:0]	数据超时时间 这些位定义了数据超时时间，由 SDIO_CLK 计数。当 DSM 进入 WaitR 或 BUSY 状

态，该寄存器的值加载到内部计数器开始递减。DSM 超时并进入空闲状态，当计数器的值减至 0 时设置 DTTMOUT 标志。

注意：当需要数据传输时，数据定时器寄存器和数据长度寄存器应在写数据控制寄存器前更新。

29.8.8. 数据长度寄存器(SDIO_DATALEN)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留							DATALEN[24:16]								
							rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATALEN[15:0]															
rw															

位/位域	名称	描述
31:25	保留	必须保持复位值。
24:0	DATALEN[24:0]	数据传输长度 该寄存器定义了需要传输的字节数。当数据传输开始时，数据计数器加载到这个寄存器并开始递减。

注意：如果选择了数据块传输，该寄存器的内容应该为块大小的倍数(参考 SDIO_DATACTL 寄存器)。当需要数据传输时，数据定时器寄存器和数据长度寄存器应在写数据控制寄存器前更新。

29.8.9. 数据控制寄存器(SDIO_DATACTL)

地址偏移：0x2C
复位值：0x0000 0000

该寄存器控制 DSM。该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				IOEN	RWTYPE	RWSTOP	RWEN	BLKSZ[3:0]				DMAEN	TRANSMOD	DATADIR	DATAEN
				rw	rw	rw	rw	rw				rw	rw	rw	rw

位/位域	名称	描述
31:12	保留	必须保持复位值。
11	IOEN	SD I/O 特定功能使能(仅用于 SD I/O) 0：未使能 SD I/O 特定功能

		1：使能 SD I/O 特定功能
10	RWTYPE	读等待类型(仅用于 SD I/O) 0：使用 SDIO_DAT[2] 控制读等待 1：通过停止 SDIO_CLK 控制读等待
9	RWSTOP	读等待停止(仅用于 SD I/O) 0：无影响 1：如果 RWEN 位被置位，停止读等待过程
8	RWEN	读等待模式使能(仅用于 SD I/O) 0：读等待模式失能 1：读等待模式使能
7:4	BLKSZ[3:0]	数据块大小 这些位定义了当数据传输是块传输时数据块的大小。 0000：块大小 = 2^0 = 1 字节 0001：块大小 = 2^1 = 2 字节 0010：块大小 = 2^2 = 4 字节 0011：块大小 = 2^3 = 8 字节 0100：块大小 = 2^4 = 16 字节 0101：块大小 = 2^5 = 32 字节 0110：块大小 = 2^6 = 64 字节 0111：块大小 = 2^7 = 128 字节 1000：块大小 = 2^8 = 256 字节 1001：块大小 = 2^9 = 512 字节 1010：块大小 = 2^{10} = 1024 字节 1011：块大小 = 2^{11} = 2048 字节 1100：块大小 = 2^{12} = 4096 字节 1101：块大小 = 2^{13} = 8192 字节 1110：块大小 = 2^{14} = 16384 字节 1111：保留
3	DMAEN	DMA 使能位 0：DMA 失能 1：DMA 使能
2	TRANSMOD	数据传输模式 0：块传输模式 1：流传输或 SDIO 多字节传输模式
1	DATADIR	数据传输方向 0：写数据到卡上 1：从卡中读取数据
0	DATAEN	数据传输使能位 写 1 到该位开启数据传输不管该位为 0 或 1。如果 RWEN 置位，DSM 进入到读等待状态，或者根据 DATADIR 位 DSM 进入 WaitS 或 WaitR 状态。

开始一个新的数据传输，不需要清该位为 0。

注意：两次对该寄存器写访问之间，需要至少 3 个 SDIOCLK 和 2 个 PCLK2 时钟周期，用于同步寄存器到 SDIOCLK 时钟域。

29.8.10. 数据计数寄存器(SDIO_DATACNT)

地址偏移：0x30
复位值：0x0000 0000

该寄存器为只读类型。当 DSM 从空闲状态进入 WaitR 或者 WaitS 时，该寄存器从数据长度寄存器(SDIO_DATALEN)加载数值。随着数据传输，数值不断递减直至为 0，随后 DSM 进入空闲状态并设置数据结束标志 DTEND。
该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留							DATACNT[24:16]								
							r								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATACNT[15:0]															
r															

位/位域	名称	描述
31:25	保留	必须保持复位值。
24:0	DATACNT[24:0]	数据计数值 只读位域。当读取这些位时，返回待传输剩余数据的字节数。

29.8.11. 状态寄存器(SDIO_STAT)

地址偏移：0x34
复位值：0x0000 0000

该寄存器为只读类型。下面描述标志的类型：
位[23:22, 10:0]的标志只能通过向中断清除寄存器(SDIO_INTC)中相应的位写'1'清除。
位[21:11]的标志是根据硬件逻辑而发送变化的。
该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								ATAEND	SDIOINT	RXDTVAL	TXDTVAL	RFE	TFE	RFF	TFF
								r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFH	TFH	RXRUN	TXRUN	CMDRUN	DTBLKEND	STBITE	DTEND	CMDSEND	CMDRECV	RXORE	TXURE	DTTMOUT	CMDTMOUT	DTCRCERR	CCRCERR
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位/位域	名称	描述

31:24	保留	必须保持复位值。
23	ATAEND	CE-ATA 命令完成信号已接收(仅用于 CMD61)
22	SDIOINT	SD I/O 中断已接收
21	RXDTVAL	接收 FIFO 中的数据有效
20	TXDTVAL	发送 FIFO 中的数据有效
19	RFE	接收 FIFO 为空
18	TFE	发送 FIFO 为空，当硬件流控制使能，并且 FIFO 中包含 2 个字时，TFE 信号变得有效。
17	RFF	接收 FIFO 为满，当硬件流控制使能，RFF 信号在 FIFO 差 2 个字就满时变得有效。
16	TFF	发送 FIFO 为满
15	RFH	接收 FIFO 半满：FIFO 中至少还有 8 个字可被读取
14	TFH	发送 FIFO 半空：至少还有 8 个字可被写入到 FIFO 中
13	RXRUN	正在接收数据
12	TXRUN	正在传输数据
11	CMDRUN	正在传输命令
10	DTBLKEND	数据块已发送/已接收(CRC 检测通过)
9	STBITE	总线上起始位错误
8	DTEND	数据结束(数据计数器，SDIO_DATACNT 为零)
7	CMDSEND	命令已发送(不需响应)
6	CMDRECV	命令响应已接收(CRC 检测通过)
5	RXORE	接收 FIFO 上溢错误发生
4	TXURE	发送 FIFO 下溢错误发生
3	DTTMOUT	数据超时，数据超时时间取决于 SDIO_DATATO 寄存器。
2	CMDTMOUT	命令响应超时，命令超时时间为 64 个 SDIO_CLK 时钟周期的固定值。
1	DTCRCERR	数据块已发送/已接收(CRC 检测失败)
0	CCRCERR	命令响应已接收(CRC 检测失败)

29.8.12. 中断清除寄存器(SDIO_INTC)

地址偏移：0x38
复位值：0x0000 0000

该寄存器为只读。对该寄存器的位写 1 可以清除 SDIO_STAT 寄存器中相应的状态位。

该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								ATAENDC	SDIOINTC	保留					
								w	w						

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					DTBLKENDC	STBITEC	DTENDC	CMDSENDC	CMDRECVC	RXOREC	TXUREC	DTTMOUTC	CMDTMOUTC	DTCRCERRC	CCRCERRC
					w	w	w	w	w	w	w	w	w	w	w

位/位域	名称	描述
31:24	保留	必须保持复位值。
23	ATAENDC	ATAEND 标志清除位 写 1 清除标志。
22	SDIOINTC	SDIOINT 标志清除位 写 1 清除标志。
21:11	保留	必须保持复位值。
10	DTBLKENDC	DTBLKEND 标志清除位 写 1 清除标志。
9	STBITEC	STBITE 标志清除位 写 1 清除标志。
8	DTENDC	DTEND 标志清除位 写 1 清除标志。
7	CMDSENDC	CMDSEND 标志清除位 写 1 清除标志。
6	CMDRECVC	CMDRECV 标志清除位 写 1 清除标志。
5	RXOREC	RXORE 标志清除位 写 1 清除标志。
4	TXUREC	TXURE 标志清除位 写 1 清除标志。
3	DTTMOUTC	DTTMOUT 标志清除位 写 1 清除标志。
2	CMDTMOUTC	CMDTMOUT 标志清除位 写 1 清除标志。
1	DTCRCERRC	DTCRCERR 标志清除位 写 1 清除标志。

0	CCRCERRC	CCRCERR 标志清除位 写 1 清除标志。

29.8.13. 中断使能寄存器(SDIO_INTEN)

地址偏移：0x3C

复位值：0x0000 0000

该寄存器使能 SDIO_STAT 寄存器中相应状态位的中断。该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								ATAENDIE	SDIOINTIE	RXDTVALIE	TXDTVALIE	RFEIE	TFEIE	RFFIE	TFFIE
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFHIE	TFHIE	RXRUNIE	TXRUNIE	CMDRUNIE	DTBLKENDIE	STBITEIE	DTENDIE	CMDSENDIE	CMDRECVIE	RXOREIE	TXUREIE	DTTMOUTIE	CMDTMOUTIE	DTCRCERRIE	CCRCERRIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

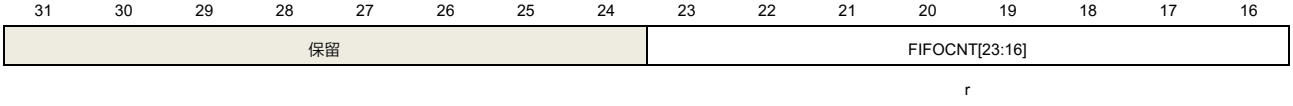
位/位域	名称	描述
31:24	保留	必须保持复位值。
23	ATAENDIE	CE-ATA 命令完成信号已接收中断使能 写 1 使能中断。
22	SDIOINTIE	SD I/O 中断已接收中断使能 写 1 使能中断。
21	RXDTVALIE	接收 FIFO 中的数据有效中断使能 写 1 使能中断。
20	TXDTVALIE	发送 FIFO 中的数据有效中断使能 写 1 使能中断。
19	RFEIE	接收 FIFO 空中断使能 写 1 使能中断。
18	TFEIE	发送 FIFO 空中断使能 写 1 使能中断。
17	RFFIE	接收 FIFO 满中断使能 写 1 使能中断。
16	TFFIE	发送 FIFO 满中断使能 写 1 使能中断。
15	RFHIE	接收 FIFO 半满中断使能 写 1 使能中断。
14	TFHIE	发送 FIFO 半满中断使能 写 1 使能中断。

13	RXRUNIE	正在接收数据中断使能 写 1 使能中断。
12	TXRUNIE	正在传输数据中断使能 写 1 使能中断。
11	CMDRUNIE	正在传输命令中断使能 写 1 使能中断。
10	DTBLKENDIE	数据块已发送/已接收中断使能 写 1 使能中断。
9	STBITEIE	起始位错误中断使能 写 1 使能中断。
8	DTENDIE	数据结束中断使能 写 1 使能中断。
7	CMDSENDIE	命令已发送中断使能 写 1 使能中断。
6	CMDRECVIE	命令响应已接收中断使能 写 1 使能中断。
5	RXOREIE	接收 FIFO 上溢错误中断使能 写 1 使能中断。
4	TXUREIE	发送 FIFO 下溢错误中断使能 写 1 使能中断。
3	DTTMOUTIE	数据超时中断使能 写 1 使能中断。
2	CMDTMOUTIE	命令响应超时中断使能 写 1 使能中断。
1	DTCRCERRIE	数据 CRC 错误中断使能 写 1 使能中断。
0	CCRCERRIE	命令响应 CRC 错误中断使能 写 1 使能中断。

29.8.14. FIFO 计数寄存器(SDIO_FIFOCNT)

地址偏移：0x48
复位值：0x0000 0000

该寄存器只能按字(32 位)访问



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOCNT[15:0]															
r															

位/位域	名称	描述
31:24	保留	必须保持复位值。
23:0	FIFOCNT[23:0]	FIFO 计数器 这些位定义了从 FIFO 中读取或写入到 FIFO 剩余的字数。当 DATAEN 置位时，它加载数据长度寄存器的值(如果 SDIO_DATALEN 是字对齐时，该值为 SDIO_DATALEN[24:2]；如果 SDIO_DATALEN 不是字对齐，该值为 SDIO_DATALEN[24:2]+1)，然后当写一个字到 FIFO 或从 FIFO 中读取一个字时，开始递减计数。

29.8.15. FIFO 数据寄存器(SDIO_FIFO)

地址偏移：0x80
复位值：0x0000 0000

该寄存器占用了 32 个 32 位的字，地址偏移从 0x80 到 0xFC。
该寄存器只能按字(32 位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIFODT[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFODT[15:0]															
rw															

位/位域	名称	描述
31:0	FIFODT[31:0]	接收 FIFO 数据或发送 FIFO 数据 这些位为接收 FIFO 或发送 FIFO 的数据。读或写该寄存器相当于对 FIFO 读或写数据。

30. 外部存储器控制器(EXMC)

30.1. 简介

外部存储器控制器EXMC，用来访问各种片外存储器，通过配置寄存器，EXMC可以把AMBA协议转换为专用的片外存储器通信协议，包括SRAM，ROM，NOR Flash，NAND Flash，PC Card和SDRAM。用户还可以调整相关的时间参数来提高通信效率。EXMC的访问空间被划分为许多个块(Bank)，每个块支持特定的存储器类型，用户可以通过对Bank的控制寄存器配置来控制外部存储器。

30.2. 主要特性

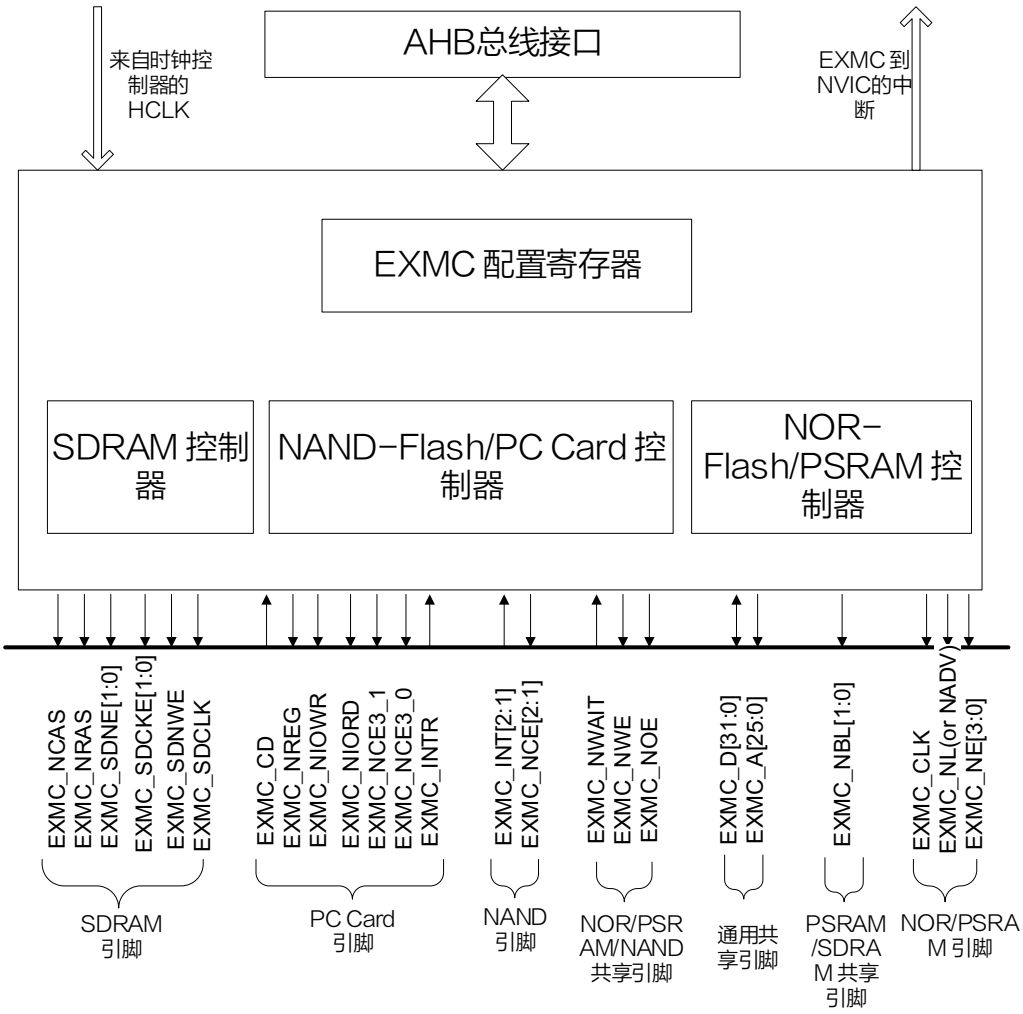
- 支持片外存储器类型：
  - SRAM
  - PSRAM / SQPI-PSRAM
  - ROM
  - NOR Flash
  - 8 位或 16 位 NAND Flash
  - 16 位 PC Card
  - SDRAM
- AMBA协议与各种片外存储器协议转换；
- 时序参数可编程可以满足用户特定需求；
- 每个Bank有独立的片选信号；
- 对于部分存储器类型支持独立的读写时序；
- 对于NAND Flash内置硬件ECC；
- 支持8位，16位，32位总线带宽；
- NOR Flash和PSRAM支持地址总线和数据总线的复用；
- 提供写使能和字节选择信号；
- 当AMBA总线宽度与外部存储器数据宽度不同时，会自动分割操作。

30.3. 功能说明

30.3.1. 结构框图

EXMC由6个模块组成：AHB总线接口，EXMC配置寄存器，NOR / PSRAM控制器，NAND / PC Card控制器，SDRAM控制器和外部设备接口。AHB时钟(HCLK)是参考时钟。

图 30-1. 系统架构



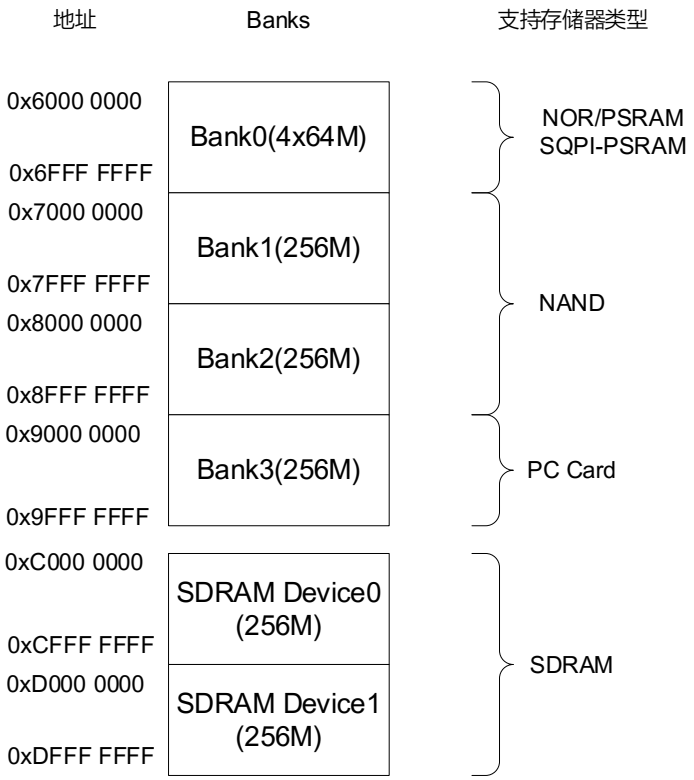
30.3.2. EXMC 访问基本规范

EXMC是AHB总线至外部设备协议的转换接口。32位的AHB读写操作可以转化为几个连续的8位或16位读写操作。在数据传输的过程中，AHB数据宽度和存储器数据宽度可能不相同。为了保证数据传输的一致性，EXMC读写访问需要遵从以下规范：

- AHB 访问宽度等于存储器宽度，则没有问题；
- AHB 访问宽度大于存储器宽度，则自动将 AHB 访问分割成几个连续的存储器数据宽度的传输；
- AHB 访问宽度小于存储器宽度。如果外部存储设备具有字节选择功能，如 SRAM、ROM、PSRAM，则可通过它的字节通道 EXMC_NBL[1:0]来访问对应的字节。否则禁止写操作，只允许读操作。

30.3.3. 外部设备地址映射

图 30-2. EXMC Bank 划分



EXMC将外部存储器分成多个Bank，每个Bank占256M字节，其中Bank0又分为4个Region，每个Region占64M字节。Bank1和Bank2又都被分成2个Section，分别是属性存储空间和通用存储空间。Bank3分成3个Section，分别是属性存储空间，通用存储空间和I / O存储空间。

每个Bank和Region都有独立的片选控制信号，也都能进行独立的配置。

Bank0用于访问NOR、PSRAM设备。

Bank1和Bank2用于连接NAND Flash，且每个Bank连接一个NAND。

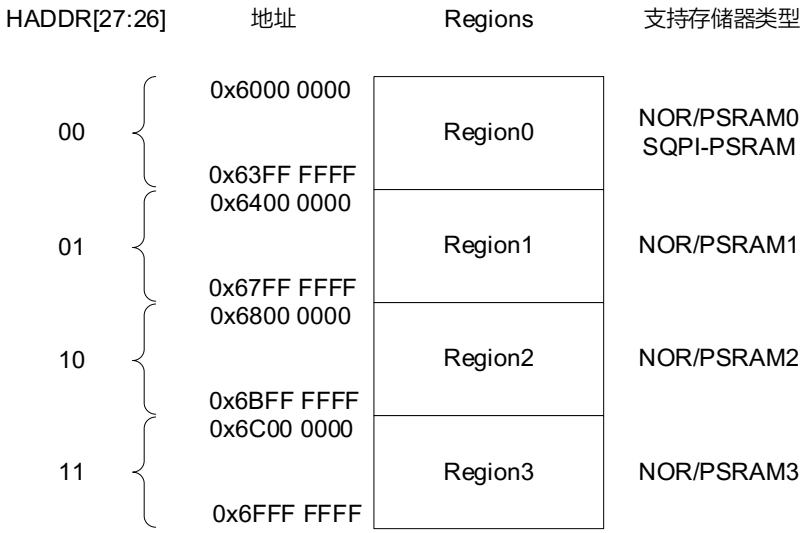
Bank3用于连接PC卡。

SDRAM Device0和SDRAM Device1用于连接SDRAM。

NOR 和 PSRAM 的地址映射

*图30-3. Bank0地址映射*是Bank0四个Region的地址映射。AHB地址线HADDR[27：26]作为四个Region的片选信号。

图 30-3. Bank0 地址映射



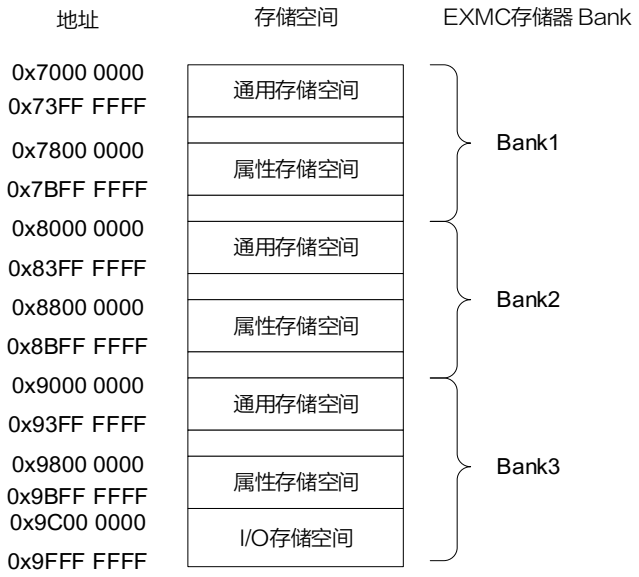
由于HADDR[25:0]是字节地址，而外部存储器访问有可能不是按字节访问的，所以会出现地址不一致的情况，但EXMC能实现对HADDR的调整以适应外部存储器的数据宽度。具体规则如下：

- 如果外部存储器的数据宽度是 8 位按字节对齐，EXMC 内部将 HADDR[25:0]与 EXMC_A[25:0]相连，然后 EXMC_A[25:0]与外部存储器的地址线相连；
- 如果外部存储器的数据宽度是 16 位按半字对齐，就需要将 HADDR 的字节地址转化为半字地址之后再连接外存储器。EXMC 内部将 HADDR[25:1]与 EXMC_A[24:0]相连，然后 EXMC_A[24:0]与外部存储器的地址线相连；
- 如果外部存储器的数据宽度是 32 位按字对齐，就需要将 HADDR 的字节地址转化为字地址之后再连接外存储器。EXMC 内部将 HADDR[25:2]与 EXMC_A[23:0]相连，然后 EXMC_A[23:0]与外部存储器的地址线相连。

NAND / PC Card 地址映射

Bank1和Bank2用来访问NAND Flash，Bank3用来访问PC Card。每个Bank如*图30-4. NAND / PC Card地址映射*被分为多个存储空间。

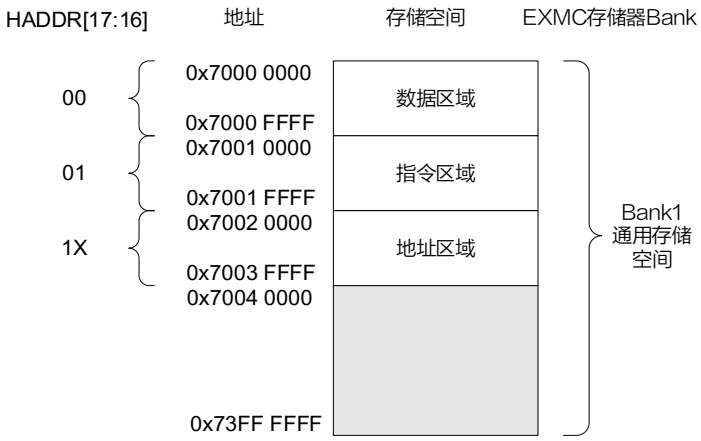
图 30-4. NAND / PC Card 地址映射



NAND 地址映射

对于NAND Flash，通用和属性空间又可以细划分为3个区域。*图30-5. Bank1通用空间*为Bank1通用存储空间的数据区域，指令区域和地址区域的划分。

图 30-5. Bank1 通用空间



AHB利用HADDR[17:16]来实现对以上三个区的选择：

- HADDR[17:16]=00，即选择数据区；
- HADDR[17:16]=01，即选择命令区；
- HADDR[17:16]=1X，即选择地址区。

应用软件使用这3个区访问NAND FLASH。操作规则如下：

地址区：指定操作NAND Flash的地址，软件在地址区写入地址。在地址传输过程中，EXMC会使能地址锁存信号(ALE)，ALE映射到EXMC_A[17]。

指令区：指定NAND Flash将要执行的指令，软件在指令区写入指令。在指令传输过程中，EXMC会使能命令锁存信号(CLE)，CLE映射到EXMC_A[16]。

数据区：NAND FLASH读写数据，软件在数据区读出或写入数据。当EXMC在数据发送模式，软件需要在数据区写入数据，当EXMC在数据接收模式，软件需要在数据区读取数据。由于NAND FLASH会自动累加其内部操作地址，故在读写时不需要软件修改操作地址。

SDRAM 地址映射

HADDR[28]位用来选两个SDRAM Bank，如*图30-6. SDRAM地址映射*所示。

图 30-6. SDRAM 地址映射

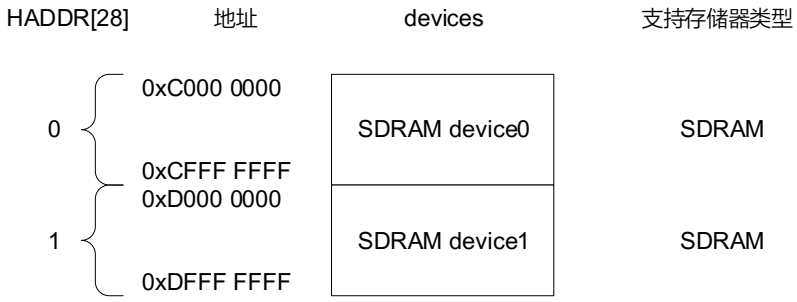


*表30-1. SDRAM地址映射*展示了SDRAM的13位行地址和11位列地址的配置映射：

表 30-1. SDRAM 地址映射

存储器数据宽度	内部bank	行地址	列地址	最大存储容量
8-bit	HADDR[25:24]	HADDR[23:11]	HADDR[10:0]	64 Mbytes: 4 x 8K x 2K
16-bit	HADDR[26:25]	HADDR[24:12]	HADDR[11:1]	128 Mbytes: 4 x 8K x 2K x 2
32-bit	HADDR[27:26]	HADDR[25:13]	HADDR[12:2]	256 Mbytes: 4 x 8K x 2K x 4

30.3.4. NOR / PSRAM 控制器

EXMC模块的NOR / PSRAM控制器控制Bank0，它可以支持NOR Flash、PSRAM、SRAM、ROM和CRAM外部存储器。EXMC对Bank0每个Region输出一个唯一的片选信号，NE[x](x=0..3)，用于在4个Region中进行片选，所有其他的信号都是共享的。每个Region 都有专门的寄存器控制。但是只有Region0支持访问SQPI-PSRAM存储器。

注意：

在异步模式下，所有控制器输出信号在内部AHB总线时钟(HCLK)的上升沿改变。

在同步模式下，所有控制器输出数据在外部存储器时钟(EXMC_CLK)的下降沿改变。

NOR / PSRAM 接口描述

表 30-2. NOR Flash 接口信号描述

EXMC 引脚	传输方向	模式	功能描述
EXMC_CLK	输出	同步	同步时钟信号
非复用 EXMC_A[25:0]	输出	异步/同步	地址总线
复用 EXMC_A[25:16]			
EXMC_D[15:0]	输入/输出	异步/同步 (复用)	地址/数据总线
	输入/输出	异步/同步 (非复用)	数据总线
EXMC_NE[x]	输出	异步/同步	片选， x=0/1/2/3
EXMC_NOE	输出	异步/同步	读使能
EXMC_NWE	输出	异步/同步	写使能
EXMC_NWAIT	输入	异步/同步	等待输入信号
EXMC_NL(NADV)	输出	异步/同步	地址有效

表 30-3. PSRAM 非复用接口信号描述

EXMC 引脚	传输方向	模式	功能描述
EXMC_CLK	输出	同步	同步时钟信号
EXMC_A[25:0]	输出	异步/同步	地址总线
EXMC_D[15:0]	输入/输出	异步/同步	数据总线
EXMC_NE[x]	输出	异步/同步	片选，x=0/1/2/3
EXMC_NOE	输出	异步/同步	读使能
EXMC_NWE	输出	异步/同步	写使能
EXMC_NWAIT	输入	异步/同步	等待输入信号
EXMC_NL(NADV)	输出	异步/同步	地址锁存信号
EXMC_NBL[1]	输出	异步/同步	高字节使能
EXMC_NBL[0]	输出	异步/同步	低字节使能

表 30-4. SQPI-PSRAM 接口信号描述

EXMC 引脚	传输方向	模式	功能描述
EXMC_CLK	输出	同步	时钟信号
EXMC_NE[0]	输出	同步	片选，低有效
EXMC_D[0]	输入/输出	同步	数据，命令信号
EXMC_D[1]	输入/输出	同步	数据信号(SPI / SQPI / QPI 模式)
EXMC_D[3:2]	输入/输出	同步	数据信号 (SQPI / QPI 模式)

支持的存储器访问模式

*表30-5. EXMC对NOR，PSRAM和SRAM支持的访问模式*列出了EXMC对NOR，PSRAM和

SRAM支持的访问模式。

表 30-5. EXMC 对 NOR，PSRAM 和 SRAM 支持的访问模式

存储器类型	访问模式	读 写	AHB 传输宽度	存储器传输宽度	注释
NOR Flash	异步	R	8	16	
	异步	R	16	16	
	异步	W	16	16	
	异步	R	32	16	分成 2 次 EXMC 访问
	异步	W	32	16	分成 2 次 EXMC 访问
	同步	R	16	16	
	同步	R	32	16	
PSRAM	异步	R	8	16	
	异步	W	8	16	使用字节信号 NBL[1:0]
	异步	R	16	16	
	异步	W	16	16	
	异步	R	32	16	分成 2 次 EXMC 访问
	异步	W	32	16	分成 2 次 EXMC 访问
	同步	R	16	16	
	同步	R	32	16	
	同步	W	8	16	使用字节信号 NBL[1:0]
	同步	W	16	16	
	同步	W	32	16	
SRAM and ROM	异步	R	8	8	
	异步	R	8	16	
	异步	R	16	8	分成 2 次 EXMC 访问
	异步	R	16	16	
	异步	R	32	8	分成 4 次 EXMC 访问
	异步	R	32	16	分成 2 次 EXMC 访问
	异步	W	8	8	
	异步	W	8	16	使用字节信号 NBL[1:0]
	异步	W	16	8	
	异步	W	16	16	
	异步	W	32	8	
	异步	W	32	16	

NOR Flash / PSRAM 控制时序

EXMC为SRAM、ROM、PSRAM、NOR Flash等外部静态存储器提供可编程的时序参数以及多种时序模型以满足不同的需求。

表 30-6. NOR / PSRAM 控制时序参数

参数	功能	访问模式	单位	最小值	最大值
CKDIV	同步时钟分频比	同步	HCLK	2	16
DLAT	数据延迟	同步	EXMC_CLK	2	15
BUSLAT	总线延迟	异步/同步读	HCLK	0	15
DSET	数据建立时间	异步	HCLK	1	255
AHLD	地址保持时间	异步(复用)	HCLK	1	15
ASET	地址建立时间	异步	HCLK	0	15

表 30-7. EXMC 时序模型

时序模型		扩展模式	模式描述	写时序参数	读时序参数
异步	模式 1	0	SRAM / PSRAM / CRAM	DSET ASET	DSET ASET
	模式 2	0	NOR Flash	DSET ASET	DSET ASET
	模式 A	1	SRAM / PSRAM / CRAM 在数据阶段 EXMC_NOE 翻转	WDSET WASET	DSET ASET
	模式 B	1	NOR Flash	WDSET WASET	DSET ASET
	模式 C	1	NOR Flash 在数据阶段 EXMC_NOE 翻转	WDSET WASET	DSET ASET
	模式 D	1	有地址保持功能	WDSET WAHLD WASET	DSET AHLD ASET
	模式 AM	0	NOR Flash 数据/地址复用	DSET AHLD ASET BUSLAT	DSET AHLD ASET BUSLAT
同步	模式 E	0	NOR / PSRAM / CRAM 同步读 PSRAM / CRAM 同步写	DLAT CKDIV	DLAT CKDIV
	模式 SM	0	NOR Flash 数据/地址复用	DLAT CKDIV	DLAT CKDIV

如*表30-7. EXMC时序模型*所示，EXMC模块NOR Flash / PSRAM控制器可以提供多种时序模型。用户可以通过修改*表30-6. NOR / PSRAM控制时序参数*中列出的参数来使之适合不同类型外部存储器的时序以及满足用户的要求。当将寄存器EXMC_SNCTLx位EXMODEN置1使能扩展模式后，可以通过寄存器EXMC_SNTCFGx和EXMC_SNWTCFGx将读写配置成独立的时序。

EXMC_CLK可以通过CCK位来设置。如果CCK是0，当NOR Flash使用同步模式时会产生EXMC_CLK；如果CCK是1，当NOR Flash同步模式和异步模式都会产生EXMC_CLK。

异步访问时序

模式1 - SRAM / CRAM

图 30-7. 模式 1 读时序

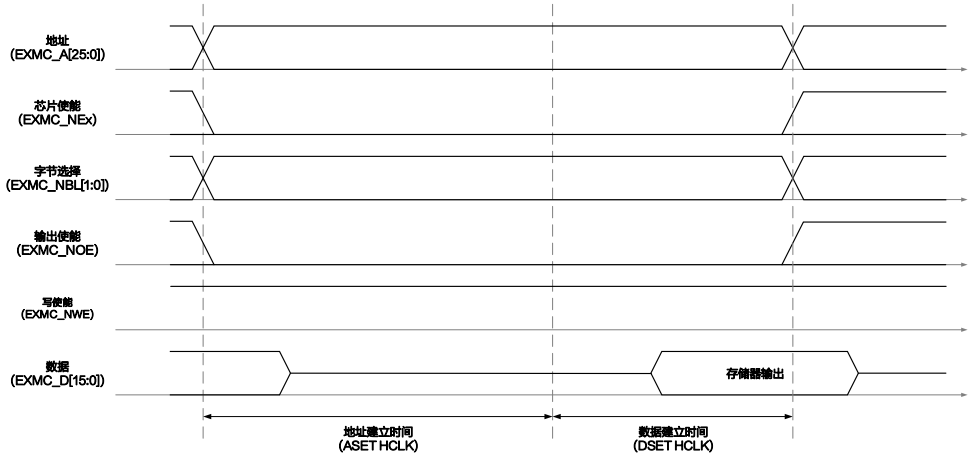


图 30-8. 模式 1 写时序

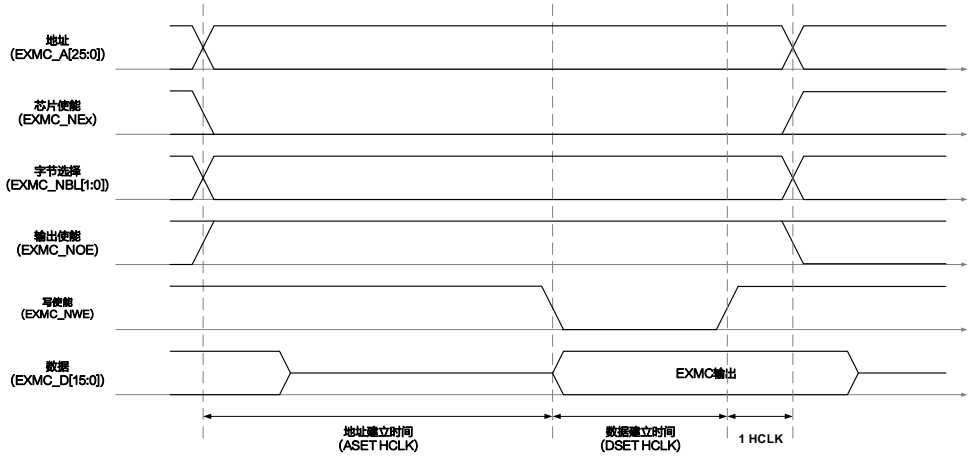


表 30-8. 模式 1 相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器与用户
19	SYNCWR	0x0
18-16	CPS	取决于存储器
15	ASYNCWTEN	取决于存储器
14	EXMODEN	0x0
13	NRWTEN	0x0
12	WEN	取决于用户
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	无影响

位域/位	名称	参考设定值
EXMC_SNCTLx		
5-4	NRW	取决于存储器
3-2	NRTP	取决于存储器，Nor Flash：2
1	NRMUX	0x0
0	NRBKEN	0x1
EXMC_SNTCFGx		
31-30	保留	0x0
29-28	ASYNCMOD	无影响
27-24	DLAT	无影响
23-20	CKDIV	无影响
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	取决于存储器与用户(写操作为 DSET+1 HCLK 时钟周期，读操作为 DSET HCLK 时钟周期)
7-4	AHLD	无影响
3-0	ASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

模式A - SRAM / PSRAM(CRAM) OE翻转

图 30-9. 模式 A 读时序

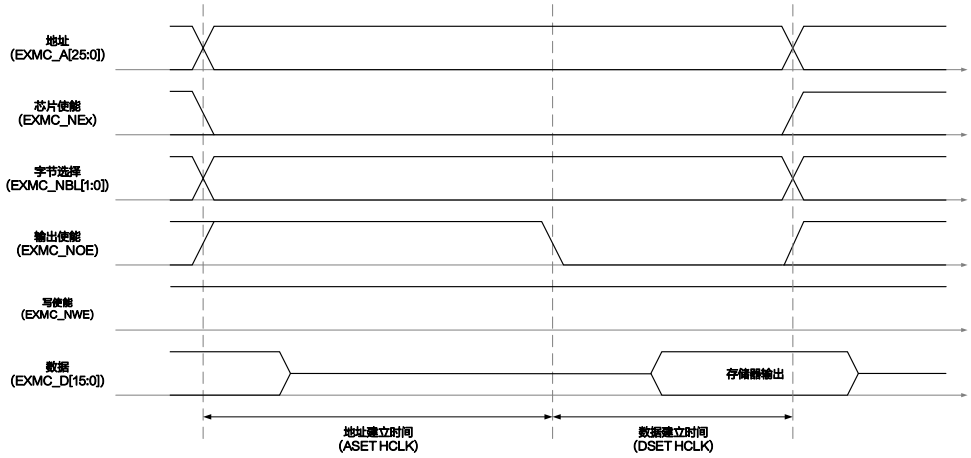
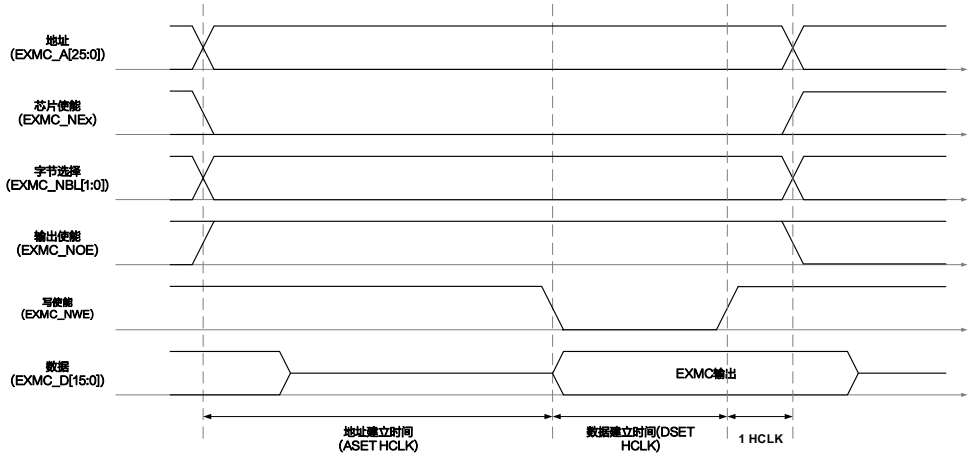


图 30-10. 模式 A 写时序



模式A和模式1的区别在于写时序，当两个模式的寄存器有相同的时序配置时，模式A的写时序独立于读时序。

表 30-9. 模式 A 相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器与用户
19	SYNCWR	0x0
18-16	保留	0x0
15	ASYNCWTEN	取决于存储器
14	EXMODEN	0x1
13	NRWTEN	0x0
12	WEN	取决于用户
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	无影响
5-4	NRW	取决于存储器
3-2	NRTP	取决于存储器，Nor Flash：2
1	NRMUX	0x0
0	NRBKEN	0x1
EXMC_SNTCFGx(读)		
31-30	保留	0x0
29-28	ASYNCMOD	0x0
27-24	DLAT	无影响
23-20	CKDIV	无影响
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间

位域/位	名称	参考设定值
15-8	DSET	取决于存储器与用户(读操作为 DSET HCLK 时钟周期)
7-4	AHLD	无影响
3-0	ASET	取决于存储器与用户
EXMC_SNWTCFGx(写)		
31-30	保留	0x0
29-28	WASYNCMOD	0x0
27-20	保留	0x0
19-16	WBUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	WDSET	取决于存储器与用户(写操作为 WDSET+1 HCLK 时钟周期)
7-4	WAHLD	0x0
3-0	WASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

模式2 / B - NOR Flash

图 30-11. 模式 2 / B 读时序

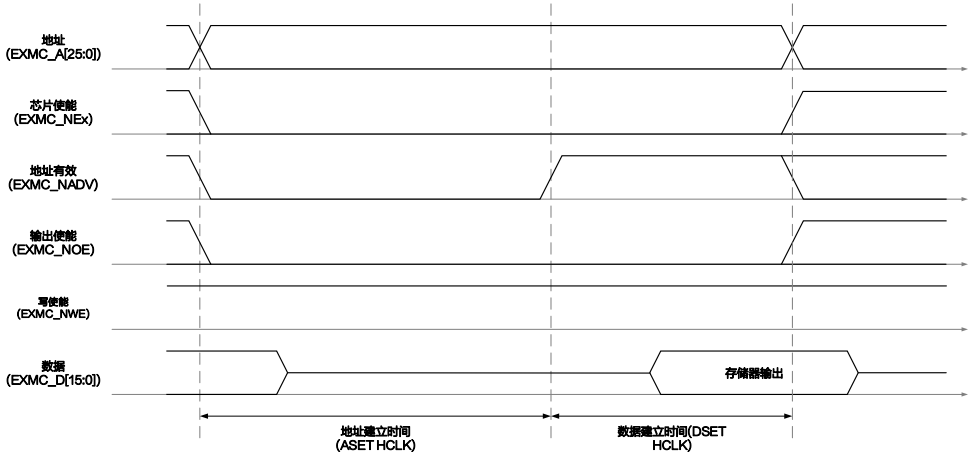


图 30-12. 模式 2 写时序

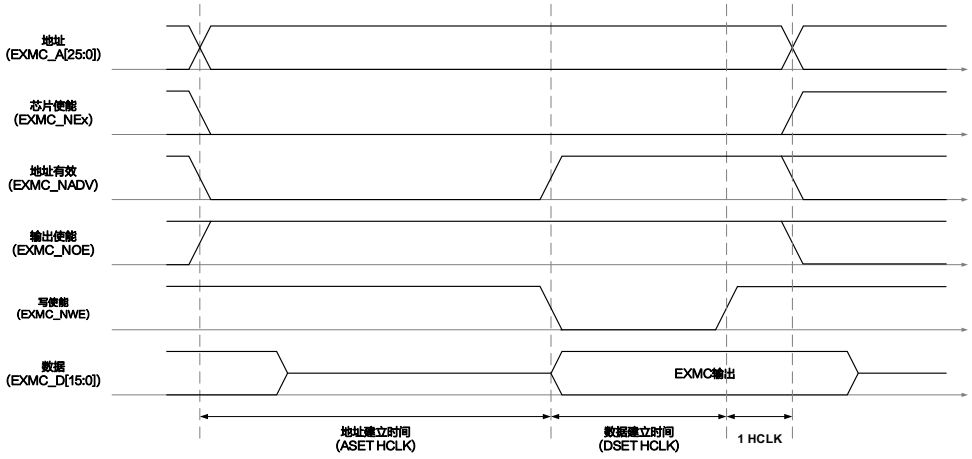


图 30-13. 模式 B 写时序

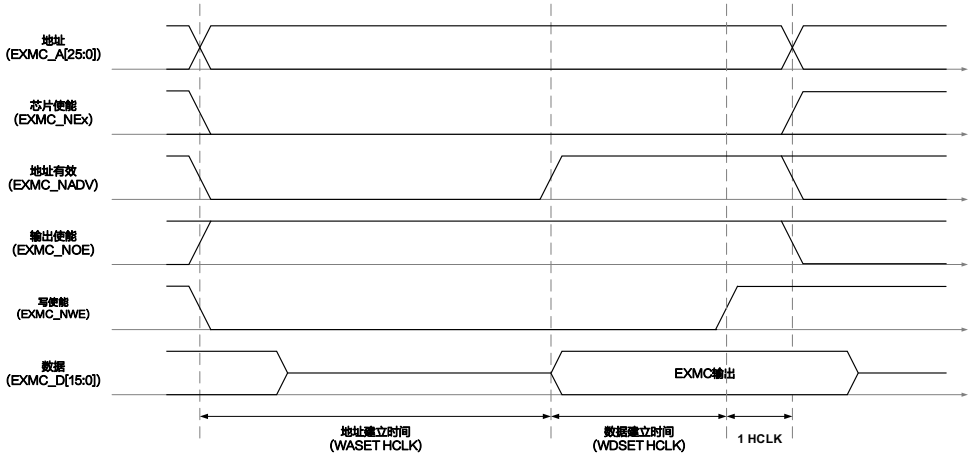


表 30-10. 模式 2 / B 相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx(模式 2，模式 B)		
31-21	保留	0x0
20	CCK	取决于存储器与用户
19	SYNCWR	0x0
18-16	保留	0x0
15	ASYNCWTEN	取决于存储器
14	EXMODEN	模式 2：0x0，模式 B：0x1
13	NRWTEN	0x0
12	WEN	取决于用户
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	0x1

位域/位	名称	参考设定值
5-4	NRW	取决于存储器
3-2	NRTP	Nor Flash：2
1	NRMUX	0x0
0	NRBKEN	0x1
EXMC_SNTCFGx(模式 2 读/写操作，模式 B 读操作)		
31-30	保留	0x0
29-28	ASYNCMOD	模式 B：0x1
27-24	DLAT	无影响
23-20	CKDIV	无影响
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	取决于存储器与用户(读操作为 DSET HCLK 时钟周期)
7-4	AHLD	0x0
3-0	ASET	取决于存储器与用户
EXMC_SNWTCFGx(模式 B 写操作)		
31-30	保留	0x0
29-28	WASYNCMOD	模式 B：0x1
27-20	保留	0x0
19-16	WBUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	WDSET	取决于存储器与用户(写操作为 WDSET+1 HCLk 时钟周期)
7-4	WAHLD	0x0
3-0	WASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

模式C - NOR Flash OE翻转

图 30-14. 模式 C 读时序

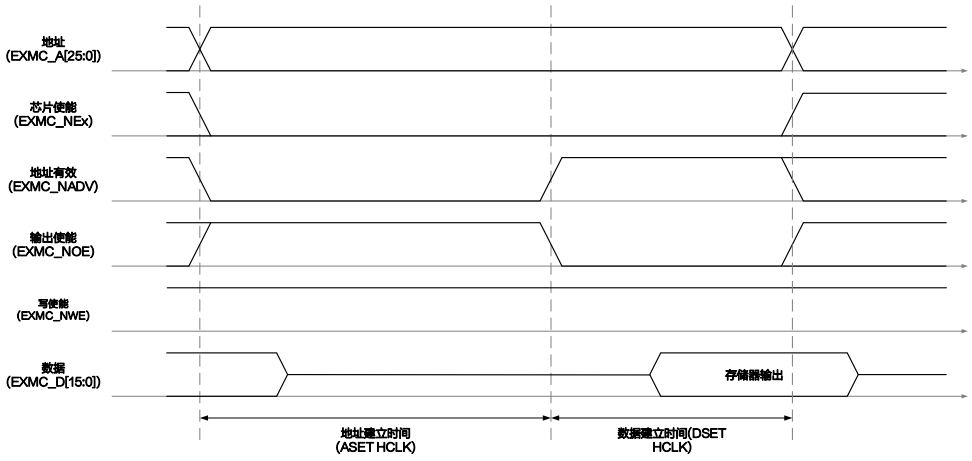
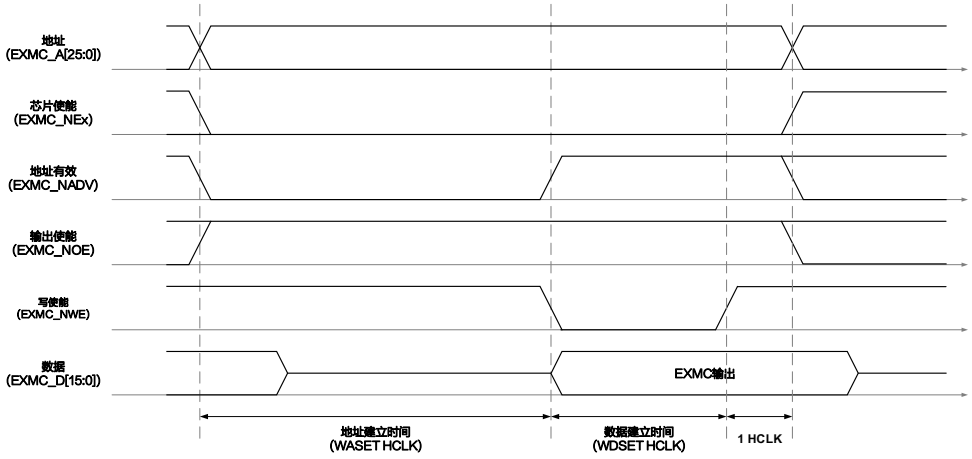


图 30-15. 模式 C 写时序



模式C和模式1的区别在于写时序，当两个模式的寄存器有相同的时序配置时，模式C的写时序独立于读时序。

表 30-11. 模式 C 相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器与用户
19	SYNCWR	0x0
18-16	保留	0x0
15	ASYNCWTEN	取决于存储器
14	EXMODEN	0x1
13	NRWTEN	0x0
12	WEN	取决于用户
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	0x1
5-4	NRW	取决于存储器
3-2	NRTP	Nor Flash：2
1	NRMUX	0x0
0	NRBKEN	0x1
EXMC_SNTCFGx(读)		
31-30	保留	0x0
29-28	ASYNCMOD	模式 C：0x2
27-24	DLAT	0x0
23-20	CKDIV	0x0
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间

位域/位	名称	参考设定值
15-8	DSET	取决于存储器与用户读操作为(DSET HCLk 时钟周期)
7-4	AHLD	0x0
3-0	ASET	取决于存储器与用户
EXMC_SNWTCFGx(写)		
31-30	保留	0x0
29-28	WASYNCMOD	模式 C：0x2
27-20	保留	0x0
19-16	WBUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	WDSET	取决于存储器与用户(写操作为 WDSET+1 HCLK 时钟周期)
7-4	WAHLD	0x0
3-0	WASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

模式D - 带地址扩展的异步操作

图 30-16. 模式 D 读时序

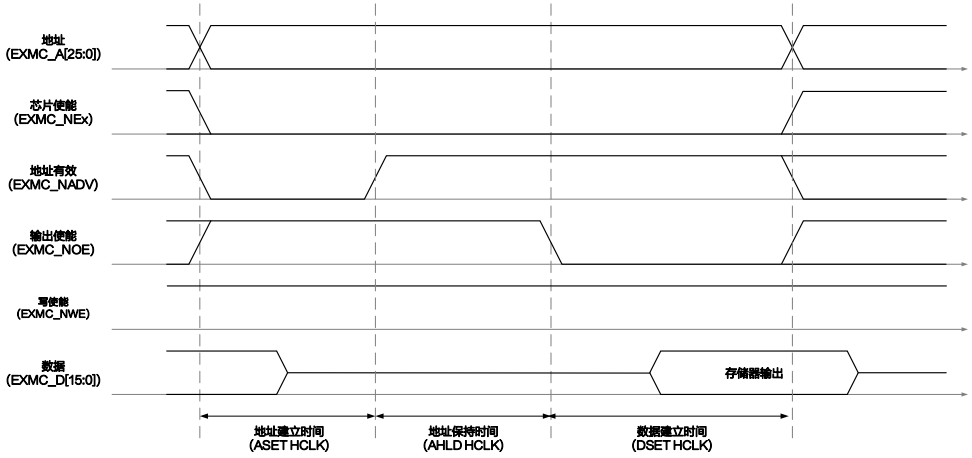


图 30-17. 模式 D 写时序

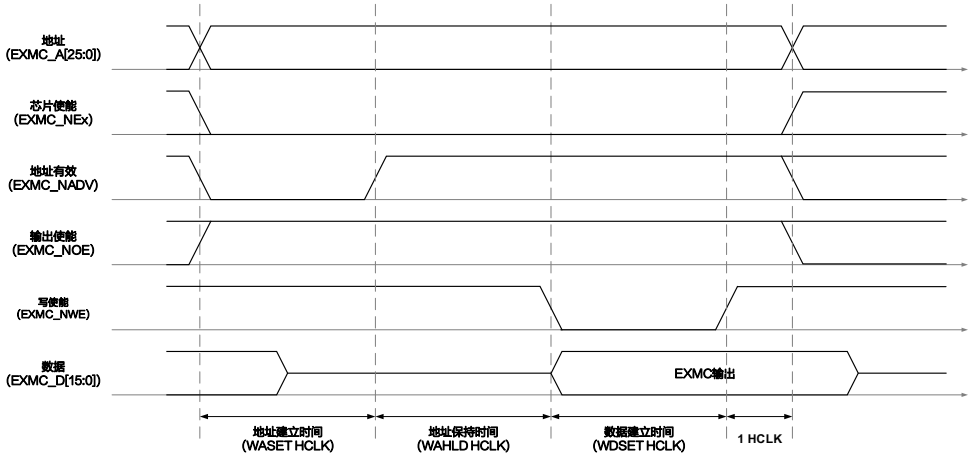


表 30-12. 模式 D 相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器与用户
19	SYNCWR	0x0
18-16	保留	0x0
15	ASYNCWTEN	取决于存储器
14	EXMODEN	0x1
13	NRWTEN	0x0
12	WEN	取决于用户
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	取决于存储器
5-4	NRW	取决于存储器
3-2	NRTP	取决于存储器
1	NRMUX	0x0
0	NRBKEN	0x1
EXMC_SNTCFGx(读)		
31-30	保留	0x0
29-28	ASYNCMOD	模式 D：0x3
27-24	DLAT	无关
23-20	CKDIV	无影响
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	取决于存储器与用户(读操作为 DSET HCLK 时钟周期)
7-4	AHLD	取决于存储器与用户

位域/位	名称	参考设定值
3-0	ASET	取决于存储器与用户
EXMC_SNWTCFGx(写)		
31-30	保留	0x0
29-28	WASYNCMOD	模式 D：0x3
27-20	保留	0x0
19-16	WBUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	WDSET	取决于存储器与用户(写操作为 WSET+1 HCLk 时钟周期)
7-4	WAHLD	取决于存储器与用户
3-0	WASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

模式M - NOR Flash地址/数据总线复用

图 30-18. 复用模式读时序

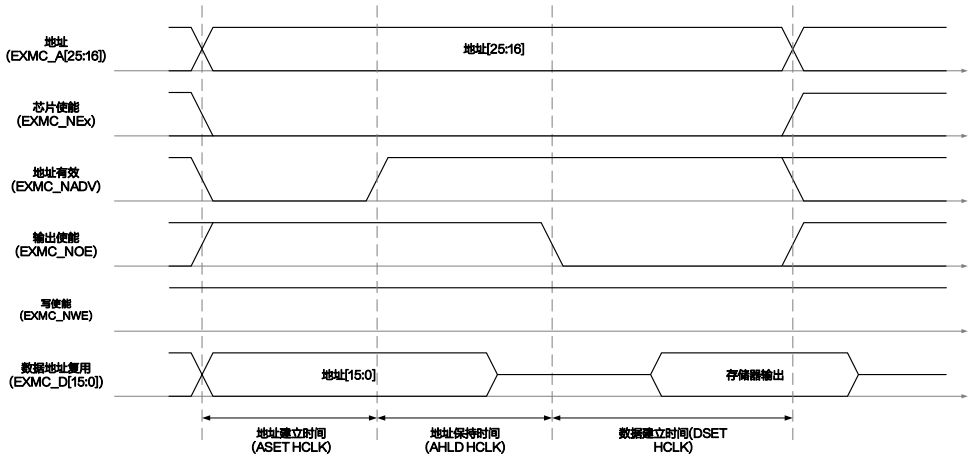


图 30-19. 复用模式写时序

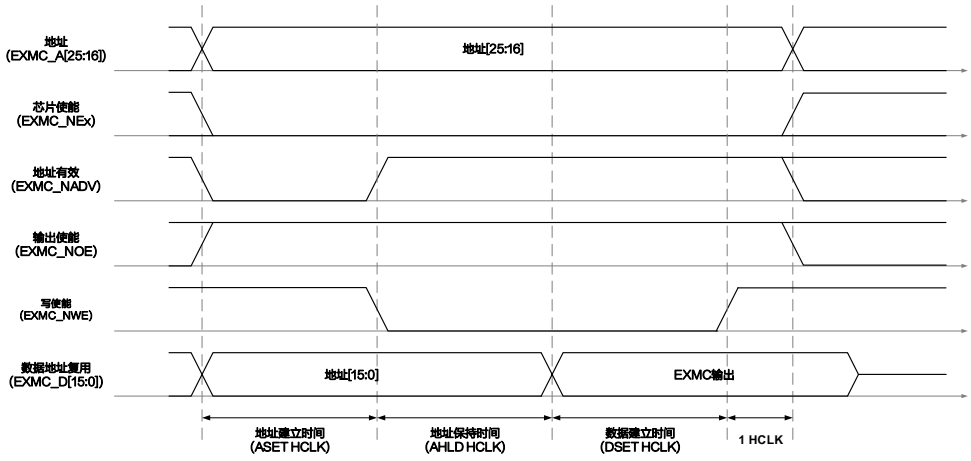


表 30-13. 复用模式相关寄存器配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器
19	SYNCWR	0x0
18-16	保留	0x0
15	ASYNCWTEN	取决于存储器
14	EXMODEN	0x0
13	NRWTEN	0x0
12	WEN	取决于存储器
11	NRWTCFG	无影响
10	WRAPEN	0x0
9	NRWTPOL	仅当位 15 为 1 时有效
8	SBRSTEN	0x0
7	保留	0x1
6	NREN	0x1
5-4	NRW	取决于存储器
3-2	NRTP	Nor Flash：2
1	NRMUX	0x1
0	NRBKEN	0x1
EXMC_SNTCFGx		
31-30	保留	0x0
29-28	ASYNCMOD	0x0
27-24	DLAT	无影响
23-20	CKDIV	无影响
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	取决于存储器与用户(写操作为 DSET HCLK 时钟周期，读操作为 DSET+1 HCLK 时钟周期)
7-4	AHLD	取决于存储器与用户
3-0	ASET	取决于存储器与用户
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

异步通信的等待时间：

等待功能由寄存器EXMC_SNCTL位ASYNCWTEN控制。在访问外部存储器期间，若使能异步等待功能(ASYNCWTEN=1)，数据建立时间将会自动延长。延长时间的计算如下：

若存储器等待信号与EXMC_NOE / EXMC_NWE信号对齐：

$$T_{DATA_SETUP} >= \max T_{WAIT_ASSERTION} + 4HCLK \quad (30\text{-}1)$$

若存储器等待信号与EXMC_NE信号对齐：

如果

$$maxT_{WAIT_ASSERTION} >= T_{ADDRES_PHASE} + T_{HOLD_PHASE} \quad (30\text{-}2)$$

则

$$T_{DATA_SETUP} >= (maxT_{WAIT_ASSERTION} - T_{ADDRES_PHASE} - T_{HOLD_PHASE}) + 4HCLK \quad (30\text{-}3)$$

否则

$$T_{DATA_SETUP} >= 4HCLK \quad (30\text{-}4)$$

图 30-20. 异步等待有效时的读时序

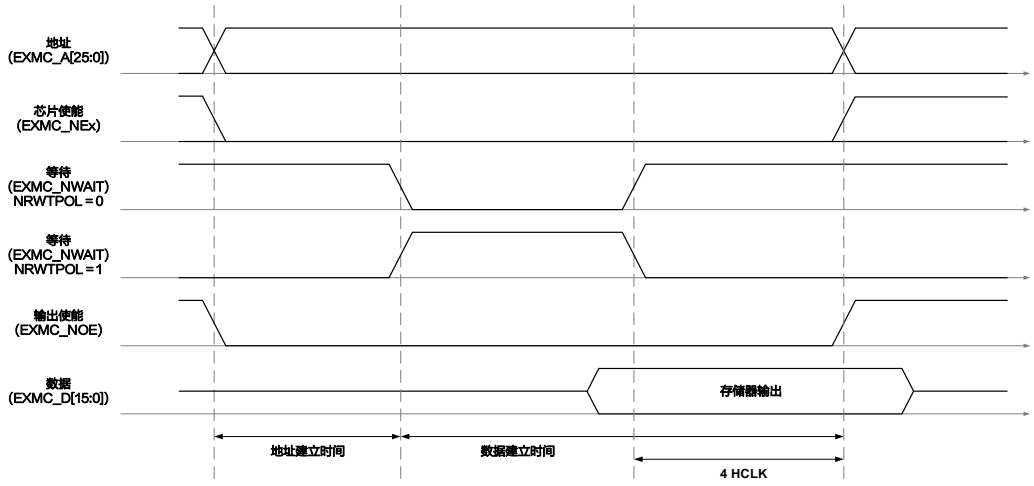
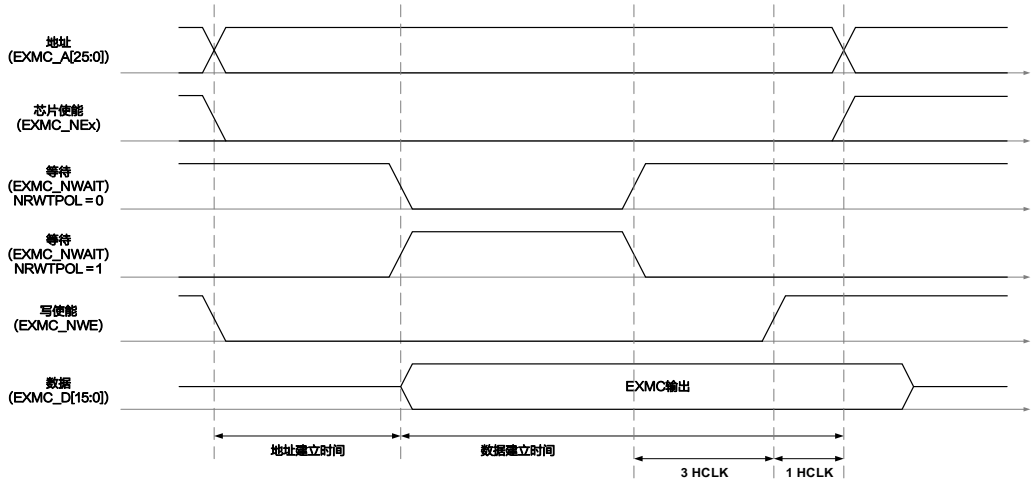


图 30-21. 异步等待有效时的写时序



同步访问时序

存储器时钟(EXMC_CLK)与系统时钟(HCLK)关系如下：

$$EXMC_CLK = \frac{HCLK}{CKDIV+1} \quad (30\text{-}5)$$

其中CKDIV是同步时钟分频比，通过配置寄存器EXMC_SNTCFGx中的CKDIV位来设置不同的值。

1. 数据延迟与 NOR Flash 延迟

数据延迟 DLAT 是指在采样数据之前需要等待的 EXMC_CLK 周期数。它和 NOR 闪存延迟的关系如下：

NOR闪存延迟不包含EXMC_NADV，二者之间的关系为：

$$\text{NOR 闪存延迟}=\text{DLAT}+2 \tag{30-6}$$

NOR闪存延迟包含EXMC_NADV，二者之间的关系为：

$$\text{NOR 闪存延迟}=\text{DLAT}+3 \tag{30-7}$$

注意：

在读访问时，数据延迟由EXMC_SNTCFGx寄存器中DLAT和EXMC_SNLATDECx寄存器中的LATDEC 共同决定。具体请参考 ***SRAM / NOR Flash 数据延迟减少寄存器(EXMC_SNLATDECx)(x=0, 1, 2, 3)***。

2. 数据等待

用户需要保证 EXMC_NWAIT 信号与外部设备一致。该信号通过寄存器 EXMC_SNCTLx 来设置，位 NRWTEN 使能，位 NRWTCFG 决定 EXMC_NWAIT 信号是等待状态同时有效，或者比等待状态提前一个时钟周期有效，位 NRWTPOL 设置 EXMC_NWAIT 信号极性。

在 NOR Flash 的同步突发模式中，当寄存器 EXMC_SNCTLx 位 NRWTEN 置 1，在数据延迟之后后检测到 EXMC_NWAIT 信号。如果 EXMC_NWAIT 有效，在 EXMC_NWAIT 无效之前会一直插入等待时钟。

EXMC_NWAIT有效极性：

NRWTPOL = 1，EXMC_NWAIT 高电平有效

NRWTPOL = 0，EXMC_NWAIT 低电平有效

在同步突发模式中，EXMC_NWAIT 信号有两种配置：

NRWTCFG = 1，EXMC_NWAIT 信号有效时，当前时钟周期数据无效

NRWTCFG = 0，EXMC_NWAIT 信号有效时，下一个时钟周期数据无效，这是复位后的默认配置。

在 EXMC_NWAIT 信号有效的等待周期内，EXMC 会持续的给存储器发送时钟信号，保持片选和输出使能有效，并且忽视总线上的无效数据。

3. CRAM 页边界突发传输的自动分组

CRAM1.5 中禁止突发传输跨越页边界，EXMC 遇到边界会进行传输的自动分组。为了保证正确的突发分组操作，用户需要在寄存器 EXMC_SNCTLx 位 CPS 中需要设定 CRAM 的页大小。

4. 模式 SM - 单次突发传输

对于同步突发传输，如果 AHB 需要的数据为 16 位，则 EXMC 会执行一次长度为 1 的成组传输；如果 AHB 需要的数据为 32 位，则 EXMC 会把这次传输分成 2 次 16 位的传输，即执行一次长度为 2 的突发传输。

同步复用突发读时序 - NOR, PSRAM(CRAM)

图 30-22. 同步复用突发传输读时序

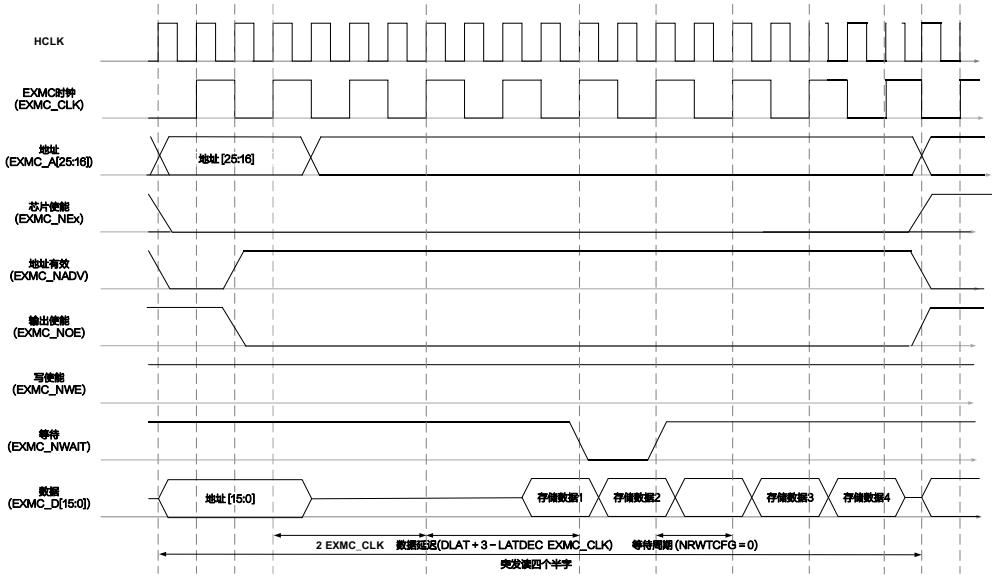


表 30-14. 同步复用模式读时序配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器
19	SYNCWR	无影响
18-16	保留	0x0
15	ASYNCWTEN	0x0
14	EXMODEN	0x0
13	NRWTEN	取决于存储器
12	WEN	0x1
11	NRWTCFG	取决于存储器
10	WRAPEN	0x0
9	NRWTPOL	取决于存储器
8	SBRSTEN	0x1，突发读使能
7	保留	0x1
6	NREN	0x1
5-4	NRW	0x1
3-2	NRTP	取决于存储器，0x1/0x2
1	NRMUX	0x1，取决于存储器与用户
0	NRBKEN	0x1
EXMC_SNTCFGx(读)		

位域/位	名称	参考设定值
31-30	保留	0x0
29-28	ASYNCMOD	0x0
27-24	DLAT	数据延迟
23-20	CKDIV	*图 30-22. 同步复用突发传输读时序*设置：0x1，EXMC_CLK=2HCLK
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	无影响
7-4	AHLD	无影响
3-0	ASET	无影响
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	取决于存储器与用户

同步复用突发写时序 - NOR, PSRAM(CRAM)

图 30-23. 同步复用突发传输写时序

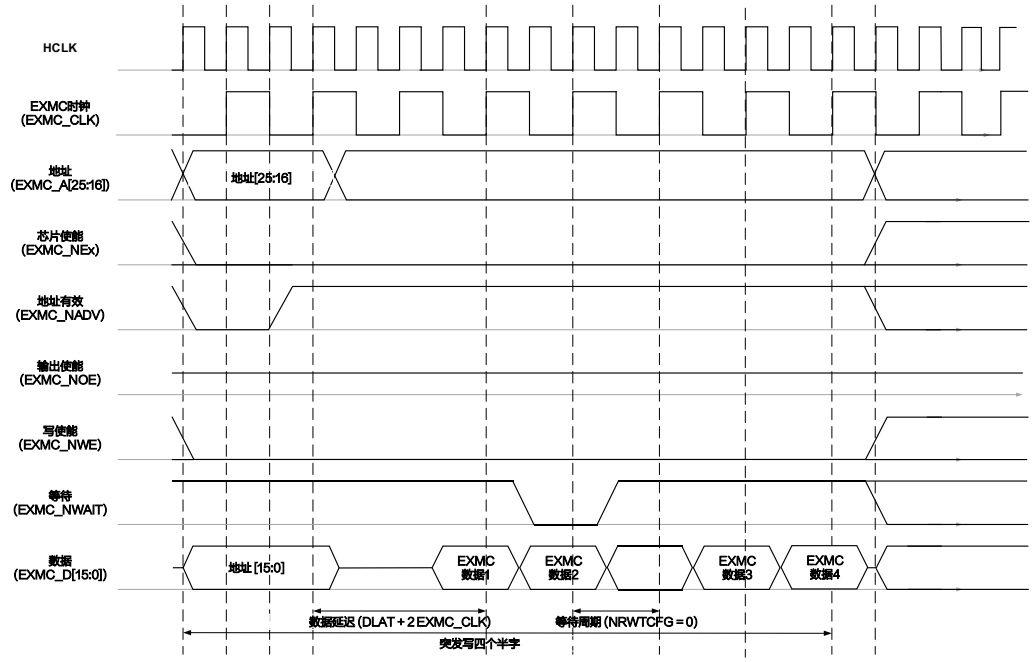


表 30-15. 同步复用模式写时序配置

位域/位	名称	参考设定值
EXMC_SNCTLx		
31-21	保留	0x0
20	CCK	取决于存储器
19	SYNCWR	0x1，同步写使能
18-16	保留	0x0
15	AYSNCWAIT	0x0
14	EXMODEN	0x0
13	NRWTEN	取决于存储器

位域/位	名称	参考设定值
12	WEN	0x1
11	NRWTCFG	0x0(这里必须为 0)
10	WRAPEN	0x0
9	NTWTPOL	取决于存储器
8	SBRSTEN	无影响
7	保留	0x1
6	NREN	0x1
5-4	NRW	0x1
3-2	NRTP	0x1
1	NRMUX	0x1，取决于用户
0	NRBKEN	0x1
EXMC_SNTCFGx(写)		
31-30	保留	0x0
29-28	ASYNCMOD	0x0
27-24	DLAT	数据延迟
23-20	CKDIV	*图 30-23. 同步复用突发传输写时序*设置：0x1，EXMC_CLK=2HCLK
19-16	BUSLAT	EXMC_NE[x]上升沿到下降沿的时间
15-8	DSET	无影响
7-4	AHLD	无影响
3-0	ASET	无影响
EXMC_SNLATDECx		
31-3	保留	0x0
2-0	LATDEC	无影响

SPI / QPI - PSRAM 访问时序

SPI / QPI - PSRAM 由 EXMC 的 Bank0，Region0 操作，它是具有 SPI 和 QPI 接口的 PSRAM。具有 6 个 IO 口，包含片选，时钟和 4 个数据 IO 口，详细见*表 30-16. SPI / QPI 接口*。

表 30-16. SPI / QPI 接口

信号	传输方向	SPI 模式	QPI 模式
EXMC_CLK	输出	串行时钟	
EXMC_NE[0]	输出	芯片使能(低有效)	
EXMC_D[0]	输入/输出	串行输出	数据 IO[0]
EXMC_D[1]	输入/输出	串行输入	数据 IO[1]
EXMC_D[2]	输入/输出	X	数据 IO[2]
EXMC_D[3]	输入/输出	X	数据 IO[3]

1. 控制器初始化

第一步，用户需要设置 SPI 初始化寄存器 EXMC_SINIT。由 POL 位设置数据采样时钟的有效边沿，IDL 位设置设备 ID 长度，ADRBIT 位设置地址长度，CMDBIT 位设置命令长度。

2. 读写操作

EXMC 支持 SPI，QPI 和 SQPI 三种访问模式，访问模式必须在读写操作之前设置。读写的访问模式由 RMODE 和 WMODE 设置，等待周期由 RWAITCYCLE 和 WWAITCYCLE 位设置，操作指令由 RCMD 和 WCMD 设置。这些位都在 EXMC_SRCMD 和 EXMC_SWCMD 寄存器。

在模式选择完毕以后，读写操作就和普通的 NOR Flash 一样，通过 EXMC 的 Bank0 的 Region 进行。

3. 读设备 ID

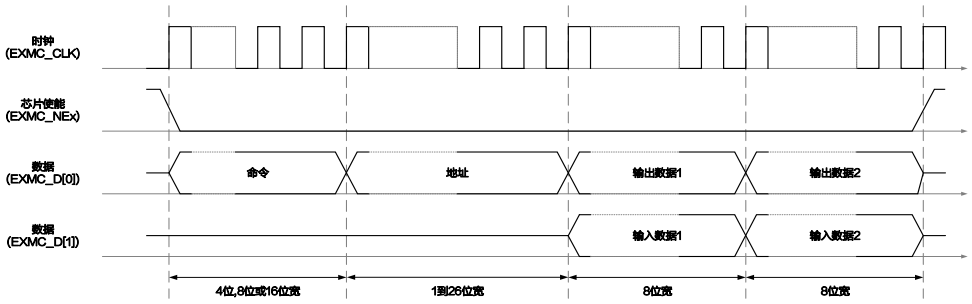
读设备 ID 是一个特殊的指令，需要查询 SC 位直到它为 0，然后将 SC 位置 1，此时低 32 位的 ID 会存储在 EXMC_SIDL 寄存器中，高 32 位 ID 会存储在寄存器 EXMC_SIDH 中。

4. SPI-PSRAM 访问时序

在 SPI 模式中，EXMC 可以使用 SPI 协议，通过 4 个 IO 口，时钟，片选和输入输出数据线与外部存储器通信。如*图 30-24. SPI-PSRAM 访问时序*所示，设置外部存储器模式的指令先通过输出数据线串行输出，然后是与 EXMC 设置有关的任意大小的地址，最后是读写的数据。读写操作时，写是通过数据输出线，读是通过数据输入线。

当 SADRBIT[4:0] = 24，CMDBIT[1:0] = 1 时，SPI-PSRAM 通信如下：

图 30-24. SPI-PSRAM 访问时序

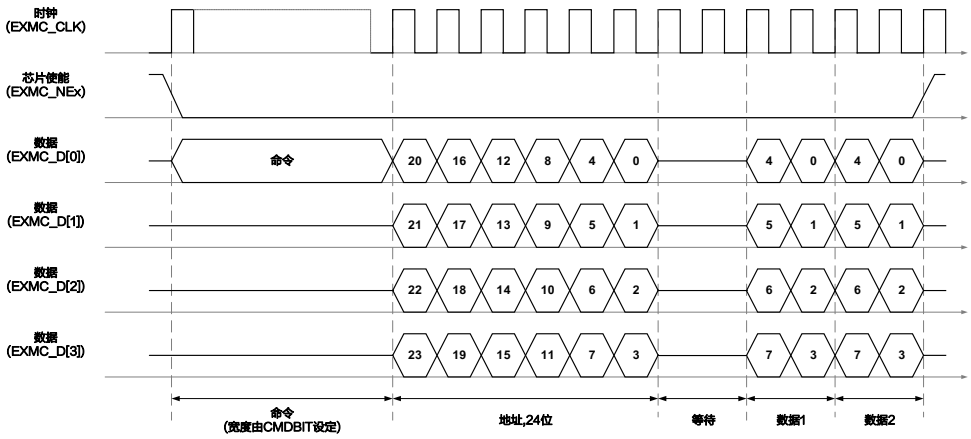


5. SQPI - PSRAM 访问时序

在 SQPI 模式中，EXMC 在指令阶段使用 SPI 协议，地址和数据阶段使用 QSPI 协议，通过 6 个 IO 口，时钟，片选和 4 个数据线与外部存储器通信。如*图 30-25. SQPI - PSRAM 访问时序*所示，设置外部存储器模式的指令先通过数据线 data[0]串行输出，之后是通过 4 个数据线并行输入/输出的地址和数据。

当 ADRBIT[4:0] = 24，CMDBIT[1:0] = 1(可以使用其他值)，RWAITCYCLE[3:0] = WWAITCYCLE[3:0] = 2(可以使用其他值)，SQPI-PSRAM 通信如下：

图 30-25. SQPI - PSRAM 访问时序

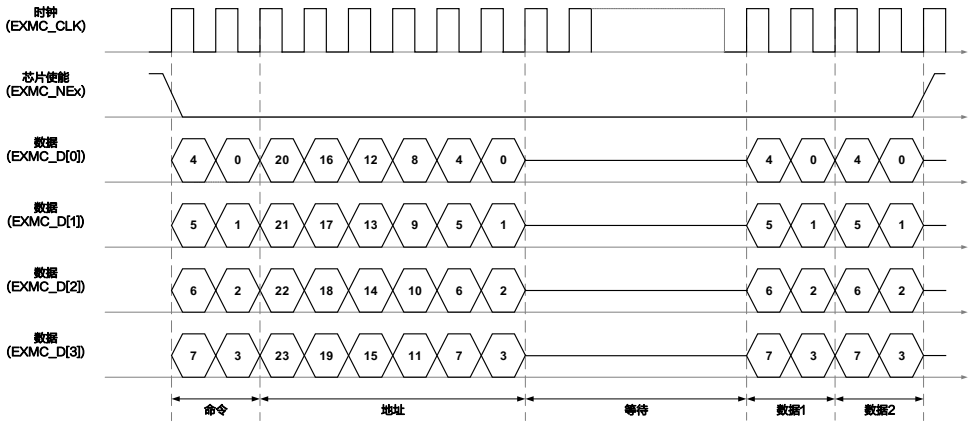


6. QPI - PSRAM 访问时序

QPI 与 SQPI 唯一的区别就是指令也是通过并行 4 个数据线输出的。

当 ADRBIT[4:0] = 24，CMDBIT[1:0] = 1，QPI-PSRAM 通信如下：

图 30-26. QPI-PSRAM 访问时序



30.3.5. NAND Flash 或 PC Card 控制器

EXMC模块Bank1、Bank2支持NAND FLASH，Bank3支持PC Card设备。对于每个Bank，EXMC提供独立的寄存器来配置访问时序，支持8位、16位的NAND FLASH以及16位PC卡。对于NAND FLASH，EXMC还提供ECC计算模块，保证数据传输和保存的鲁棒性。

NAND Flash / PC Card 接口功能

表 30-17. 8 位 / 16 位 NAND 接口信号描述

EXMC 引脚	传输方向	功能描述
EXMC_A[17]	输出	NAND Flash 地址锁存(ALE)
EXMC_A[16]	输出	NAND Flash 命令锁存(CLE)
	输入 /输出	8 位复用，双向地址/数据总线

EXMC 引脚	传输方向	功能描述
EXMC_D[7:0]/ EXMC_D[15:0]		16 位复用，双向地址/数据总线
EXMC_NCE[x]	输出	片选，x = 1,2
EXMC_NOE(NRE)	输出	输出使能
EXMC_NWE	输出	写使能
EXMC_NWAIT/ EXMC_INT[x]	输入	NAND Flash 就绪/忙输入信号 EXMC，x=1,2

表 30-18. 16 位 PC Card 接口信号描述

EXMC 引脚	传输方向	功能描述
EXMC_A[10:0]	输出	地址总线
EXMC_NIORD	输出	I/O 空间输出使能
EXMC_NIOWR	输出	I/O 空间写使能
EXMC_NREG	输出	决定访问通用空间还是属性空间
EXMC_D[15:0]	输入/输出	双向数据总线
EXMC_NCE3_x	输出	片选，x = 0,1
EXMC_NOE	输出	输出使能
EXMC_NWE	输出	写使能
EXMC_NWAIT	输入	PC Card 等待信号
EXMC_INTR	输入	PC Card 中断输入信号
EXMC_CD	输入	PC Card 卡存在检测信号，高有效

支持的存储器访问模式

表 30-19. Bank1/2/3 支持的访问模式

存储器	模式	读/写	AHB 传输宽度	注释
8 位 NAND	异步	R	8	
	异步	W	8	
	异步	R	16	分成 2 次 EXMC 访问
	异步	W	16	
	异步	R	32	分成 4 次 EXMC 访问
	异步	W	32	
16 位 NAND/PC Card	异步	R	8	
	异步	W	8	不支持此操作
	异步	R	16	
	异步	W	16	
	异步	R	32	分成 2 次 EXMC 访问
	异步	W	32	

NAND Flash / PC Card 的控制时序

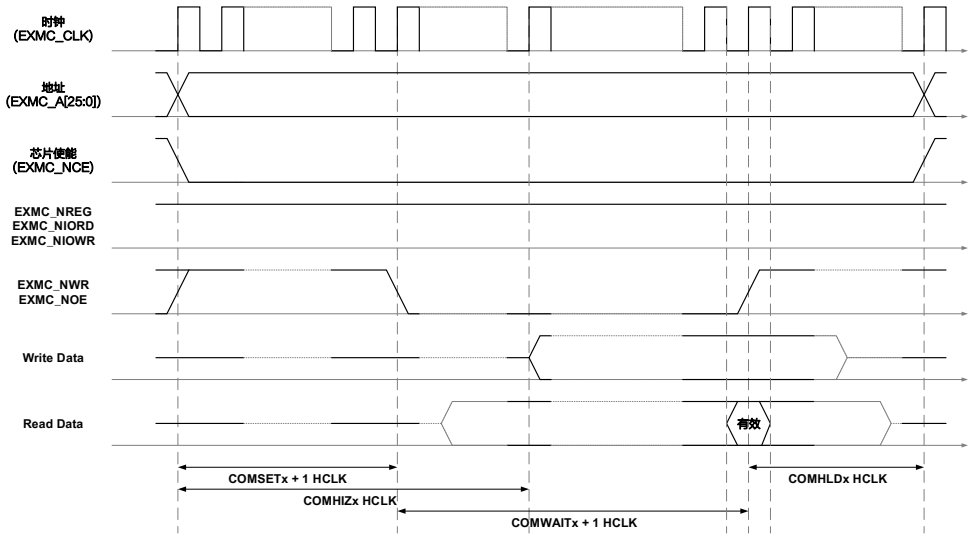
EXMC能够为NAND Flash、PC卡等设备产生合适的时序信号。每个Bank都有相应的寄存器来对外部存储器进行管理和控制，EXMC_NPCTLx、EXMC_NPINTENx、EXMC_NPCTCFGx、EXMC_NPATCFGx、EXMC_PIOTCFG3、EXMC_NECCx，其中寄存器EXMC_NPCTLx、EXMC_NPCTCFGx、EXMC_NPATCFGx都可以配置4个时序参数，可以根据用户需求和外部存储器的特性来进行相应的配置。

表 30-20. NADN / PC Card 可编程参数

参数	读/写	单位	功能描述	NAND Flash / PC Card	
				最小值	最大值
存储器数据总线高阻时间(HIZ)	W/R	HCLK	启动写操作之后保持数据总线为高阻态的时间	1	255
存储器保持时间(HLD)	W/R	HCLK	在发送命令结束后保持地址的时钟(HCLK)周期数目，写操作时也是数据的保持时间	1	254
存储器等待时间(WAIT)	W/R	HCLK	发出命令的最短持续时间时钟(HCLK)周期数目	2	255
存储器建立时间(SET)	W/R	HCLK	发出命令之前建立地址的(HCLK)时钟周期数目	1	256

*图 30-27. NAND / PC Card 通用空间操作时序*给出了在通用存储空间中操作的可编程参数定义，属性存储空间和 I/O 空间(只适用于 PC Card)中操作与此相似。

图 30-27. NAND / PC Card 通用空间操作时序



NAND Flash 操作

EXMC在对NAND Flash发送命令或地址时，需要利用其命令锁存信号(A[16])或地址锁存信号(A[17])这两条地址线，即MCU需要在特定的地址进行写操作。

示例：NAND Flash读操作步骤：

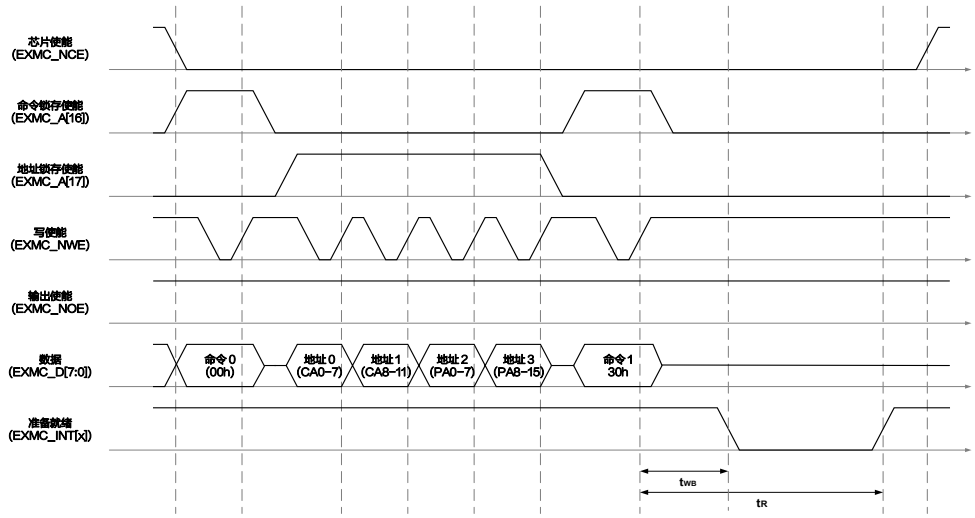
1) 配置 EXMC_NPCTLx 、 EXMC_NPCTCFGx ， 若需要预等待功能， 还需配置 EXMC_NPATCFGx；
2) 往通用空间写入 NAND Flash 读数据命令，即在 EXMC_NCE 和 EXMC_NWE 有效期间，EXMC_CLE(A[16])变为有效电平(高)，则被 NAND 认为写入命令；
3) 往通用空间写入读操作的起始地址，即在 EXMC_NCE 和 EXMC_NWE 有效期间，EXMC_ALE(A[17])变为有效电平(高)，则被 NAND 认为写入地址；
4) 等待 NAND 就绪信号，NAND 控制器会在这期间将和 EXMC_NCE 一直保持有效；
5) 从通用空间的数据区逐字节的读出数据；
6) 在不写入新的命令和地址，可以自动读出 NAND 下一页数据；或转到 3)写入新的地址进行下一页的读取；或转到 2)写入新的命令和地址。

NAND Flash 预等待功能

某些NAND Flash要求在输入最后一个地址字节后，控制器等待NAND Flash就绪，并且还有一些对EXMC_NCE敏感型的NAND Flash还要求在其就绪前NCE必须保持有效。

下面以TOSHIBA128M*8bit NADN Flash为例：

图 30-28. NCE 敏感 NAND Flash 访问时序



1) 往 NAND 的通用空间命令区写入命令 CMD0
2) 往 NAND 的通用空间地址区写入操作地址 ADD0
3) 往 NAND 的通用空间地址区写入操作地址 ADD1
4) 往 NAND 的通用空间地址区写入操作地址 ADD2
5) 往 NAND 的通用空间地址区写入操作地址 ADD3
6) 往 NAND 的属性空间命令区写入命令 CMD1

在 6)中写命令操作，EXMC 使用的是寄存器 EXMC_NPATCFGx 定义的时序。经过 ATTHLD 时间后，NAND Flash 等待 EXMC_INTx 信号，ATTHLD 要大于 t_{WB}(EXMC_NWE 高到 EXMC_INTx 低)。

对于那些对片选信号敏感的 NAND Flash，在最后一个地址字节输入后，一直到 B / NB 就绪状态到来的这段时间中，要求片选信号 NCE 一直保持低电平。这里可以通过配置属性存储空间的 ATTHLD 的值来满足 t_{WB} 的时序，这样 MCU 只有在写入最后一个地址字节时才使用属性存储空间的时序，而在其他时候都使用通用存储空间的时序。

NAND Flash 的 ECC 计数模块

EXMC模块中的Bank1和Bank2各有一个ECC计算的硬件模块，用户可以根据EXMC_NPCTLx中的ECCSZ来选择ECC计算的页面大小，通过ECC计算可以矫正1个bit的错误并且能检测2个bit的错误。

当NAND存储器块使能，ECC模块就会检测D[15:0]以及EXMC_NCE、EXMC_NEW信号。当已经完成ECCSZ大小字节的读写操作时，软件必须读出EXMC_NECCx中的结果值。如果需要再次开始ECC计算，软件需要先将EXMC_NPCTLx中ECCEN清0来清除EXMC_NECCx中的值，再将ECCEN置1来重新启动ECC计算。

PC / CF Card 访问

EXMC 的 Bank3 用来访问 PC / CF Card，同时支持存储器和 IO 模式。Bank3 分为 3 个子空间，分别为存储空间，属性空间和 IO 空间。

EXMC_NCE3_0 和 EXMC_NCE3_1 是字节选择信号，当仅有 EXMC_NCE3_0 有效时，低字节或高字节的选择取决于 EXMC_A[0]，当仅有 EXMC_NCE3_1 有效时，硬件不支持，当 EXMC_NCE3_0 和 EXMC_NCE3_1 都有效时，16 位操作。复位 NDTP 来选择 PC / CF Card 作为外部存储器，寄存器 EXMC_NPCTLx 位 NDW 必须设置为 01 来保证 EXMC 的正确操作。

下面是对不同空间的访问：

1. 通用空间：EXMC_NCE3_x(x= 0,1)是片选信号，表示同时支持 8 位和 16 位的访问操作。在 EXMC_NREG 位高电平时，EXMC_NWE 为低电平时写操作，EXMC_NOE 为低电平时读操作。
2. 属性空间：EXMC_NCE3_x(x= 0,1)是片选信号，表示同时支持 8 位和 16 位的访问操作。在 EXMC_NREG 位低电平时，EXMC_NWE 为低电平时写操作，EXMC_NOE 为低电平时读操作。
3. IO 空间：EXMC_NCE3_x(x= 0,1)是片选信号，表示同时支持 8 位和 16 位的访问操作。在 EXMC_NREG 位低电平时，EXMC_NIOWR 为低电平时写操作，EXMC_NIORD 为低电平时读操作。

AHB 访问 16 位的 PC / CF Card：

1. 通用空间：数据存储的位置，支持字节和半字访问，奇地址禁止字节访问。当 AHB 进行字访问，EXMC 会自动分成两次连续的半字操作。在 EXMC_NREG 位高电平时，EXMC_NWE 为低电平时写操作，EXMC_NOE 为低电平时读操作。
2. 属性空间：配置信息存储的位置，仅偶地址支持字节访问，半字访问会被转换为单次字节操作，字访问会被转换为两次字节访问。半字与字访问时，只有 EXMC_NCE3_0 有效。

在 EXMC_NREG 位低电平时，EXMC_NWE 为低电平时写操作，EXMC_NOE 为低电平时读操作。

4. IO 空间：同时支持字节和半字访问，EXMC_NREG 位低电平时，EXMC_NIOWR 为低电平时写操作，EXMC_NIORD 为低电平时读操作。

30.3.6. SDRAM 控制器

主要特性

- 两个可独立配置的 SDRAM 设置；
- 8 位，16 位，32 位数据带宽；
- 多达 13 位行地址、11 位列地址、2 位内部 bank 地址；
- 支持存储器大小：4x16Mx32bit(256 MB), 4x16Mx16bit (128 MB), 4x16Mx8bit (64 MB)；
- AHB 字、半字、字节访问；
- 为每个存储器 bank 提供独立的片选控制；
- 每个存储器 bank 可独立配置；
- 写使能和字节选择输出；
- 自动进行行和 bank 边界管理；
- 多个 bank 的乒乓访问；
- SDRAM 时钟可以为 $f_{HCLK}/2$ 或者 $f_{HCLK}/3$；
- 可编程的时序参数；
- 可编程的刷新速率的自动刷新操作；
- 通过软件进行上电初始化；
- CAS 延迟可设置为 1、2、3 个时钟周期；
- 具有 16x35 位深度的写数据 FIFO；
- 具有 16x31 位深度的写地址 FIFO；
- 6x32 位深度的可缓存的读数据 FIFO；
- 6x14 位深度的可缓存读地址 FIFO；
- 可调整的读数据采样时钟；
- 自刷新模式；
- 掉电模式。

SDRAM 简介

同步动态随机存储器(SDRAM)是通过外部同步时钟刷新的动态随机存储器(DRAM)，它的同步时钟由EXMC的EXMC_SDCLK引脚提供，通过配置寄存器EXMC_SDCTLx位SDCLK时钟频率可设置为$f_{HCLK}/2$或者$f_{HCLK}/3$。指令和数据在时钟的上升沿锁存，在下降沿改变。

SDRAM内部分为多个叫做Bank的区域，允许设备以交错的方式进行访问，以获取更大的并发性和数据传输量。每个Bank可以认为是一个矩阵，其中每个地址对应存储器存储宽度的空间，矩阵由行和列构成，因此存储器的Bank大小可以认为是存储器数据宽度*行数*列数。用户可以通过设置寄存器EXMC_SDCTLx位NBK，SDW，RAW，CAW使EXMC可以与不同的SDRAM进行通信。

由于易失的本征特性，SDRAM需要周期性的刷新。EXMC支持两种刷新模式，自刷新和自动刷新。自刷新是在EXMC挂起的低功耗模式中使用，由SDRAM内部计数提供时钟，内部进行刷新。自动刷新是由EXMC周期性的提供刷新命令，因为此时SDRAM需要进行数据传输，刷新间隔由寄存器EXMC_SDARI位ARINTV决定，连续刷新次数由寄存器EXMC_SDCMD位NARF决定。刷新命令优先级高于其他的包括读写命令，来保证数据的正常存储，当SDRAM同时收到刷新命令与读写命令时，读写命令需要等待刷新命令完成才能进行。如果在前一个刷新命令未完成时，再次接收到刷新命令，寄存器EXMC_SDSTAT刷新错误标志位(REIF)会被置位，同时如果刷新错误中断使能(REIE)，将会发生刷新错误中断。

CAS延迟是读命令和数据线出现第一个可读数据之间的延迟，可以通过寄存器EXMC_SDCTLx位CL设置。

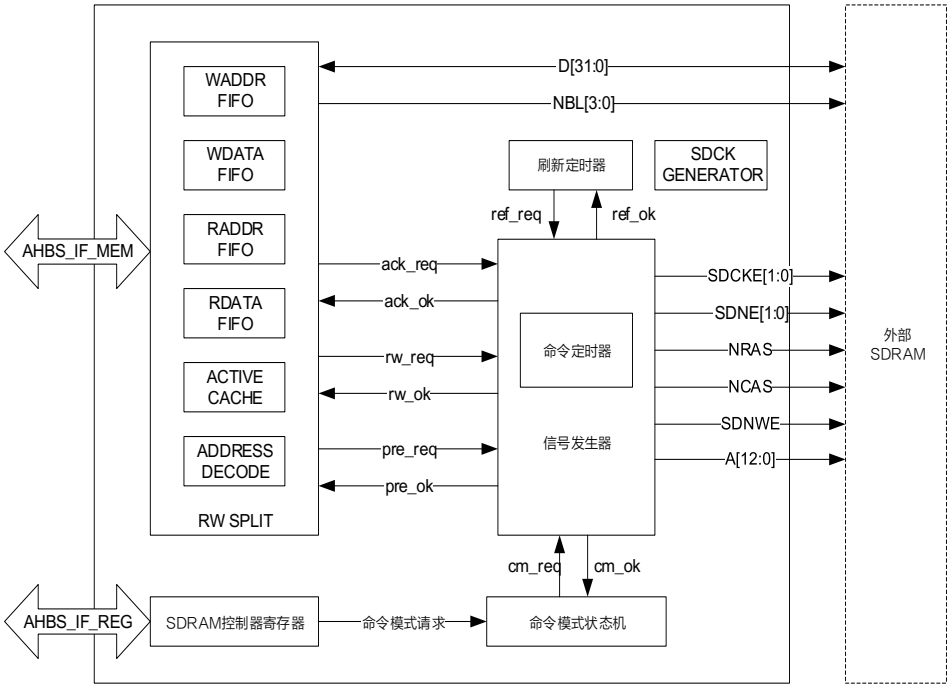
对不同的SDRAM需要参考其手册，使用模式寄存器进行设置，包含突发长度，突发类型，CAS延迟，写模式。在寄存器EXMC_SDCMD位MRC中设置，会通过CMD命令发送给SDRAM。在读写操作之前，需要发送读取模式寄存器命令，否则SDRAM无法工作。

SDRAM 控制器简介

同步动态随机存储器控制器(SDRAMC)是MCU和SDRAM的接口。它把AHB的操作根据SDRAM协议转换为对SDRAM的操作，同时配置寄存器EXMC_SDTCFG满足时序要求。

SDRAMC 包含 4 个模块，读写预处理模块，控制寄存器，有限状态机和信号发生器。使用两组 FIFO 来提高存储器访问效率，一组用来写地址和数据，另外一组用来读地址数据。SDRAMC模块由*图 30-29. SDRAM 系统架构*所示。

图 30-29. SDRAM 系统架构



信号发生器处理状态机，刷新定时器，读写模块产生的请求。

命令定时器由遵守SDRAM时序协议的计数器组成。

SDRAM 命令由 SDRAM 控制器接口发出，可见*表 30-21. SDRAM 命令真值表*:

表 30-21. SDRAM 命令真值表

SDNE	NRAS	NCAS	SDNWE	A[n]	A[10]	A[m]	命令
H	X	X	X	X	X	X	命令禁止(无操作)
L	H	H	H	X	X	X	无操作
L	H	H	L	X	X	X	中止突发传输
L	H	L	H	Bank	L	Col	突发读选择行
L	H	L	H	Bank	H	Col	预充电完成后，突发读选择行
L	H	L	L	Bank	L	Col	突发写选择行
L	H	L	L	Bank	H	Col	预充电完成后，突发写选择行
L	L	H	H	Bank	Row	Row	行使能命令，之后可进行读写
L	L	H	L	Bank	L	X	预充电命令，关闭当前 Bank 的选择行
L	L	H	L	X	H	X	全局预充电命令，关闭所有 Bank 的选择行
L	L	L	H	X	X	X	SDCKE = 1 时自动刷新模式 SDCKE = 0 时自刷新模式
L	L	L	L	L	Mode	Mode	加载模式寄存器

SDRAM 控制器操作

IO 配置

SDRAMC 的 IO 口必须在与 SDRAM 通信之前配置，SDRAM 的 IO 配置如*表 30-22. SDRAM IO 定义*所示:

表 30-22. SDRAM IO 定义

信号	传输方向	描述
EXMC_SDCLK	O	SDRAM 存储器时钟
EXMC_SDCKE[0]	O	SDRAM device 0 的时钟使能信号
EXMC_SDCKE[1]	O	SDRAM device 1 的时钟使能信号
EXMC_SDNE[0]	O	SDRAM device 0 的片选信号，低电平有效
EXMC_SDNE [1]	O	SDRAM device 1 的片选信号，低电平有效
EXMC_NRAS	O	行地址选通，低电平有效
EXMC_NCAS	O	列地址选通，低电平有效
EXMC_SDNWE	O	写使能，低电平有效
EXMC_A[12:0]	O	地址
EXMC_A[15:14]	O	Bank 地址
EXMC_D[31:0]	I/O	读/写数据

EXMC_NBL[3:0]	O	写数据标记(掩码)

控制器初始化

用户需要按照以下步骤来初始化 SDRAM 控制器，初始化序列可以应用于单个 SDRAM，或同时初始化两个 SDRAM，由寄存器 EXMC_SDCMD 位 DS0 和 DS1 决定。为了保证读写的可靠性，必须先进行初始化。

1. 控制参数：控制配置寄存器 EXMC_SDCTLx 指定 SDRAM 的存储器行列数，时钟配置和读写方法。
2. 时序参数：时序配置寄存器 EXMC_SDTCFGx 需要根据 SDRAM 数据手册来配置。RPD 和 ARFD 在 EXMC_SDTCFG0 来配置，EXMC_SDTCFG1 这两位保留。
3. 使能 SDCLK：使用到的 SDRAM 需要给寄存器 EXMC_SDCMD 位域 CMD 写'0b001'使能相应设备的 SDCLK 信号，DS0 和 DS1 决定接收命令的设备。
4. 上电延迟：100us
5. 预充电：命令会对 SDRAM 的所有 Bank 进行复位，并使 SDRAM 回到空闲状态。给寄存器 EXMC_SDCMD 位域 CMD 写'0b010'使能相应设备的 SDCLK 信号，DS0 和 DS1 决定接收命令的设备。
6. 设置自刷新模式：给寄存器 EXMC_SDCMD 位域 CMD 写'0b011'发送自刷新命令。用户也可以通过设置位 NARF 来设置连续刷新次数，DS0 和 DS1 决定接收命令的设备。
7. 模式寄存器配置：模式寄存器通过写寄存器 EXMC_SDCMD 位域 MRC 来设置，其中定义了突发长度，突发类型，CAS 延迟和读写模式，这些需要参考 SDRAM 用户手册。CAS 延迟必须与寄存器 EXMC_SDCTLx 位域 CL 对应，突发长度设为 1 来保证数据正常传输。如果两个 SDRAM 的模式寄存器内容不同，需要通过 DS0 和 DS1 单独选择设备来配置。
8. 设置自刷新频率：自刷新频率与刷新周期相对应，用户必须确保刷新周期满足 SDRAM 的要求。

这里控制器已经完成初始化，可以与 SDRAM 通信。如果发生了复位，初始化需要按照上述步骤重复一遍。在读写操作之前，要保证控制器至少初始化一遍。

预充电

若SDRAM控制器在存取时需要进行行切换，那么首先需要将该行地址对应块的读写放大器去使能，使其进入空闲状态，为下一行的读写操作进行准备。这个过程叫做预充电，或者行去使能。预充电可以由控制器的全局预充电命令(Precharge-All)独立激发，或者是在读写完成后自动激发。行预充电延时(RPD)代表SDRAM行切换的最小时间，它是预充电完成到下一次行使能命令的最小时间间隔

行使能

行使能命令将行地址所在的块使能，完整的行地址由2比特的块地址EXMC_A[15:14]和13比特的行地址EXMC_A[12:0]组成。行使能会将所选行的16384比特信息读入读写放大器，这个过程也叫做行开启，该命令的一个副作用就是对所选行的存储单元进行了刷新。

一旦行使能，读写操作就可以顺利的进行，但是行使能需要一定的时间，这个时间间隔叫做行列延时，它是行寻址到列寻址的最小时间间隔。对SDRAM控制器进行配置时的行列延时(RCD)，是包含SDRAM行列延时的最小时钟周期数，它代表了行使能到SDRAM读写间的最小等待时间。

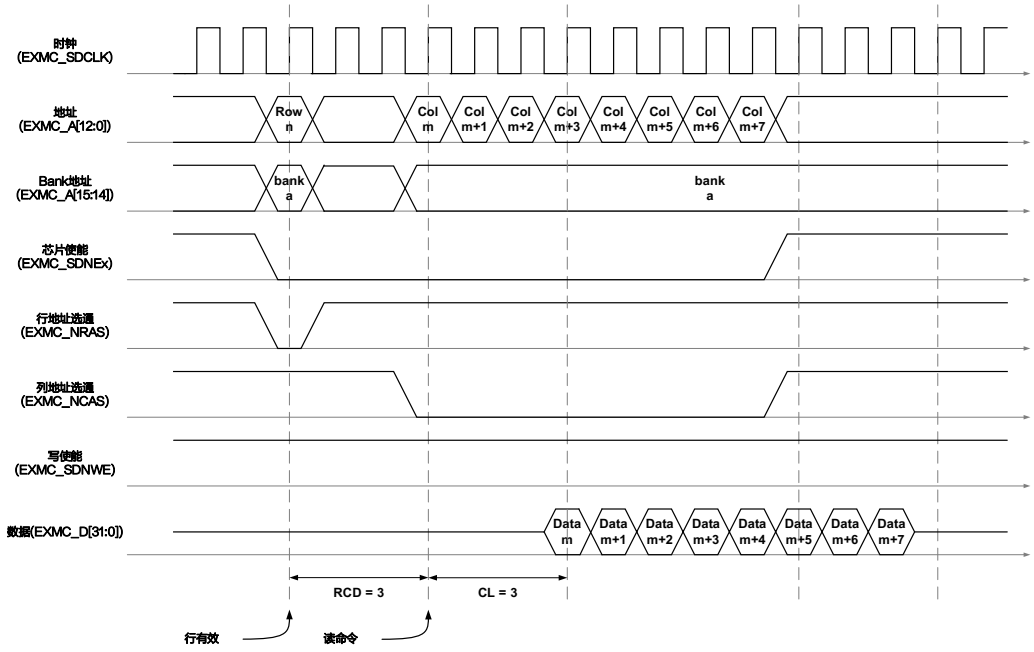
在这段时间中，用户可向其它的块地址发出控制命令，因为SDRAM控制器对块的操作是独立进行的。

读写访问

控制器可以把AHB的单次或突发读操作转换成单次的存储器读操作。为了连续访问，控制器通常会保存之前操作的行号。若下一次的读取位置是在相同的行号或是已经使能的其他行号，那么读操作会未中断的执行，否则需要先执行取消使能当前行和使能需要操作的行，最后才会执行操作。FIFO设计用来在CAS延迟和管道延迟的时候缓存数据。

*图 30-30. 突发读操作*是对一个未被使能的行突发读操作，在读之前发送了行使能指令。若对一个已经使能的行进行读操作，只需要发送列地址，行地址无需发送。

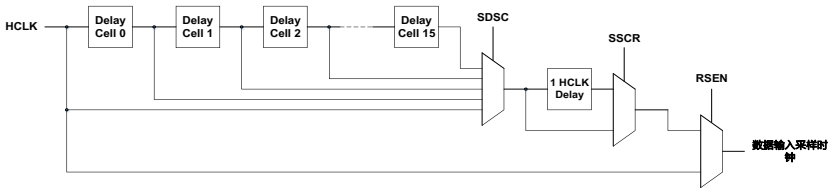
图 30-30. 突发读操作



当HCLK采样数据不准的时候，可以使用根据HCLK微调的内部可调时钟。当使能这个时钟的时候，读取的数据在进入AHB总线之前会先存储在异步FIFO中。2-3个HCLK延迟会被添加到读命令过程中。

时钟延迟模块在HCLK输入到信号发生器后添加，这个延迟的时钟作为输入数据的采样时钟。延迟模块可以通过寄存器EXMC_SDRSCTL来控制，其中RSEN位选择是否使用HCLK延迟，SSCR位选择是否额外增加一个HCLK延迟，SDSC选择增加多少个HCLK延迟。

图 30-31. 数据采样时钟延迟模块

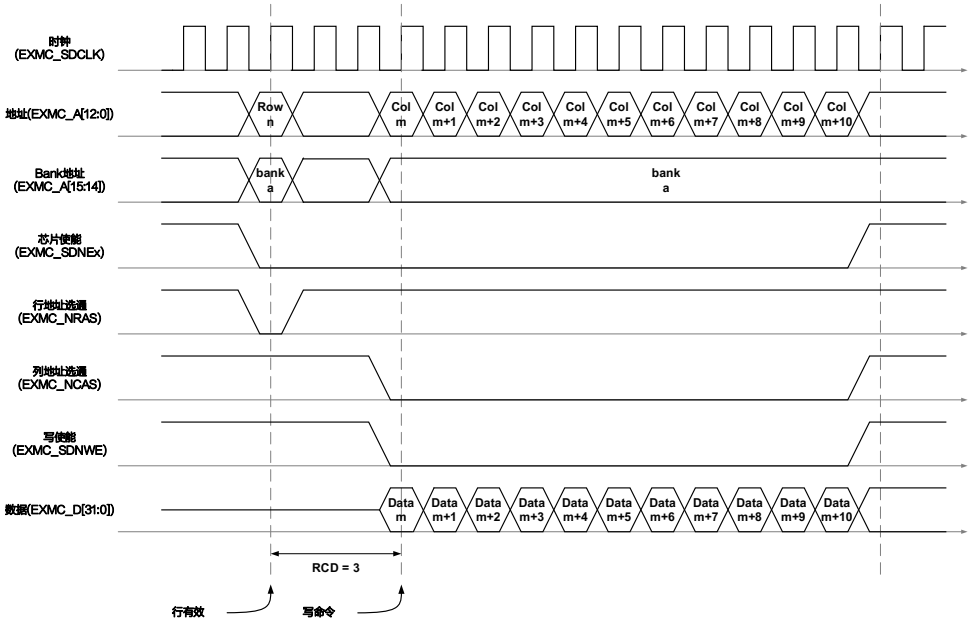


控制器可以把AHB的单次或突发写操作转换成单次的存储器写操作。写操作之前必须失能写保

护位(寄存器EXMC_SDCTL位WPEN)。为了连续访问，控制器通常会保存之前操作的行号，若下一次操作是在相同的行号或是已经使能的其他行号，操作会未中断的执行，否则需要先执行取消使能当前行和使能需要操作的行，最后才会执行操作。

*图 30-32. 突发写操作*是对一个未被使能的行突发写操作，在写之前发送了行使能指令。若对一个已经使能的行写操作，只需要发送列地址，行地址无需发送。

图 30-32. 突发写操作



读写命令预处理模块接收AHB命令，然后根据AHB总线和SDRAM接口的数据总线宽度将AHB命令转换成单个的SDRAM访问。

在读写命令预处理模块中，有两个写FIFO，用于缓冲AHB写命令的地址和数据。当两个写FIFO都不为空时，产生写访问。

当寄存器EXMC_SDCTLx位BRSTRD置1时，读写命令预处理模块能够预处理下一个读访问。读FIFO被用来存储在CAS延迟(由EXMC_SDCTLx中的CL位配置)和PIPED延迟(由EXMC_SDCTLx中的PIPED位配置)期间提前读出的数据。

读数据FIFO能够最多缓存6个32位的读数据字，同时地址FIFO携带6个14位的读地址标签，这些标签用来标识6个32位的读数据字中每一个。每个地址标签由11位列地址，2位Bank地址和1位SDRAM设备选择位。

当在AHB总线上出现一个读命令时，读写命令预处理模块将首先检查这个地址是否和某个地址标签匹配，如果匹配，则直接从FIFO中读取数据。否则，向存储器发一个新的读命令，FIFO会被新的数据更新。如果FIFO满了，旧的数据会被丢失。

读FIFO操作，如*图 30-33. FIFO 未命中时的读访问(BRSTRD=1，CL=2，SDCLK=2，PIPED=2)*及*图 30-34. FIFO 命中时的读访问(BRSTRD=1)*所示。

图 30-33. FIFO 未命中时的读访问(BRSTRD=1，CL=2，SDCLK=2，PIPED=2)

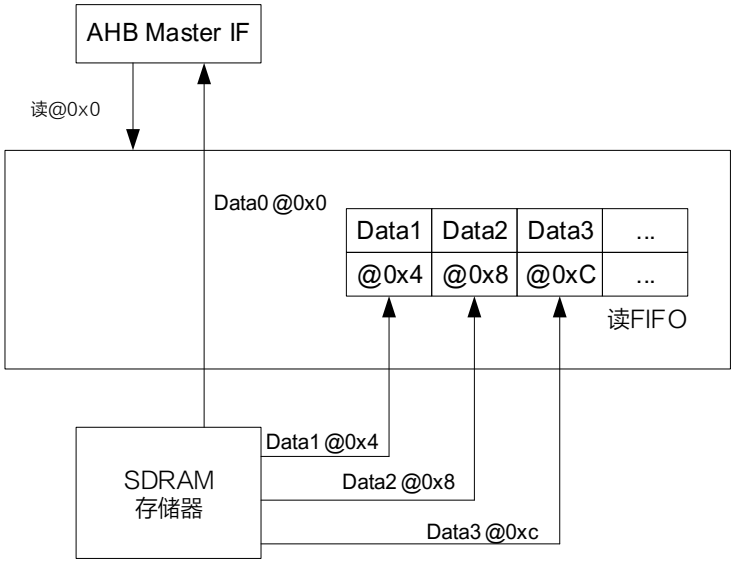
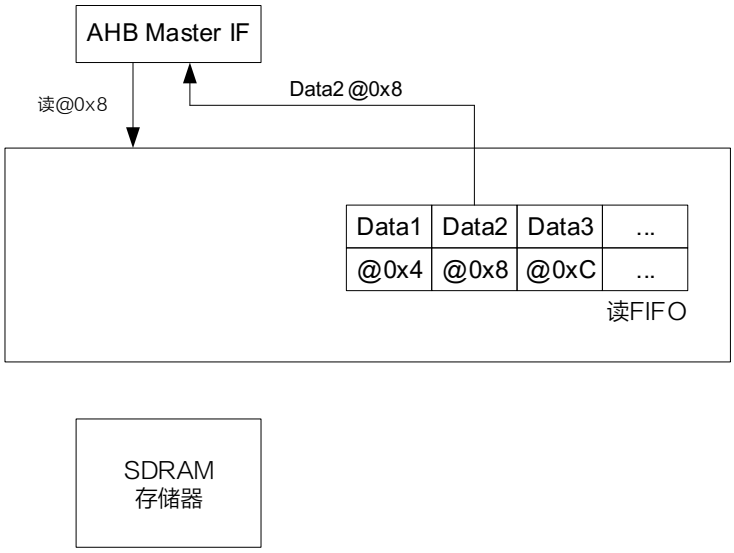


图 30-34. FIFO 命中时的读访问(BRSTRD=1)



当一个写访问或者预充电命令出现时，读FIFO缓冲区中的数据就会被清除掉，用以填充新的数据。

地址译码器子模块会根据外部存储器设备的配置将AHB总线地址转化成片选、内部bank地址、行地址和列地址。

使能缓存子模块记录着内部banks是否处于使能状态。当一个内部bank处于使能状态，则相应的行地址也会被记录。当AHB访问或者自动刷新命令出现时，读写命令预处理模块将会查询这个记录，并且决定是否生成使能或预充电命令。

在读/写操作之前，目标行必须被使能，EXMC_A[15:14]选择Bank，EXMC_A[12:0]选择行。被选择的行在预充电命令出现前会一直有效。预充电命令用来取消选择特定Bank或者所有Bank使能的行。预充电命令必须在使能同一个Bank的不同行之前发出。使能和预充电由EXMC自动执行，它的正确性取决于之前描述的存储器的相关配置。有关自动行使能和预充电的读写时序

如下图所示。

图 30-35. 跨边界读操作

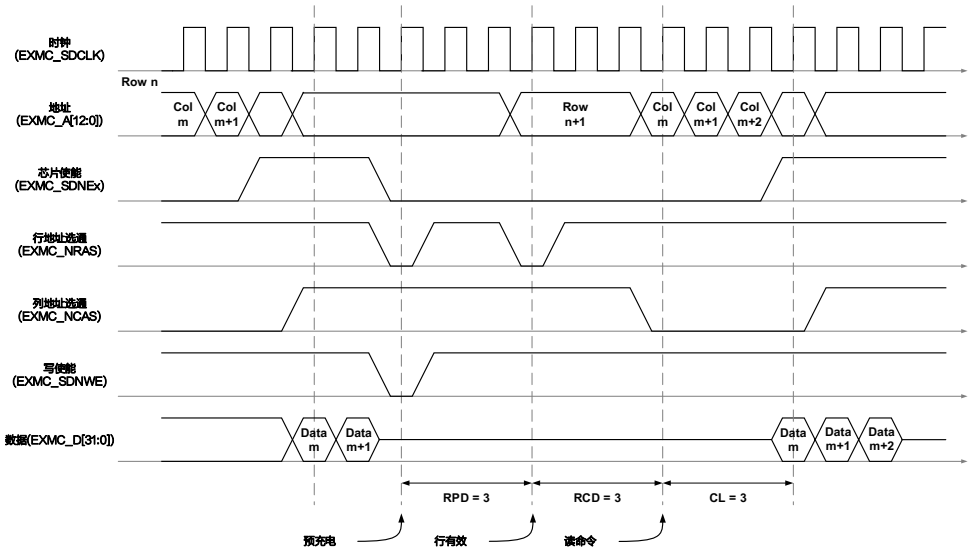
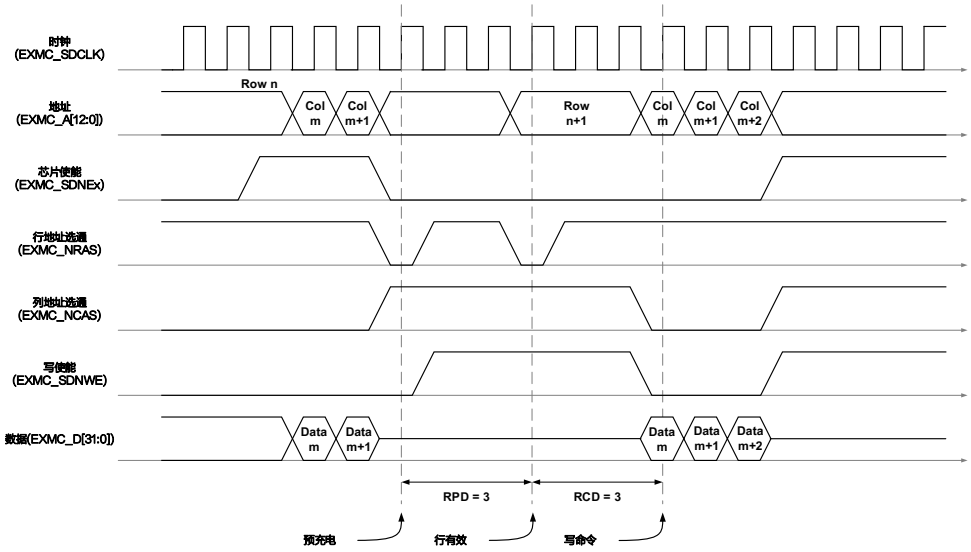


图 30-36. 跨边界写操作



上图描述了在跨行边界时的读写操作时序，会按照以下步骤自动执行：

1. 预充电当前行；
2. 使能下一行；
3. 读写操作。

预充电延迟(PRD)和行到列延迟(RCD)会根据寄存器 EXMC_SDTCFGx 设置。其他时序参数必须参照 SDRAM 标准要求。

当读写操作发生在 Bank 边界时，会有以下两种情况：

1. 当前 Bank 不是最后一个 Bank，使能下一个 Bank 的第一行，支持任意的行，列，总线宽度设置。
2. 当前 Bank 是最后一个 Bank，行，列，总线宽度设置为 13 位，11 位，32 位。假设当前操作的 SDRAM 位 device0，控制器会在 device1 上继续操作。

低功耗模式

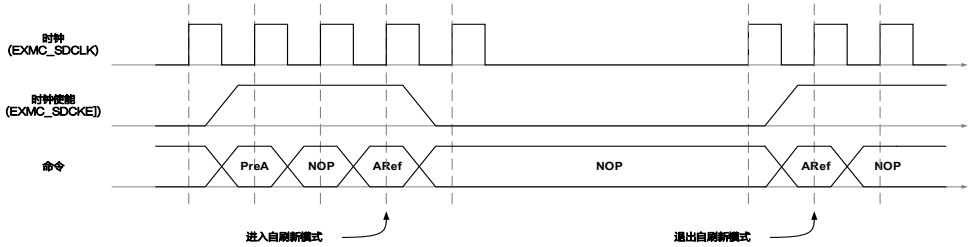
EXMC 支持两种低功耗模式：

1. 自刷新模式：在自刷新模式中，在没有外部时钟(EXMC_CLK)的情况下，刷新由 SDRAM 本身提供，以此来保持数据的完整性。通过往寄存器 EXMC_SDCMD 位域 CMD 写入'0b101'进入自刷新模式，DS0 和 DS1 决定哪个 SDRAM 设备接收到该命令。如果自刷新指令发送给两个 SDRAM 设备或一个未初始化的 SDRAM 设备，则在 RASD 延迟后 EXMC_SDCLK 停止运行。
2. 掉电模式：在掉电模式中，刷新由 SDRAM 控制器提供。通过往寄存器 EXMC_SDCMD 位域 CMD 写入'0b110'进入掉电模式，DS0 和 DS1 决定哪个 SDRAM 设备接收到该命令。如果写数据 FIFO 非空，在掉电模式使能之前，所有数据都会发送给存储器。

命令模式状态机也控制正常模式和低功耗模式(自刷新/掉电)之间的转换过程。

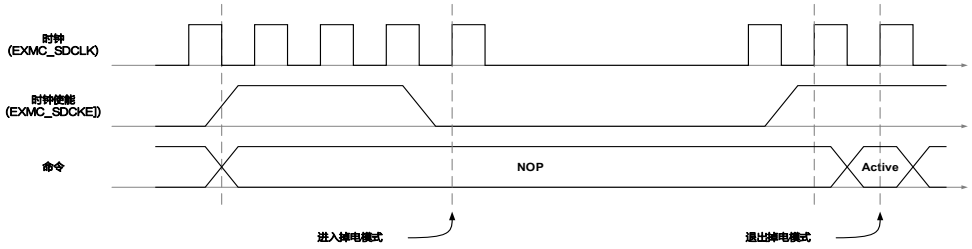
当读写访问出现时，SDRAM 控制器会从自刷新模式退出，返回到正常模式。如果在 SDRAM 控制器进入自刷新模式时出现读写访问，则自刷新的进入过程会被中断，并且在读写访问完成后 SDRAM 控制器会停留在正常模式。

图 30-37. 自刷新模式进入和退出的处理



如果在SDRAM控制器处于掉电模式时出现自动刷新请求，那么SDRAM控制器会退出掉电模式并返回到正常模式，发"预充电所有存储区域"命令和自动刷新命令序列，然后再一次自动进入掉电模式。

图 30-38. 掉电模式进入和退出的处理



状态和中断

寄存器EXMC_SDSTAT的准备未完成状态位NRDY指示SDRAM是否准备完成接受新的命令。在控制器发送新的命令之后，该位会被清除。

寄存器EXMC_SDSTAT的STA0和STA1定义SDRAM的device0和device1的状态，0x00为普通

模式，0b01为自刷新模式，0b10为掉电模式。

若前一个刷新指令未完成时，接收到了新的刷新指令，寄存器EXMC_SDSTAT刷新错误标志位(REIF)会被置位，该位通过寄存器EXMC_SDARI位REC置位来清除。

30.4. EXMC 寄存器

EXMC基地址：0xA000 0000

30.4.1. NOR / PSRAM 控制器寄存器

SRAM / NOR Flash 控制寄存器(EXMC_SNCTLx)(x=0, 1, 2, 3)

偏移地址：0x00 + 8 * x(x = 0, 1, 2, 3)
复位值：0x0000 30DA

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留											CCK	SYNCWR	CPS[2:0]		
											rw	rw		rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ASYNCWTEN	EXMODEN	NRWTEN	WEN	NRWTCFG	WRAPEN	NRWTPOL	SBRSTEN	保留	NREN	NRW[1:0]		NRTP[1:0]		NRMUX	NRBKEN
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw		rw		rw	rw

位/位域	名称	描述
31:21	保留	必须保持复位值。
20	CCK	连续时钟配置 0：EXMC_CLK只在同步模式产生 1：EXMC_CLK无条件产生 **注意**：该位只在EXMC_SNCTL0有效, EXMC_SNCTLx (x = 1, 2, 3)没有意义
19	SYNCWR	选择写操作模式 0：异步写操作 1：同步写操作
18:16	CPS[2:0]	CRAM页大小 000：页边界自动突发分割 001：128字节 010：256字节 011：512字节 100：1024字节 其他：保留
15	ASYNCWTEN	异步等待功能使能位 0：禁用异步等待功能 1：使能异步等待功能
14	EXMODEN	扩展模式使能 0：禁用扩展模式，即不使用EXMC_SNWTCFGx

		1：使能扩展模式
13	NRWTEN	NWAIT信号使能 对于存储器的突发模式访问，该位使能/禁用等待状态插入NWAIT信号功能 0：成组传输模式时，禁用NWAIT信号 1：成组传输模式时，使能NWAIT信号
12	WEN	写操作使能 0：禁止EXMC对外部存储器的写操作，否则产生一个AHB错误 1：允许EXMC对外部存储器的写操作(复位缺省值)
11	NRWTCFG	NWAIT信号配置，只在同步模式有效 0：NWAIT信号在等待状态前的一个数据周期有效 1：NWAIT信号在等待状态期间有效
10	WRAPEN	非对齐成组模式使能 0：禁止非对齐成组操作 1：允许非对齐成组操作
9	NRWTPOL	NWAIT信号极性 0：NWAIT低电平有效 1：NWAIT高电平有效
8	SBRSTEN	同步突发模式使能 0：禁止同步突发模式 1：使能同步突发模式
7	保留	必须保持复位值。
6	NREN	NOR闪存访问使能 0：禁止NOR Flash访问 1：允许NOR Flash访问
5:4	NRW[1:0]	存储器数据宽度 00：8位 01：16位(复位缺省值) 10/11：保留
3:2	NRTP[1:0]	存储器类型 00：SRAM、ROM 01：PSRAM(CRAM) 10：NOR Flash 11：保留
1	NRMUX	数据线/地址线复用 0：禁用地址/数据复用功能 1：允许地址/数据复用功能
0	NRBKEN	存储块使能 0：禁用对应的存储器块

1：使能对应的存储器块

SRAM / NOR Flash 时序寄存器(EXMC_SNTCFGx)(x=0, 1, 2, 3)

偏移地址：0x04 + 8 * x(x = 0, 1, 2, 3)
复位值：0x0FFF FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		ASYNCMOD[1:0]		DLAT[3:0]				CKDIV[3:0]				BUSLAT[3:0]			
		rw		rw				rw				rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSET[7:0]								AHLD[3:0]				ASET[3:0]			
rw								rw				rw			

位/位域	名称	描述
31:30	保留	必须保持复位值。
29:28	ASYNCMOD[1:0]	异步访问模式 该位只有在扩展模式中使用 00：模式A 01：模式B 10：模式C 11：模式D
27:24	DLAT[3:0]	NOR Flash数据延时，仅在同步模式有效 0x0：首次突发访问的数据延迟时间为2个EXMC_CLK时钟周期 0x1：首次突发访问的数据延迟时间为3个EXMC_CLK时钟周期 …… 0xD：首次突发访问的数据延迟时间为15个EXMC_CLK时钟周期 0xE ~ 0xF：保留
23:20	CKDIV[3:0]	同步模式时钟分频比，仅在同步模式有效 0x0：保留 0x1：EXMC_CLK周期=2个HCLK周期 …… 0xF：EXMC_CLK周期=16个HCLK周期
19:16	BUSLAT[3:0]	总线延迟时间 在复用读模式中使用，避免总线冲突，是总线恢复到高阻态的最小时间 0x0：总线延迟=0个HCLK周期 0x1：总线延迟=1个HCLK周期 …… 0xF：总线延迟=15个HCLK周期
15:8	DSET[7:0]	异步数据建立时间

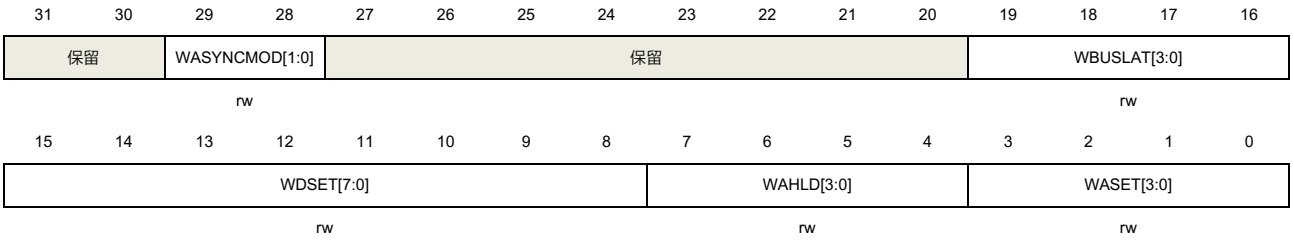
		该位域仅在异步模式有效 0x00：保留 0x01：数据建立时间=1个HCLK周期 …… 0xFF：数据建立时间=255个HCLK周期
7:4	AHLD[3:0]	异步地址保持时间 该位域设置地址保持时间，仅在模式D与复用模式有效 0x0：保留 0x1：地址保持时间=1个HCLK …… 0xF：地址保持时间=15个HCLK
3:0	ASET[3:0]	异步地址建立时间 该位域设置地址建立时间 **注意**：该位域仅在SRAM,ROM,NOR Flash的异步模式有效 0x0：地址建立时间= 0个HCLK …… 0xF：地址建立时间= 15个HCLK

SRAM / NOR Flash 写时序寄存器(EXMC_SNWTCFGx)(x=0, 1, 2, 3)

偏移地址：0x104 + 8 * x(x = 0, 1, 2, 3)
复位值：0x0FFF FFFF

该寄存器仅在扩展模式使能(寄存器EXMC_SNCTL位EXMODEN置1)后有效。

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:30	保留	必须保持复位值。
29:28	WASYNCMOD[1:0]	异步访问模式 该位只有在扩展模式中使用 00：模式A 01：模式B 10：模式C 11：模式D
27:20	保留	必须保持复位值。

19:16	WBUSLAT[3:0]	总线延迟时间 在复用读模式中使用，避免总线冲突，是总线恢复到高阻态的最小时间 0x0：总线延迟=0个HCLK周期 0x1：总线延迟=1个HCLK周期 …… 0xF：总线延迟=15个HCLK周期
15:8	WDSET[7:0]	异步数据建立时间 该位域仅在异步模式有效 0x00：保留 0x01：数据建立时间=1个HCLK周期 …… 0xFF：数据建立时间=255个HCLK周期
7:4	WAHLD[3:0]	异步地址保持时间 该位域设置地址保持时间，仅在模式D与复用模式有效 0x0：保留 0x1：地址建立时间=1个HCLK …… 0xF：地址建立时间=15个HCLK
3:0	WASET[3:0]	异步地址建立时间 该位域设置地址建立时间 **注意**：该位域仅在SRAM,ROM,NOR Flash的异步模式有效 0x0：地址建立时间= 0个HCLK …… 0xF：地址建立时间= 15个HCLK

SRAM / NOR Flash 数据延迟减少寄存器(EXMC_SNLATDECx)(x=0, 1, 2, 3)

偏移地址：0x300 + 4 * x(x = 0, 1, 2, 3)
复位值：0x0000 0000

该寄存器仅在同步模式时有效。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													LATDEC[2:0]		
													rw		

Bits	Fields	Descriptions
31:3	保留	必须保持复位值。

2:0	LATDEC[2:0]	配置NOR Flash的数据延迟的减少值。仅在同步读访问时有效。 该字段与DLAT一起用于调整读访问时间。 同步读： 000：首次突发访问的数据延迟为(DLAT + 3) EXMC_CLK 001：首次突发访问的数据延迟为(DLAT + 2) EXMC_CLK 010：首次突发访问的数据延迟为(DLAT + 1) EXMC_CLK 011：首次突发访问的数据延迟为(DLAT + 0) EXMC_CLK 100：首次突发访问的数据延迟为(DLAT - 1) EXMC_CLK 101：首次突发访问的数据延迟为(DLAT - 2) EXMC_CLK 110：首次突发访问的数据延迟为(DLAT - 3) EXMC_CLK 111：首次突发访问的数据延迟为(DLAT - 4) EXMC_CLK **注意：**例如，如果读模式下的数据延迟需要配置为3个CLK，则DLAT[3:0]应为0b'0000，LATDEC[2:0]应为0b'010。

30.4.2. NAND Flash / PC Card 控制器寄存器

NAND Flash / PC Card 控制寄存器(EXMC_NPCTLx)(x=1, 2, 3)

偏移地址：0x40 + 0x20 * x(x = 1, 2, 3)
复位值：0x0000 0008

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												ECCSZ[2:0]			ATR[3]
													rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATR[2:0]			CTR[3:0]				保留		ECCEN	NDW[1:0]		NDTP	NDBKEN	NDWTEN	保留
rw			rw						rw	rw		rw	rw	rw	

位/位域	名称	描述
31:20	保留	必须保持复位值。
19:17	ECCSZ[2:0]	ECC块大小 000：256字节 001：512字节 010：1024字节 011：2048字节 100：4096字节 101：8192字节
16:13	ATR[3:0]	ALE至RE的延迟 0x0：1个HCLK …… 0xF：16个HCLK

12:9	CTR[3:0]	CLE至RE的延迟 0x0：1个HCLK 0x1：2个HCLK …… 0xF：16个HCLK
8:7	保留	必须保持复位值。
6	ECCEN	ECC使能 0：关闭ECC，并复位EXMC_NECCx 1：打开ECC
5:4	NDW[1:0]	外部存储器数据宽度 00：8位 01：16位 其他：保留 **注意**：对于PC/CF Card，数据宽度必须选择16位
3	NDTP	外部存储器的类型 0：PC Card, CF Card, PCMCIA 1：NAND Flash
2	NDBKEN	存储块使能 0：禁用对应的存储器块 1：使能对应的存储器块
1	NDWTEN	NWAIT信号使能位 0：关闭等待功能 1：使能等待功能
0	保留	必须保持复位值。

NAND Flash / PC Card 中断使能寄存器(EXMC_NPINTENx)(x=1, 2, 3)

偏移地址：0x44 + 0x20 * x(x = 1, 2, 3)
复位值：0x0000 0042(对于bank1和bank2)0x0000 0040(对于bank3)

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									FFEPT	INTFEN	INTHEN	INTREN	INTFS	INTHS	INTRS
									rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:7	保留	必须保持复位值。

6	FFEPT	FIFO空标志位 0：FIFO非空 1：FIFO空
5	INTFEN	中断下降沿检测使能 0：禁用中断下降沿检测 1：使能中断下降沿检测
4	INTHEN	中断高电平检测使能 0：禁用中断高电平检测 1：使能中断高电平检测
3	INTREN	中断上升沿中断检测使能 0：禁用中断上升沿检测 1：使能中断上升沿检测
2	INTFS	中断下降沿状态 0：没有检测到中断下降沿 1：检测到中断下降沿
1	INTHS	中断高电平状态 0：没有检测到中断高电平 1：检测到中断高电平
0	INTRS	中断上升沿状态 0：没有检测到中断上升沿 1：检测到中断上升沿

NAND Flash / PC Card 通用空间时序寄存器(EXMC_NPCTCFGx)(x=1, 2, 3)

偏移地址：0x48 + 0x20 * x(x = 1, 2, 3)
复位值：0xFFFF FFFF

这些操作适用于以下类型的外部存储器的通用存储空间16位的PC Card，CF card和NAND Flash。

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
COMHIZ[7:0]								COMHLD[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMWAIT[7:0]								COMSET[7:0]							
rw								rw							

位/位域	名称	描述
31:24	COMHIZ[7:0]	通用空间数据总线的高阻时间 定义在通用空间进行写操作后数据总线保持高阻态时间 0x00：1个HCLK

		…… 0xFE：255个HCLK 0xFF：保留
23:16	COMHLD[7:0]	通用空间的保持时间 在发送地址后的地址保持时间，在写操作时，也作为数据信号保持的时间 0x00：保留 0x01：1个HCLK …… 0xFE：254个HCLK 0xFF：保留
15:8	COMWAIT[7:0]	通用空间的等待时间 定义了保持命令的最小时间 0x00：保留 0x01：2个HCLK(加上NWAIT时钟周期) …… 0xFE：255个HCLK(加上NWAIT时钟周期) 0xFF：保留
7:0	COMSET[7:0]	通用空间的建立时间 定义地址信号的建立时间 0x00：1个HCLK …… 0xFE：255个HCLK 0xFF：保留

NAND Flash / PC Card 属性空间时序寄存器(EXMC_NPATCFGx)(x=1, 2, 3)

偏移地址：0x4C + 0x20 * x(x = 1, 2, 3)
复位值：0xFFFF FFFF

这些操作适用于以下类型的外部存储器的属性存储空间8位的PC Card和NAND Flash。
该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ATTHIZ[7:0]								ATTHLD[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATTWAIT[7:0]								ATTSET[7:0]							
rw								rw							

位/位域	名称	描述
31:24	ATTHIZ[7:0]	属性空间数据总线的高阻时间 定义在属性空间进行写操作后数据总线保持高阻态时间 0x00：0个HCLK

		…… 0xFE：254个HCLK 0xFF：保留
23:16	ATTHLD[7:0]	属性空间的保持时间 在发送地址后的地址保持时间，在写操作时，也作为数据信号保持的时间 0x00：保留 0x01：1个HCLK …… 0xFE：254个HCLK 0xFF：保留
15:8	ATTWAIT[7:0]	属性空间的等待时间 定义了保持命令的最小时间 0x00：保留 0x01：2个HCLK(加上NWAIT时钟周期) …… 0xFE：255个HCLK(加上NWAIT时钟周期) 0xFF：保留
7:0	ATTSET[7:0]	属性空间的建立时间 定义地址信号的建立时间 0x00：1个HCLK …… 0xFE：255个HCLK 0xFF：保留

PC Card I/O 空间时序寄存器(EXMC_PIOTCFG3)

偏移地址：0xB0
复位值：0xFFFF FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IOHIZ[7:0]								IOHLD[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOWAIT[7:0]								IOSET[7:0]							
rw								rw							

位/位域	名称	描述
31:24	IOHIZ[7:0]	I/O空间数据总线的高阻时间 定义在IO空间进行写操作后数据总线保持高阻态时间 0x00：0个HCLK ……

		0xFF：255个HCLK
23:16	IOHLD[7:0]	I/O空间的保持时间 在发送地址后的地址保持时间，在写操作时，也作为数据信号保持的时间0x00：保留 0x01：1个HCLK …… 0xFF：255个HCLK
15:8	IOWAIT[7:0]	I/O空间的等待时间 定义了保持命令的最小时间 0x00：保留 0x01：2个HCLK(加上NWAIT时钟周期) …… 0xFF：256个HCLK(加上NWAIT时钟周期)
7:0	IOSET[7:0]	I/O空间的建立时间 定义地址信号的建立时间 0x00：1个HCLK …… 0xFF：256个HCLK

NAND Flash ECC 结果寄存器(EXMC_NECCx)(x=1, 2)

偏移地址：0x54+0x20 * x(x =1, 2)
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECC[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECC[15:0]															
r															

位/位域	名称	描述
31:0	ECC[31:0]	ECC计算结果 当ECCSZ[2:0] = 000，页大小为256字节，ECC计算结果存储在ECC[21:0]位域。 当ECCSZ[2:0] = 001，页大小为512字节，ECC计算结果存储在ECC[23:0]位域。 当ECCSZ[2:0] = 010，页大小为1024字节，ECC计算结果存储在ECC[25:0]位域。 当ECCSZ[2:0] = 011，页大小为2048字节，ECC计算结果存储在ECC[27:0]位域。 当ECCSZ[2:0] = 100，页大小为4096字节，ECC计算结果存储在ECC[29:0]位域。 当ECCSZ[2:0] = 101，页大小为8192字节，ECC计算结果存储在ECC[31:0]]位域。

30.4.3. SDRAM 控制器寄存器

SDRAM 控制寄存器(EXMC_SDCTLx)(x=0, 1)

偏移地址：0x140 + 4*x(x = 0, 1)
复位值：0x0000 02D0

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PIPED[1:0]		BRSTRD	SDCLK[1:0]		WPEN	CL[1:0]		NBK	SDW[1:0]		RAW[1:0]		CAW[1:0]	
	rw		rw	rw		rw	rw		rw	rw		rw		rw	

位/位域	名称	描述
31:15	保留	必须保持复位值。
14:13	PIPED[1:0]	流水线读数据延迟 这些位用于指定在CAS延迟之后再延迟多少个HCLK时钟周期才去读数据 00：延迟0个HCLK周期 01：延迟1个HCLK周期 10：延迟2个HCLK周期 11：保留 **注意**：寄存器EXMC_SDCTL1相应位保留
12	BRSTRD	突发读开关 当该位被置位时，会在CAS延迟期间预期处理下一个读命令，并将数据存储到读FIFO中。 0：禁用突发读 1：使能突发读 **注意**：寄存器EXMC_SDCTL1相应位保留
11:10	SDCLK[1:0]	SDRAM时钟配置 这些位指定了两个SDRAM device的时钟周期。如果需要修改存储器时钟配置，首先需要将存储器时钟禁用，并且在修改配置后将存储器重新初始化。 00：SDCLK存储器时钟禁用 01：保留 10：SDCLK存储器周期为2个HCLK 11：SDCLK存储器周期为3个HCLK **注意**：寄存器EXMC_SDCTL1相应位保留
9	WPEN	写保护 该位禁用写保护功能 0：禁用写保护，允许写访问

		1：使能写保护，忽略写访问
8:7	CL[1:0]	CAS延迟 这些位用于设定SDRAM CAS延迟多少个SDRAM存储器时钟周期单元 00：保留不使用 01：1个周期 10：2个周期 11：3个周期
6	NBK	内部Bank的个数 该位指定内部Bank的个数 0：2个内部Banks 1：4个内部Banks
5:4	SDW[1:0]	SDRAM数据总线宽度 该位指定SDRAM存储器数据总线宽度 00：8位 01：16位 10：32位 11：保留
3:2	RAW[1:0]	行地址位宽 这些位用于指定行地址的比特宽度 00：11位 01：12位 10：13位 11：保留
1:0	CAW[1:0]	列地址位宽 这些位用于指定列地址的比特宽度 00：8位 01：9位 10：10位 11：11位

SDRAM 时序寄存器(EXMC_SDTCFGx)(x=0, 1)

偏移地址：0x148 + 4*x(x = 0, 1)
复位值：0x0FFF FFFF

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				RCD[3:0]				RPD[3:0]				WRD[3:0]			
				rw				rw				rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARFD[3:0]				RASD[3:0]				XSRD[3:0]				LMRD[3:0]			
rw				rw				rw				rw			

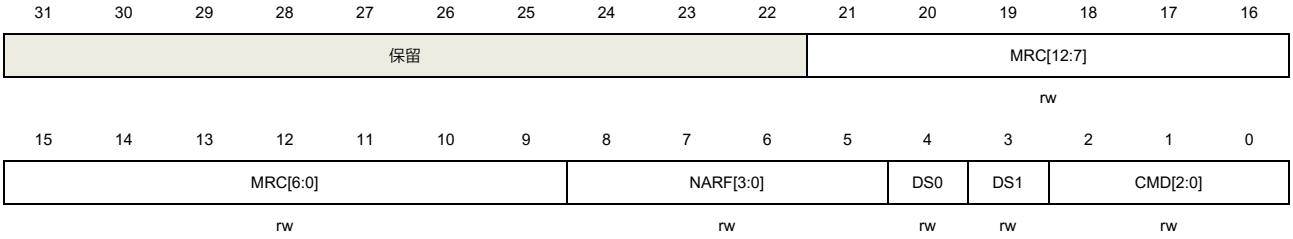
位/位域	名称	描述
31:28	保留	必须保持复位值。
27:24	RCD[3:0]	行到列的延迟 这些位指定了使能命令与读/写命令之间延迟多少SDRAM时钟周期单元 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期
23:20	RPD[3:0]	行预充电延迟 这些位指定了预充电命令与下一个命令之间延迟多少SDRAM存储器时钟周期单元 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期 **注意**：寄存器EXMC_SDTCFG1相应位保留，如果两个SDRAM存储器都被使用，RPD必须用较慢设备的时序来配置
19:16	WRD[3:0]	写恢复延迟 这些位指定写命令和预充电命令之间延迟多少SDRAM存储器时钟周期单元 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期 **注意**：寄存器EXMC_SDTCFG1相应位保留，如果两个SDRAM存储器都被使用，WRD必须用较慢设备的时序来配置
15:12	ARFD[3:0]	自动刷新延迟 这些位指定两个连续的刷新命令之间的延迟，在同一个内部bank上两个使能命令之间的延迟，以及刷新命令和使能命令之间的延迟，延迟时间以SDRAM存储器时钟周期为单位 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期 **注意**：寄存器EXMC_SDTCFG1相应位保留，如果两个SDRAM存储器都被使用，ARFD必须用较慢设备的时序来配置
11:8	RASD[3:0]	行地址选择延迟 这些位指定了使能命令与预充电命令之间延迟多少SDRAM时钟周期单元，也指定了两个连续的自刷新命令之间的最小延迟 0x0：1个周期 0x1：2个周期 ....

		0xF：16个周期
7:4	XSRD[3:0]	退出自刷新延迟 这些位指定了从自刷新命令到使能命令之间延迟多少个SDRAM存储器时钟周期单元 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期
3:0	LMRD[3:0]	加载模式寄存器延迟 这些位指定加载模式寄存器命令与刷新或使能命令之间延迟多少SDRAM存储器时钟周期单元 0x0：1个周期 0x1：2个周期 .... 0xF：16个周期

SDRAM 命令寄存器(EXMC_SDCMD)

偏移地址：0x150
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:22	保留	必须保持复位值。
21:9	MRC[12:0]	模式寄存器内容 这些位指定SDRAM模式寄存器的内容，这些内容在CMD="100"时进行编程
8:5	NARF[3:0]	连续的自动刷新个数 这些位指定在CMD="011"时，发出多少个连续自动刷新周期 0x0：1个自动刷新周期 0x1：2个自动刷新周期 .... 0xE：15个自动刷新周期 0xF：保留
4	DS0	选择SDRAM device 0 该位指示SDRAM device 0是否被选择

		0：SDRAM device 0没有被选择 1：SDRAM device 0被选择
3	DS1	选择SDRAM device 1 该位指示SDRAM device 1是否被选择 0：SDRAM device 1没有被选择 1：SDRAM device 1被选择
2:0	CMD[2:0]	命令 这些位指定发送到SDRAM设备上的命令 000：正常操作模式 001：时钟使能命令 010：所有存储区预充电命令 011：自动刷新命令 100：加载模式寄存器命令 101：自刷新命令 110：掉电模式进入命令 111：保留 **注意**：发送命令时，至少需要选择一个设备(设备0或设备1)。如果两个设备同时使用，必须同时选择两个设备发送命令。

SDRAM 自动刷新间隔寄存器(EXMC_SDARI)

偏移地址：0x154
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	REIE	ARINTV[12:0]													REC
	rw	rw													w

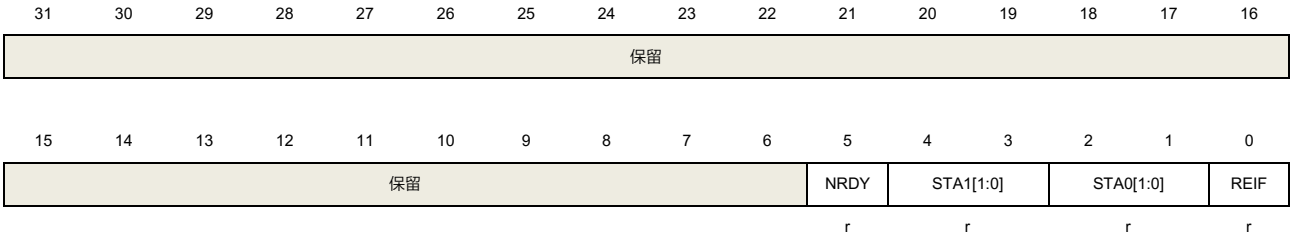
位/位域	名称	描述
31:15	保留	必须保持复位值。
14	REIE	刷新错误中断使能 0：中断禁止 1：状态寄存器RFE位置1发生中断
13:1	ARINTV[12:0]	自动刷新间隔 这些位指定两个连续的自动刷新命令之间间隔多少存储器时钟周期单元 ARFITV=(SDRAM刷新周期/行数)-20
0	REC	清除刷新错误标志 该位置1会清除状态寄存器REIF位

0：没有效果
1：清除刷新错误标志

SDRAM 状态寄存器(EXMC_SDSTAT)

偏移地址：0x158
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:6	保留	必须保持复位值。
5	NRDY	非就绪状态 该位指定SDRAM控制器是否已经准备接收一个新的命令 0：SDRAM控制器准备好接收新命令 1：SDRAM控制器没有准备好接收新命令
4:3	STA1[1:0]	device1 状态 该位定义SDRAM device1的状态 00：正常状态 01：自刷新状态 10：掉电状态
2:1	STA0[1:0]	device 0 状态 该位定义SDRAM device 0的状态 00：正常状态 01：自刷新状态 10：掉电状态
0	REIF	刷新错误标志 0：无刷新错误 1：出现刷新错误。若中断使能位置1(REIE)，则产生中断。

SDRAM 读采样控制寄存器(EXMC_SDRSCTL)

偏移地址：0x180
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								SDSC[3:0]				保留		SSCR	RSEN
								rw						rw	rw

位/位域	名称	描述
31:8	保留	必须保持复位值。
7:4	SDSC[3:0]	选择读数据的采样时钟的延迟单元 0x0：0个延迟单元 0x1：1个延迟单元 …… 0xF：15个延迟单元
3:2	保留	必须保持复位值。
1	SSCR	选择读数据的采样周期 0：除延迟之外，为读数据采样时钟增加0个额外的HCLK周期 1：除延迟之外，为读数据采样时钟增加1个额外的HCLK周期
0	RSEN	读采样使能 0：禁止读采样 1：使能读采样

30.4.4. SQPI - PSRAM 控制器寄存器

SPI 初始化寄存器(EXMC_SINIT)

偏移地址：0x310
复位值：0x1801 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL	IDL[1:0]		ADRBIT[4:0]					保留						CMDBIT[1:0]	
rw	rw		rw											rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位/位域	名称	描述
31	POL	读数据时的采样极性 0：上升沿时进行采样(缺省值) 1：下降沿时进行采样

30:29	IDL[1:0]	SPI PSRAM ID长度 00：64位 01：32位 10：16位 11：8位
28:24	ADRBIT[4:0]	SPI PSRAM地址位数 范围由1到26(缺省值为24) 0x00：保留 0x01：1位地址 …… 0x1A：26位地址 0x1B：保留 …… 0x1F：保留
23:18	保留	必须保持复位值。
17:16	CMDBIT[1:0]	SPI PSRAM命令位数 00：4位 01：8位(缺省值) 10：16位 11：保留
15:0	保留	必须保持复位值。

SPI 读命令寄存器(EXMC_SRCMD)

偏移地址：0x320
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDID	保留									RMODE[1:0]		RWAITCYCLE[3:0]			
rw										rw	rw	rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCMD[15:0]															
rw															

位/位域	名称	描述
31	RDID	发送读SPI PSRAM ID的命令，命令码和模式分别通过RCMD和RMODE设置
30:22	保留	必须保持复位值。.
21:20	RMODE[1:0]	SPI PSRAM读命令模式 00：非SPI模式 01：SPI模式 10：SQPI模式

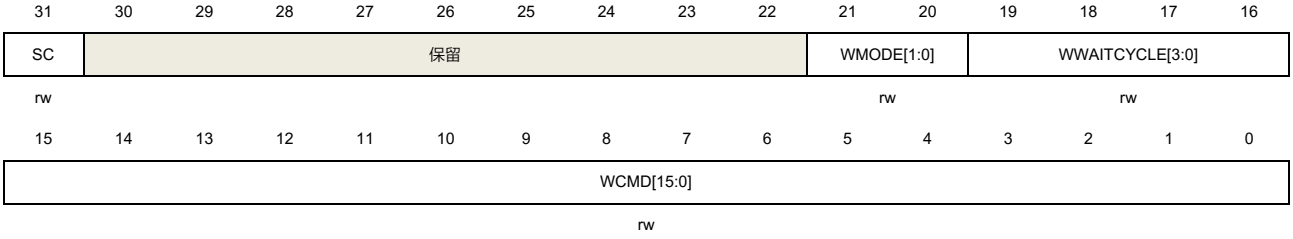
		11：QPI模式
19:16	RWAITCYCLE[3:0]	读数据时地址阶段结束后等待的周期数
15:0	RCMD[15:0]	SPI 读命令的命令码 CMDBIT不同时，RCMD有效位不同： CMDBIT=00，RCMD[3:0]有效 CMDBIT=01，RCMD[7:0]有效 CMDBIT=10，RCMD[15:0]有效

注意：在向 RDID 位写 1 之前，你必须确保该位已被清除，RDID 置 1 之后，必须等待 RDID 被清除

SPI 写命令寄存器(EXMC_SWCMD)

偏移地址：0x330
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31	SC	发送SPI PSRAM没有地址和数据阶段的特殊命令，命令码和模式分别由WCMD和WMODE设置
30:22	保留	必须保持复位值。
21:20	WMODE[1:0]	SPI PSRAM写命令模式 00：非SPI模式 01：SPI模式 10：SQPI模式 11：QPI模式
19:16	WWAITCYCLE[3:0]	写数据时地址阶段结束后等待的周期数
15:0	WCMD[15:0]	SPI 写命令的命令码

注意：在向 SC 位写 1 之前，必须确保该位已被清除，SC 置 1 之后，必须等待 SC 被清除

SPI ID 低位寄存器(EXMC_SIDL)

偏移地址：0x340
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIDL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIDL[15:0]															
rw															

位/位域	名称	描述
31:0	SIDL[31:0]	ID低位数据 当IDL=00或01时，SIDL[31:0]有效 当IDL=10时，SIDL[15:0]有效 当IDL=11时，SIDL[7:0]有效

SPI ID 高位寄存器(EXMC_SIDH)

偏移地址：0x350
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIDH[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIDH[15:0]															
rw															

位/位域	名称	描述
31:0	SIDH[63:32]	ID高位数据 仅在IDL=00时有效

31. 控制器局域网络(CAN)

31.1. 简介

CAN(Controller Area Network)总线是一种可以在无主机情况下实现微处理器或者设备之间相互通信的总线标准。

CAN 总线控制器作为 CAN 网络接口，遵循 CAN 总线协议 2.0A、2.0B、ISO11898-1:2015 和 BOSCH CAN-FD 规范。CAN 总线控制器可以处理总线上的数据收发并具有 28 个过滤器，过滤器用于筛选并接收用户需要的消息。用户可以通过 3 个发送邮箱将待发送数据传输至总线，邮箱发送的顺序由发送调度器决定。并通过 2 个深度为 3 的接收 FIFO 获取总线上的数据，接收 FIFO 的管理完全由硬件控制。同时 CAN 总线控制器硬件支持时间触发通信(Time-trigger communication)功能。

31.2. 主要特征

- 支持 CAN 总线协议 2.0A 和 2.0B；
- 支持 CAN-FD 帧(ISO11898-1 和 CAN-FD 规范 V1.0)；
- 常规帧：通信波特率最大为 1Mbit/s；
- CAN-FD 帧：通信波特率最大为 6Mbit/s；
- 支持传输延迟补偿；
- 支持时间触发通信(Time-triggered communication)；
- 中断使能和清除。

发送功能

- 3 个发送邮箱；
- 支持发送优先级；
- 支持发送时间戳。

接收功能

- 2 个深度为 3 的接收 FIFO；
- 具有 28 个标识符过滤器；
- FIFO 锁定功能。

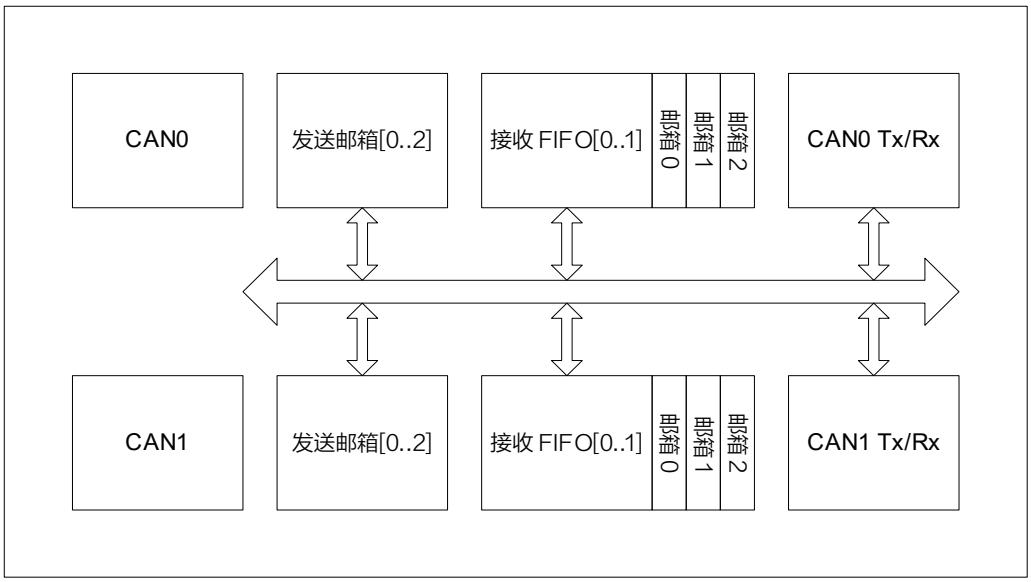
时间触发通信

- 在时间触发通信模式下禁用自动重传；
- 16 位定时器；
- 接收时间戳；
- 发送时间戳。

31.3. 功能说明

CAN模块结构框图如*图31-1. CAN模块结构框图*所示。

图 31-1. CAN 模块结构框图



31.3.1. 工作模式

CAN 总线控制器有 3 种工作模式：

- 睡眠工作模式；
- 初始化工作模式；
- 正常工作模式。

睡眠工作模式

芯片复位后，CAN总线控制器处于睡眠工作模式。该模式下CAN总线控制器的时钟停止工作并处于一种低功耗状态。

将CAN_CTL寄存器的SLPWMOD位置1，可以使CAN总线控制器进入睡眠工作模式。当进入睡眠工作模式后，CAN_STAT寄存器的SLPWS位将被硬件置1。

将CAN_CTL寄存器的AWU位置1，并当CAN检测到总线活动时，CAN总线控制器将自动退出睡眠工作模式。将CAN_CTL寄存器的SLPWMOD位清0，也可以退出睡眠工作模式。

由睡眠模式进入初始化工作模式：将CAN_CTL寄存器的IWMOD位置1，SLPWMOD位清0。

由睡眠模式进入正常工作模式：将CAN_CTL寄存器的IWMOD位和SLPWMOD位清0。

初始化工作模式

如果需要配置 CAN 总线通信参数，CAN 总线控制器必须进入初始化工作模式。将 CAN_CTL 寄存器的 IWMOD 位置 1，使 CAN 总线控制器进入初始化工作模式，将其清 0 则离开初始化工作模式。在进入初始化工作模式后，CAN_STAT 寄存器的 IWS 位将被硬件置 1。

由初始化模式进入睡眠模式：CAN_CTL 寄存器的 SLPWMOD 位置 1，IWMOD 位清 0。

由初始化模式进入正常工作模式：CAN_CTL 寄存器的 SLPWMOD 位和 IWMOD 位清 0。

正常工作模式

在初始化工作模式中配置完 CAN 总线通信参数后，将 CAN_CTL 寄存器的 IWMOD 位清 0 可以进入正常工作模式并与 CAN 总线网络中的节点进行正常通信。

由正常工作模式进入睡眠工作模式：CAN_CTL 寄存器的 SLPWMOD 位置 1，并等待当前数据收发过程结束。

由正常工作模式初始化工作模式：CAN_CTL 寄存器的 IWMOD 位置 1，并等待当前数据收发过程结束。

31.3.2. 通信模式

CAN 总线控制器有 4 种通信模式：

- 静默(Silent)通信模式；
- 回环(Loopback)通信模式；
- 回环静默(Loopback and Silent)通信模式；
- 正常(Normal)通信模式。

静默(Silent)通信模式

在静默通信模式下，可以从 CAN 总线接收数据，但不向总线发送任何数据。将 CAN_BT 寄存器中的 SCMOD 位置 1，使 CAN 总线控制器进入静默通信模式，将其清 0 可以退出静默通信模式。

静默通信模式可以用来监控 CAN 网络上的数据传输。

回环(Loopback)通信模式

在回环通信模式下，由 CAN 总线控制器发送的数据可以被自己接收并存入接收 FIFO，同时这些发送数据也送至 CAN 网络。将 CAN_BT 寄存器中的 LCMOD 位置 1，使 CAN 总线控制器进入回环通信模式，将其清 0 可以退出回环通信模式。

回环通信模式通常用来进行 CAN 通信自测。

回环静默(Loopback and Silent)通信模式

在回环静默通信模式下，CAN 的 RX 和 TX 引脚与 CAN 网络断开。CAN 总线控制器既不从 CAN 网络接收数据，也不向 CAN 网络发送数据，其发送的数据仅可以被自己接收。将 CAN_BT 寄存器中的 LCMOD 位和 SCMOD 位置 1，使 CAN 总线控制器进入回环静默通信模式，将它们清 0 可以退出回环静默通信模式。

回环静默通信模式通常用来进行 CAN 通信自测。对外 TX 引脚保持隐性状态(逻辑 1)，RX 引脚保持高阻态。

正常(Normal)通信模式

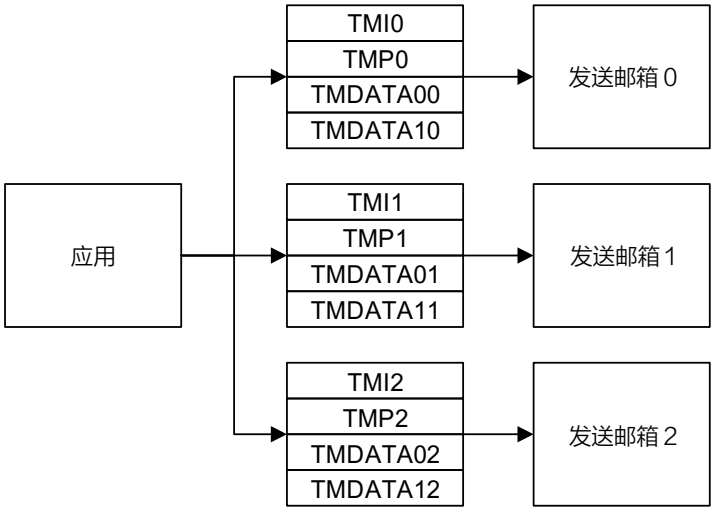
CAN 总线控制器通常工作在正常通信模式下，可以从 CAN 总线接收数据，也可以向 CAN 总线发送数据。这时需要将 CAN_BT 寄存器的 LCMOD 位和 SCMOD 位清 0。

31.3.3. 数据发送

发送寄存器

数据发送通过3个发送邮箱进行，可以通过寄存器CAN_TMIx，CAN_TMPx，CAN_TMDATA0x和CAN_TMDATA1x对发送邮箱进行配置。如*图31-2. 发送寄存器*所示。

图 31-2. 发送寄存器

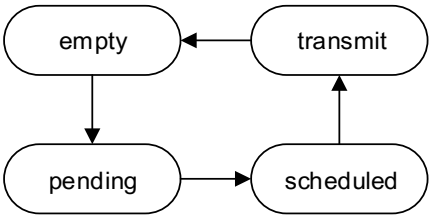


如果想要发送CAN-FD帧，使用发送邮箱x(x等于0到2)时，仅需要写对应的TMDATA0x(x等于0到2)寄存器。例如软件想要使用发送邮箱0发送64字节数据，需要通过写TMDATA00寄存器16次将待发送数据写入内部专用SRAM区。

发送邮箱状态转换

当发送邮箱处于**empty**状态时，应用程序才可以对邮箱进行配置。当邮箱被配置完成后，可以将CAN_TMIx寄存器的TEN位置1，从而向CAN总线控制器提交发送请求，这时发送邮箱处于**pending**状态。当超过1个邮箱处于**pending**状态时，需要对多个邮箱进行调度，这时发送邮箱处于**scheduled**状态。当调度完成后，发送邮箱中的数据开始向CAN总线上发送，这时发送邮箱处于**transmit**状态。当数据发送完成，邮箱变为空闲，可以再次交给应用程序使用，这时发送邮箱重新变为**empty**状态。如*图31-3. 发送邮箱状态转换*所示。

图 31-3. 发送邮箱状态转换



发送状态和错误信息

CAN_TSTAT寄存器中的MTF，MTFNERR，MAL和MTE位用来说明发送状态和错误信息。

- MTF：发送完成标志位。当数据发送完成时，MTF 置 1。
- MTFNERR：无错误发送完成标志位。当数据发送完成且没有错误时，MTFNERR 置 1。
- MAL：仲裁失败标志位。当发送数据过程中出现仲裁失败时，MAL置1。
- MTE：发送错误标志位。当发送过程中检测到总线错误时，MTE置1。

数据发送步骤

数据发送步骤如下：

第1步：选择一个空闲发送邮箱；

第2步：根据应用程序要求，配置4个发送寄存器；

第3步：将CAN_TMIx寄存器的TEN置1；

第4步：检测发送状态和错误信息。典型情况是检测到MTF和MTFNERR置1，说明数据被成功发送。

发送选项

中止数据发送

将CAN_TSTAT寄存器的MST置1，可以中止数据发送。

当发送邮箱处于**pending**和**scheduled**状态，CAN_TSTAT寄存器的MST置1可以立即中止数据发送。

当发送邮箱处于**transmit**状态，则面临两种情况。一种情况是数据发送被成功地完成，MTF和MTFNERR为1，这时发送邮箱将转换为**empty**状态。相对的，如果数据发送过程中出现了问题，这时发送邮箱将转换为**scheduled**状态，这时数据发送被中止。

发送优先级

当有2个及其以上发送邮箱等待发送时，寄存器CAN_CTL的TFO位的值可以决定发送顺序。

当TFO为1，所有等待发送的邮箱按照先来先发送(FIFO)的顺序进行。

当TFO为0，具有最小标识符(Identifier)的邮箱最先发送。如果所有的标识符(Identifier)相等，具有最小邮箱编号的邮箱最先发送。

31.3.4. 数据接收

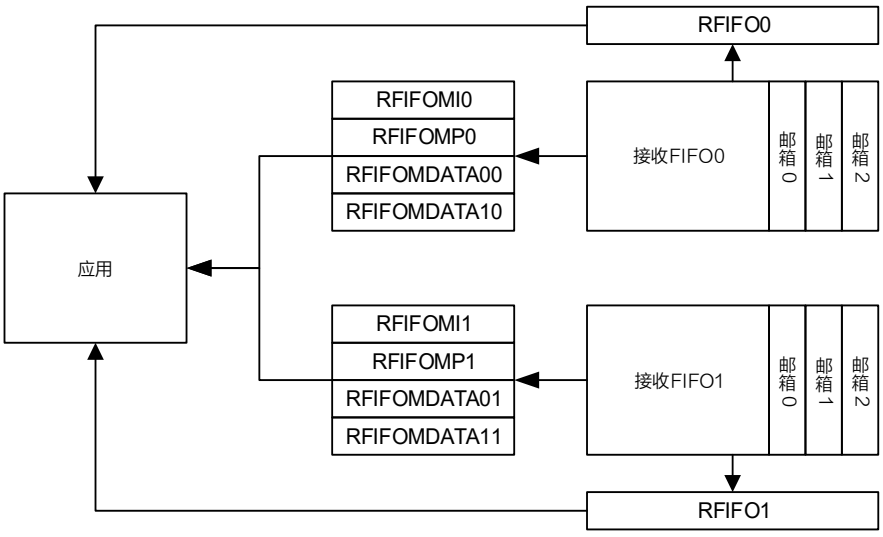
接收寄存器

应用程序通过2个深度为3的FIFO接收来自CAN网络的数据。

寄存器CAN_RFIFOx可以操作FIFO，也包含FIFO状态。寄存器CAN_RFIFOMIx，CAN_RFIFOMPx，CAN_RFIFOMDATA0x和CAN_RFIFOMDATA1x用于接收数据帧。

如*图 31-4. 接收寄存器*所示。

图 31-4. 接收寄存器



接收 FIFO

每个接收FIFO包含3个接收邮箱，用来接收存储数据帧。这些邮箱按照先进先出方式进行组织，最早从CAN网络接收的数据，最早被应用程序处理。

寄存器CAN_RFIFOx包含FIFO状态信息和帧的数量。当FIFO中包含数据时，可以通过寄存器CAN_RFIFOMIx，CAN_RFIFOMPx，CAN_RFIFOMDATA0x和CAN_RFIFOMDATA1x读取数

据，之后将寄存器CAN_RFIFOx的RFD位置1释放邮箱，并且等待其由硬件自动清0。

如果接收到CAN-FD帧，数据将被存储到内部专用SRAM中，并通过多次读CAN_RFIFOMDATA0x寄存器将数据取出。FIFO0使用CAN_RFIFOMDATA00，FIFO1使用CAN_RFIFOMDATA01寄存器。例如，如果软件想要从FIFO0中读64字节数据，需要通过读CAN_RFIFOMDATA00寄存器16次将数据全部读出。

接收 FIFO 状态信息

接收FIFO状态信息包含在寄存器CAN_RFIFOx中。

RFL：FIFO中包含的帧数量。FIFO为空时，RFL为0；FIFO为满时，RFL为3。

RFF：FIFO满状态标志位。这时RFL为3。

RFO：FIFO溢出标志位。当FIFO已经包含了3个数据帧时，新的数据帧到来使FIFO发生溢出。如果CAN_CTL寄存器的RFOD位被置1，新的数据帧将丢弃。如果该位被清0，新的数据帧将覆盖接收FIFO中最后一帧数据。

数据接收步骤

第1步：查看FIFO中帧的数量。

第2步：通过CAN_RFIFOMIx，CAN_RFIFOMPx，CAN_RFIFOMDATA0x和CAN_RFIFOMDATA1x读取数据。

第3步：将寄存器CAN_RFIFOx的RFD置1释放邮箱，并且等待其由硬件自动清0。

31.3.5. 过滤功能

一个待接收的数据帧会根据其标识符(Identifier)进行过滤：硬件会将通过过滤的帧送至接收FIFO，并丢弃没有通过过滤的帧。

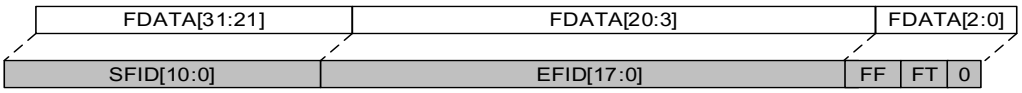
过滤器位宽

过滤器包含28个单元，它们是bank0到bank27。

每一个过滤器单元有2个寄存器CAN_FxDATA0和CAN_ FxDATA1，它们可以配置为2种位宽：32-bit位宽和16-bit位宽。

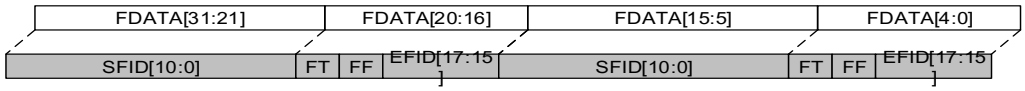
32-bit位宽：CAN_FDATAx包含字段SFID[10:0]，EFID[17:0]，FF和FT。如*图31-5. 32-bit位宽过滤器*所示。

图 31-5. 32-bit 位宽过滤器



16-bit位宽：CAN_FDATAx包含字段：SFID[10:0]，FT，FF和EFID[17:15]。如*图31-6. 16-bit位宽过滤器*所示。

图 31-6. 16-bit 位宽过滤器



掩码模式

对于一个待过滤的数据帧的标识符(Identifier)，掩码模式用来指定哪些位必须与预设的标识符相同，哪些位无需判断。

一个 32-bit 位宽掩码模式过滤器如*图 31-7. 32-bit 位宽掩码模式过滤器*所示。

图 31-7. 32-bit 位宽掩码模式过滤器

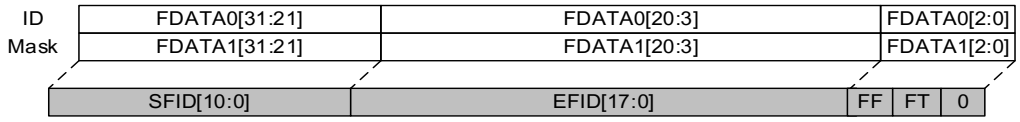
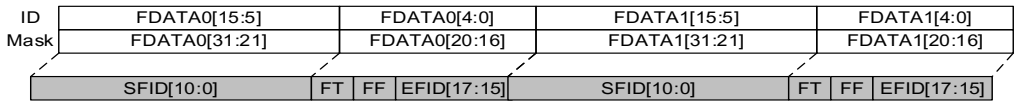


图 31-8. 16-bit 位宽掩码模式过滤器



列表模式

对于一个待过滤的数据帧的标识符(Identifier)，列表模式用来表示与预设的标识符列表中能够匹配则通过，否则丢弃。

一个32-bit位宽列表模式过滤器如*图31-9. 32-bit位宽列表模式过滤器*所示。

图 31-9. 32-bit 位宽列表模式过滤器

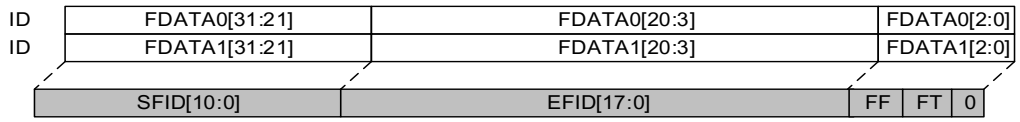
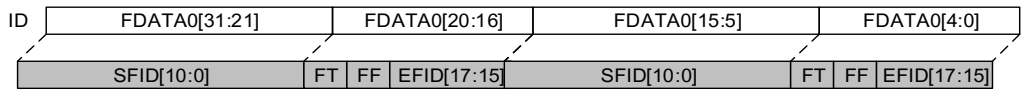


图 31-10. 16-bit 位宽列表模式过滤器



过滤序号

过滤器由若干过滤单元(Bank)组成，每个过滤单元因为位宽和模式的选择不同，而具有不同的

过滤效果。例如*表31-1. 32-bit过滤序号*所示的2个过滤单元，Bank0是32-bit位宽掩码模式，Bank1是32-bit位宽列表模式。

表 31-1. 32-bit 过滤序号

过滤单元	过滤器数据寄存器	过滤序号
0	F0DATA0-32bit-ID	0
	F0DATA1-32bit-Mask	
1	F1DATA0-32bit-ID	1
	F1DATA1-32bit-ID	2

过滤器关联的 FIFO

28个过滤单元均可以关联接收FIFO0或接收FIFO1。一旦一个过滤单元关联到接收FIFO，只有通过这个过滤单元的帧才会被传送到接收FIFO中存储。

过滤器激活控制

一个过滤单元如果被应用程序用到，就必须激活。通过CAN_FW寄存器可以进行配置。

过滤索引

一个包含过滤序号(Fiter Number)N的过滤单元通过了某个帧，则该帧数据的过滤索引(Filtering Index)为N。这时CAN_RFIFOMPx中FI的值为N。

在*表31-2. 过滤索引*中，如果一个帧通过了FIFO0中过滤序号10(Filter Number=10)的过滤单元，那么该帧的过滤索引为10。这时CAN_RFIFOMPx中FI的值为10。

过滤序号不关心对应的过滤单元(Bank)是否处于工作状态。例如Bank3被关联到FIFO0，且为"不激活"状态，但它仍然包含过滤序号3和4。

表 31-2. 过滤索引

过滤单元	FIFO0	激活	过滤序号	过滤单元	FIFO1	激活	过滤序号
0	F0DATA0-32bits-ID	是	0	2	F2DATA0[15:0]-16bits-ID	是	0
	F0DATA1-32bits-Mask				F2DATA0[31:16]-16bits-Mask		
1	F1DATA0-32bits-ID	是	1		F2DATA1[15:0]-16bits-ID		1
	F1DATA1-32bits-ID		2		F2DATA1[31:16]-16bits-Mask		
3	F3DATA0[15:0]-16bits-ID	否	3	4	F4DATA0-32bits-ID	否	2
	F3DATA0[31:16]-				F4DATA1-32bits-Mask		

过滤单元	FIFO0	激活	过滤序号	过滤单元	FIFO1	激活	过滤序号
	16bits-Mask						
	F3DATA1[15:0]-16bits-ID		4	5	F5DATA0-32bits-ID	否	3
	F3DATA1[31:16]-16bits-Mask				F5DATA1-32bits-ID		4
7	F7DATA0[15:0]-16bits-ID	否	5	6	F6DATA0[15:0]-16bits-ID	是	5
	F7DATA0[31:16]-16bits- ID		6		F6DATA0[31:16]-16bits-ID		6
	F7DATA1[15:0]-16bits-ID		7		F6DATA1[15:0]-16bits-ID		7
	F7DATA1[31:16]-16bits- ID		8		F6DATA1[31:16]-16bits-ID		8
8	F8DATA0[15:0]-16bits-ID	是	9	10	F10DATA0[15:0]-16bits-ID	否	9
	F8DATA0[31:16]-16bits- ID		10		F10DATA0[31:16]-16bits-Mask		
	F8DATA1[15:0]-16bits-ID		11		F10DATA1[15:0]-16bits-ID		10
	F8DATA1[31:16]-16bits- ID		12		F10DATA1[31:16]-16bits-Mask		
9	F9DATA0[15:0]-16bits-ID	是	13	11	F11DATA0[15:0]-16bits-ID	否	11
	F9DATA0[31:16]-16bits-Mask				F11DATA0[31:16]-16bits- ID		12
	F9DATA1[15:0]-16bits-ID		14		F11DATA1[15:0]-16bits-ID		13
	F9DATA1[31:16]-16bits-Mask				F11DATA1[31:16]-16bits- ID		14
12	F12DATA0-32bits-ID	是	15	13	F13DATA0-32bits-ID	是	15
	F12DATA1-32bits-Mask				F13DATA1-32bits- ID		16

优先级

过滤器优先级规则如下：

1、32-bits位宽模式高于16-bits位宽模式；

2、列表模式高于掩码模式；

3、较小的过滤序号(Filter Number)具有较高的优先级。

31.3.6. 时间触发通信

时间触发通信是CAN数据链路层应用协议。CAN网络中的所有节点都按照一个预先设定的时间序列进行通信，尤其适合于时间周期性应用和时间确定性应用。

在这种通信模式下，一个内部的16-bit计数器开始工作，在每一个CAN位时间(Bit time)增1。这个内部计数器为数据发送和数据接收提供时间戳，这些时间戳存放在寄存器CAN_RFIFOMPx和CAN_TMPx中。

在这种通信模式下，自动重发功能是禁止的。

31.3.7. 通信参数

自动重发禁止模式

在时间触发通信模式下，要求自动重发必须是禁止的，可以通过将CAN_CTL寄存器的ARD位置1满足要求。

在这种模式下，数据只会被发送一次，如果因为仲裁失败或者总线错误而导致发送失败，CAN总线控制器不会像通常那样进行数据自动重发。

发送结束时，寄存器CAN_TSTAT的MTF位被硬件置1，而发送状态信息可以通过MTFNERR，MAL和MTE获得。

位时序(Bit time)

CAN协议采用位同步传输方式。这种方式不仅增大了传输容量，而且意味着需要一种复杂的位同步方法。面向字节传输的位同步方式适用于接收在每个字节前都有起始位的情况，而同步传输协议只要求数据帧的最开始有一个起始位。为保证接收器能正确读取信息，需要不断地进行重新同步。因此，在相位缓冲段采样点前面和后面都应该插入一个帧间隔。

可以通过位操作仲裁方式访问CAN总线。信号从发送器到接收器，再回到发送器必须在一个位时间内完成。为了达到同步的目的，除了相位缓冲段外，还需要一个传输延时段。在信号传输过程中，传输延时段被视为发送或接收延时。

CAN总线控制器将位时间分为3个部分。

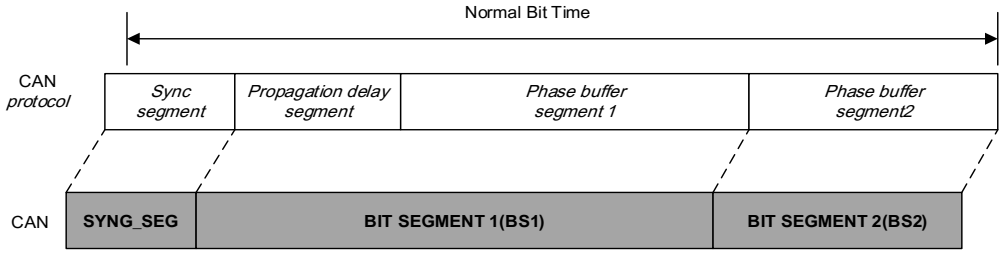
同步段(Synchronization segment)，记为SYNC_SEG。该段占用1个时间单元($1 \times t_{CAN}$)。

位段1(Bit segment 1)，记为BS1。相对于CAN协议而言，BS1相当于传播时间段(Propagation delay segment)和相位缓冲段1(Phase buffer segment 1)。

位段2(Bit segment 2)，记为BS2。相对于CAN协议而言，BS2相当于相位缓冲段2(Phase buffer segment 2)。

对比与CAN协议，位时序如*图31-11. 位时序*所示。

图 31-11. 位时序



再同步补偿宽度SJW(resynchronization Jump Width)对CAN网络节点同步误差进行补偿。

有效跳变沿定义为只有当在前一个采样点检测到的总线状态为隐性(recessive)时，一个位时间内从隐性位到显性位的第一次转变。

如果有效跳变在BS1期间被检测到，而不是SYNC_SEG期间，BS1将会最多被延长SJW，因此采样点延时。

相反，如果有效跳变在BS2期间被检测到，而不是SYNC_SEG期间，BS2将会最多被缩短SJW，因此采样点提前。

注：有关硬同步和再同步的详细说明，请参考ISO 11898标准。

波特率

波特率计算公式如下：

$$BaudRate=\frac{1}{Normal\ Bit\ Time} \quad (31\text{-}1)$$

$$Normal\ Bit\ Time=t_{SYNC_SEG}+t_{BS1}+t_{BS2} \quad (31\text{-}2)$$

其中：

$$t_{SYNC_SEG}=1\times t_q \quad (31\text{-}3)$$

$$t_{BS1}=(1+BT.BS1)\times t_q \quad (31\text{-}4)$$

$$t_{BS2}=(1+BT.BS2)\times t_q \quad (31\text{-}5)$$

$$t_q=(1+BT.BAUDPSC)\times t_{PCLK1} \quad (31\text{-}6)$$

31.3.8. CAN FD 操作

通过将 CAN_FDCTL 寄存器的 FDEN 位置 1，可以使能 CAN FD (CAN with Flexible Data rate)功能。如果 FDEN 位被清 0，CAN 总线控制器仅支持常规帧(标准帧和扩展帧)的收发，若 FDEN 位被置 1，则 CAN 总线控制器同时支持常规帧(标准帧和扩展帧)以及 FD 帧的收发。根据协议，当前帧是否为 FD 帧是通过帧的 FDF 位来判断(在常规帧中该位为保留位)。如果 FDF 位为隐性，表示是 CAN FD 帧；如果为显性，表示是常规帧。

通过配置 CAN_FDCTL 寄存器的 NISO 位，可以选择 CAN-FD 功能支持 ISO11898-1 或 BOSCH CAN FD 规范 V1.0。

在 CAN-FD 帧的帧结构中，FDF 位之后是保留位和 BRS 位。BRS 位决定数据位速率，当 BRS 位为显性时，表示不能通过配置 CAN_DBT 寄存器来切换数据位速率。当 BRS 位为隐性时，

可以通过配置 CAN_DBT 寄存器使得数据段(从 BRS 位到 ACK 场之前)的位速率高于仲裁段的位速率。详情请参考 ISO11898-1 或 BOSCH CAN FD 规范 V1.0。

通过将 CAN_FDCTL 寄存器的 PRED 位清 0，可以使能协议异常处理功能。此时，在接收帧数据过程中检测到隐性的保留位时，该功能将使操作状态转变为 IDLE 并在下一个采样点中止当前帧。反之，将 PRED 位置 1，该功能将被禁止，隐性的保留位将被视为格式错误，并当做错误帧来进行处理，同时 CAN_FDSTAT 寄存器的 PRE 位将被置 1。

ISO11898-1 或 BOSCH CAN FD 规范 V1.0 规定的发送 ESI 位(该位位于 CAN FD 帧的 DLC 位域之前)功能通过 CAN_FDCTL 寄存器的 ESIMOD 位和 CAN_TMPx 寄存器的 ESI 位来实现。如果将 ESIMOD 位清 0，当 CAN 总线控制器处于被动错误状态时，该位为隐性；当处于主动错误状态时，该位为显性。若将 ESIMOD 位置 1，将根据 CAN_TMPx 寄存器的 ESI 位的值来决定该位为显性还是隐性。

发送帧 FDF 位和 BRS 位的总线电平逻辑由 CAN_TMPx 寄存器的 FDF 位和 BRS 位的值决定。

31.3.9. 传输延迟补偿

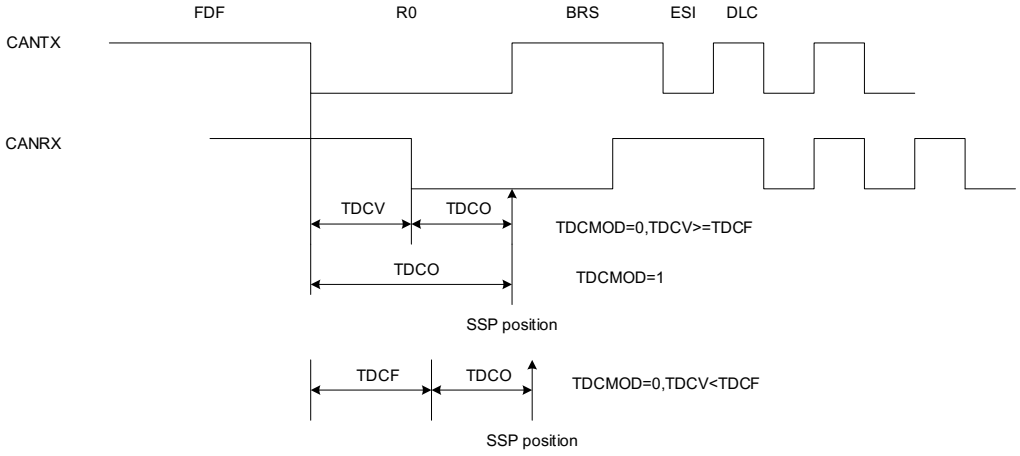
CAN-FD 协议支持传输延迟补偿机制。由于 CAN 收发器存在回路延迟，因此当发送 CAN-FD 帧的高速数据段的位时间长度小于收发器内部回路延迟的限定值时，该机制可以避免当采样点到来时发送节点还没有收到其自己发出的位，从而报错的情况发生。关于传输延迟补偿的具体定义，请参考 ISO11898-1 或 BOSCH CAN FD 规范 V1.0。

将 CAN_FDCTL 寄存器的 TDCEN 位置 1 将使能传输延迟补偿。

传输延迟补偿机制可以调节次级采样点(SSP)的位置。SSP_Delay 被定义为 CANTX 上的信号到 SSP 采样点的延迟。如果 CAN_FDCTL 寄存器的 TDCMOD 位被置 1，SSP_Delay 的值由 CAN_FDTDC 寄存器的 TDCO 位域软件配置决定。如果 TDCMOD 位被清 0，硬件将自动计算位速率转换之前的 FDF 位到 RES0 位的下降沿在 CAN_TX 与 CAN_RX 上出现的延迟，并将计算值存入 CAN_FDSTAT 寄存器的 TDCV 位域。由于存在信号毛刺，可能导致硬件自动计算的 SSP 位置比预期的提前，为了避免 TDCV 的值过小，可以使用 CAN_FDTDC 寄存器的 TDCF 位域。如果 TDCV 的值大于 TDCF，SSP_Delay 的值被定义为 TDCO 加上 TDCV，否则 SSP_Delay 的值被定义为 TDCO 加上 TDCF。

SSP_Delay 的值不能大于 3 个数据位时间。

图 31-12 传输延迟测量



31.3.10. 错误标志

CAN总线的状态可以通过CAN_ERR寄存器的发送错误计数值(Transmit Error Counter，记为TECNT)和接收错误计数值(Receive Error Counter，记为RECNT)反映，其值会根据错误的情况由硬件增加或减少，软件可以通过这些值判断CAN网络的稳定性。关于错误计数值的详细信息请参考CAN协议相关章节。

同时寄存器CAN_ERR还可以表明当前错误状态，这些错误状态在寄存器CAN_INTEN控制下产生中断。

离线恢复

当TECNT大于255时，CAN总线控制器进入离线状态，这时寄存器CAN_ERR中的BOERR置1，并且发送和接收失效。

根据寄存器CAN_CTL中的ABOR配置，离线恢复(变为主动错误状态)有2种方式。这两种方式都要求处于离线状态的CAN总线控制器检测到CAN协议所定义的离线恢复序列(在CAN_RX检测到128次连续11个位的隐性位)时，才会自动恢复。

如果ABOR为1，将在检测到离线恢复序列后自动恢复。

如果ABOR为0，则必须先将CAN_CTL中的IWMOD置1进入初始化工作模式，然后进入正常工作模式并在检测到离线恢复序列后恢复。

31.3.11. 中断

CAN总线控制器占用4个中断向量，通过寄存器CAN_INTEN进行控制。这4个中断向量对应4类中断源：

- 发送中断；
- FIFO0 中断；
- FIFO1 中断；

- 错误和状态改变中断。

发送中断

发送中断包括：

- 寄存器CAN_TSTAT中的MTF0置1：发送邮箱0变为空闲。
- 寄存器CAN_TSTAT中的MTF1置1：发送邮箱1变为空闲。
- 寄存器CAN_TSTAT中的MTF2置1：发送邮箱2变为空闲。

FIFO0 中断

FIFO0中断包括：

- FIFO0中包含待接收数据：寄存器CAN_RFIFO0中的RFL0不为0，CAN_INTEN寄存器中RFNEIE0被置位；
- FIFO0满：寄存器CAN_RFIFO0中的RFF0为1，CAN_INTEN寄存器中RFFIE0被置位；
- FIFO0溢出：寄存器CAN_RFIFO0中的RFO0为1，CAN_INTEN寄存器中RFOIE0被置位。

FIFO1 中断

FIFO1中断包括：

- FIFO1中包含待接收数据：寄存器CAN_RFIFO1中的RFL1不为0，CAN_INTEN寄存器中RFNEIE1被置位；
- FIFO1满：寄存器CAN_RFIFO1中的RFF1为1，CAN_INTEN寄存器中RFFIE1被置位；
- FIFO1溢出：寄存器CAN_RFIFO1中的RFO1为1，CAN_INTEN寄存器中RFOIE1被置位。

错误和工作模式改变中断

错误和工作模式改变中断可由以下条件触发：

- 错误：CAN_STAT寄存器的ERRIF和CAN_INTEN寄存器的ERRIE被置位，请参考CAN_STAT寄存器中ERRIF位描述；
- 唤醒：CAN_STAT寄存器中的WUIF和CAN_INTEN寄存器的WIE被置位；
- 进入睡眠模式：CAN_STAT寄存器中的SLPIF和CAN_INTEN寄存器的SLPWIE被置位。

CAN总线控制器的中断产生条件可参考*表31-3. CAN事件/中断标志*。

表 31-3. CAN 事件/中断标志

中断事件	事件/中断标志	使能控制位
发送中断	发送邮箱 0 空闲标志 MTF0	TMEIE
	发送邮箱 1 空闲标志 MTF1	
	发送邮箱 2 空闲标志 MTF2	
FIFO0 中断	接收 FIFO0 中帧的数量 RFL0[1:0]	RFNEIE0
	接收 FIFO0 满 RFF0	RFFIE0

中断事件	事件/中断标志		使能控制位	
	接收 FIFO0 溢出 RFO0		RFOIE0	
FIFO1 中断	接收 FIFO1 中帧的数量 RFL1[1:0]		RFNEIE1	
	接收 FIFO1 满 RFF1		RFFIE1	
	接收 FIFO1 溢出 RFO1		RFOIE1	
EWMC 中断	警告错误 WERR	错误中断标志 ERRIF	WERRIE	ERRIE
	被动错误 PERR		PERRIE	
	离线错误 BOERR		BOIE	
	错误种类 1<= ERRN[2:0] <= 6		ERRNIE	
	从睡眠工作模式唤醒的状态改变中断标志WUIF		WIE	
	进入睡眠工作模式的状态改变中断标志SLPIF		SLPWIE	

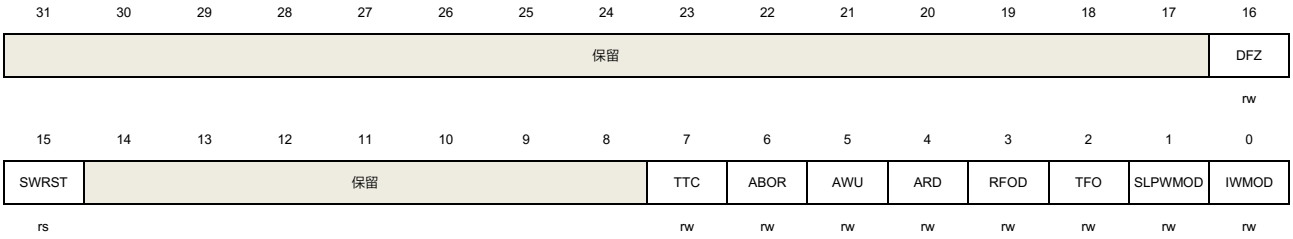
31.4. CAN 寄存器

CAN0基地址：0x4000 6400
CAN1基地址：0x4000 6800

31.4.1. 控制寄存器(CAN_CTL)

地址偏移：0x00
复位值：0x0001 0002

该寄存器只能按字(32位)访问。



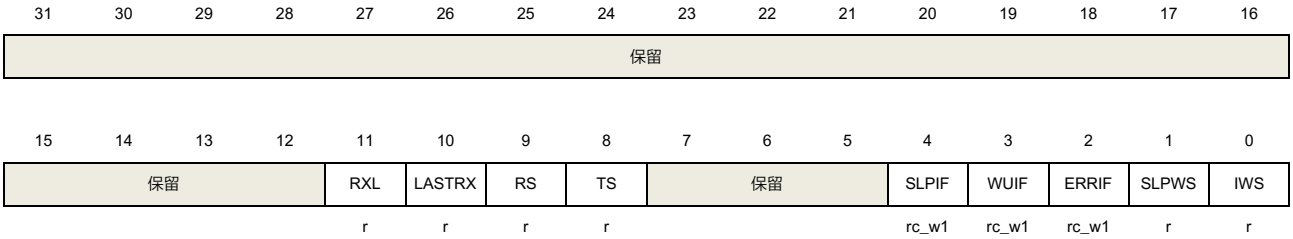
位/位域	名称	描述
31:17	保留	必须保持复位值。
16	DFZ	调试冻结 如果DBG_CTL寄存器中CANx_HOLD被置位，该位用来定义CAN控制器工作在调试冻结或正常工作状态。如果DBG_CTL寄存器中CANx_HOLD被清零，该位无效。 0：处于Debug时，CAN接收和发送正常工作 1：处于Debug时，CAN接收和发送停止
15	SWRST	软件复位 0：正常操作 1：复位CAN并进入睡眠工作模式。该位会自动清0。
14:8	保留	必须保持复位值。
7	TTC	时间触发通信 0：禁用时间触发通信 1：使能时间触发通信
6	ABOR	自动离线恢复 0：通过软件手动地从离线状态恢复 1：通过硬件自动的从离线状态恢复
5	AWU	自动唤醒 一旦自动唤醒后，CAN_CTL寄存器的SLPWMOD位将自动被清0。 0：通过软件手动的从睡眠工作模式唤醒 1：通过硬件自动的从睡眠工作模式唤醒
4	ARD	自动重发禁止

		0：使能自动重发 1：禁用自动重发
3	RFOD	禁用接收FIFO满时覆盖 0：使能接收FIFO满时覆盖。当接收FIFO满时，FIFO中的数据被新来的数据覆盖 1：禁用接收FIFO满时覆盖。当接收FIFO满时，新来的数据被丢弃，FIFO中的数据保持不变，不会被覆盖
2	TFO	发送FIFO顺序 0：标识符(Identifier)较小的帧先发送 1：所有等待发送的邮箱按照先进先出(FIFO)的顺序发送
1	SLPWMOD	睡眠工作模式 如果软件将该位置1，CAN将会在当前发送或接收完成时进入睡眠工作模式。该位可由软件或者硬件清0。如果CAN_CTL寄存器中AWU被置位，当检测到CAN总线工作时，该位被清0。 0：禁用睡眠工作模式 1：使能睡眠工作模式
0	IWMOD	初始化工作模式 0：禁用初始化工作模式 1：使能初始化工作模式

31.4.2. 状态寄存器(CAN_STAT)

地址偏移：0x04
复位值：0x0000 0C02

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:12	保留	必须保持复位值。
11	RXL	RX引脚电平
10	LASTRX	RX引脚最近一次的采样值
9	RS	接收状态 0：CAN当前不是接收器 1：CAN当前是接收器
8	TS	发送状态

		0：CAN当前不是发送器 1：CAN当前是发送器
7:5	保留	必须保持复位值。
4	SLPIF	进入睡眠工作模式的状态改变中断标志 该位在进入睡眠工作模式时由硬件置位。当CAN不再处于睡眠工作模式时由硬件清零。该位也可以由软件写1清0。 0：CAN没有进入睡眠工作模式 1：CAN进入睡眠工作模式。如果相应的中断使能位为1，则发生中断
3	WUIF	从睡眠工作模式唤醒的状态改变中断标志 该位在睡眠工作模式时检测到CAN总线上的活动时由硬件置位。该位由软件写1清0。 0：没有检测到唤醒信号 1：发现唤醒信号。如果相应的中断使能位为1，则发生中断。
2	ERRIF	错误中断标志 该位由以下事件置位。CAN_ERR寄存器中BOERR位和CAN_INTEN寄存器中BOIE位都置位。或CAN_ERR寄存器中PERR位和CAN_INTEN寄存器中PERRIE位都置位。或CAN_ERR寄存器中WERR位和CAN_INTEN寄存器中WERRIE位都置位。或CAN_ERR寄存器中ERRN位域的值不为0且CAN_INTEN寄存器中ERRNIE位置位。该位由软件写1清零。 0：没有错误 1：发生错误。如果相应的中断使能位为1，则发生中断
1	SLPWS	睡眠工作状态 将CAN_CTL寄存器中SLPWMOD位置位进入睡眠工作模式后该位由硬件置位。当CAN由正常通信模式切换到睡眠工作模式，需等待当前发送过程或者接收过程完成。当CAN离开睡眠工作模式(清除CAN_CTL寄存器中SLPWMOD位或是在CAN_CTL寄存器中AWU置位时检测到CAN总线上的活动)时，该位由硬件清零。如果由睡眠工作模式切换到正常工作模式，该位在CAN接收到来自总线的连续11个隐性位后被清0。 0：CAN没有处于睡眠工作状态 1：CAN处于睡眠工作状态
0	IWS	初始化工作状态 将CAN_CTL寄存器中IWMOD位置位进入初始化工作模式后该位由硬件置位。当CAN由正常通信模式切换到初始化工作模式，需等待当前发送过程或者接收过程完成。在清除CAN_CTL寄存器中IWMOD位离开初始化模式后，该位由硬件清0。如果由初始化工作模式切换到正常工作模式，该位在CAN接收到来自总线的连续11个隐性位后被清0。 0：CAN没有处于初始化工作状态 1：CAN处于初始化工作状态

31.4.3. 发送状态寄存器(CAN_TSTAT)

地址偏移：0x08

复位值：0x1C00 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMLS2	TMLS1	TMLS0	TME2	TME1	TME0	NUM[1:0]		MST2	保留			MTE2	MAL2	MTFNERR2	MTF2
r	r	r	r	r	r	r		rs				rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MST1	保留			MTE1	MAL1	MTFNERR1	MTF1	MST0	保留			MTE0	MAL0	MTFNERR0	MTF0
rs				rc_w1	rc_w1	rc_w1	rc_w1	rs				rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31	TMLS2	在发送FIFO中邮箱2最后发送 该位为1表明，当有2个及其以上帧等待发送时，发送邮箱2具有最后的发送顺序。
30	TMLS1	在发送FIFO中邮箱1最后发送 该位为1表明，当有2个及其以上帧等待发送时，发送邮箱1具有最后的发送顺序。
29	TMLS0	在发送FIFO中邮箱0最后发送 该位为1表明，当有2个及其以上帧等待发送时，发送邮箱0具有最后的发送顺序。
28	TME2	发送邮箱2空 0：发送邮箱2不为空 1：发送邮箱2空
27	TME1	发送邮箱1空 0：发送邮箱1不为空 1：发送邮箱1空
26	TME0	发送邮箱0空 0：发送邮箱0不为空 1：发送邮箱0空
25:24	NUM[1:0]	当发送FIFO不满时，NUM表示下一个将要发送的邮箱号。 当发送FIFO满时，NUM表示最后一个将要发送的邮箱号。
23	MST2	邮箱2停止发送 将其置1，将停止邮箱2的发送过程。 当邮箱2变为**emtpy**状态时，该位被硬件自动清0。
22:20	保留	必须保持复位值。
19	MTE2	邮箱2发送错误 当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF2写1清0。也可以在下一次发送开始时由硬件清0。 当发生错误时该位被置1。
18	MAL2	邮箱2仲裁失败 当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF2写1清0。也可以在下一次发送开始时由硬件清0。
17	MTFNERR2	邮箱2无错发送完成 当发送结束并且没有错误产生时，该位由硬件置1。由软件写1清0或对CAN_TSTAT

		寄存器中MTF2写1清0。也可以在无错传输结束时由硬件清0。 0：传输结束时发生了错误 1：传输结束且没有错误
16	MTF2	邮箱2发送完成 当发送完成或被中止时，该位由硬件置1。由软件写1清0，或当CAN_TMI2寄存器的TEN被置位时清0。 0：发送邮箱2正在发送 1：发送邮箱2完成发送
15	MST1	邮箱1停止发送 将其置1，将停止邮箱1的发送过程。 当邮箱1变为**emtpy**状态时，该位被硬件自动清0。
14:12	保留	必须保持复位值。
11	MTE1	邮箱1发送错误 当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF1写1清0。也可以在下一次发送开始时由硬件清0。 当发生错误时该位被置1。
10	MAL1	邮箱1仲裁失败 当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF1写1清0。也可以在下一次发送开始时由硬件清0。 当发生仲裁失败时该位被置1。
9	MTFNERR1	邮箱1无错发送完成 当发送结束并且没有错误产生时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF1写1清0。也可以在无错传输结束时由硬件清0。 0：传输结束时发生了错误 1：传输结束且没有错误
8	MTF1	邮箱1发送完成 当发送完成或被中止时，该位由硬件置1。由软件写1清0，或当CAN_TMI1寄存器的TEN被置位时清0。 0：发送邮箱1正在发送 1：发送邮箱1完成发送
7	MST0	邮箱0停止发送 将其置1，将停止邮箱0的发送过程。 当邮箱0变为**emtpy**状态时，该位被硬件自动清0。
6:4	保留	必须保持复位值。
3	MTE0	邮箱0发送错误 当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF0写1清0。也可以在下一次发送开始时由硬件清0。 当发生错误时该位被置1。
2	MAL0	邮箱0仲裁失败

		当发生发送错误时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF0写1清0。也可以在下一次发送开始时由硬件清0。 当发生仲裁失败时该位被置1。
1	MTFNERR0	邮箱0无错发送完成 当发送结束并且没有错误产生时，该位由硬件置1。由软件写1清0或对CAN_TSTAT寄存器中MTF0写1清0。也可以在无错传输结束时由硬件清0。 0：传输结束时发生了错误 1：传输结束且没有错误
0	MTF0	邮箱0发送完成 当发送完成或被中止时，该位由硬件置1。由软件写1清0，或当CAN_TMI0寄存器的TEN被置位时清0。 0：发送邮箱0正在发送 1：发送邮箱0完成发送

31.4.4. 接收 FIFO0 寄存器(CAN_RFIFO0)

地址偏移：0x0C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										RFD0	RFO0	RFF0	保留	RFL0[1:0]	
										rs	rc_w1	rc_w1		r	

位/位域	名称	描述
31:6	保留	必须保持复位值。
5	RFD0	释放一次FIFO0中的数据 该位被置1， 将释放FIFO0中的一帧数据。 FIFO0释放相应的数据空间后，该位被清0。
4	RFO0	接收FIFO0溢出 当接收FIFO0溢出时被置位，由软件写1清0。 0：接收FIFO0没有溢出 1：接收FIFO0溢出
3	RFF0	接收FIFO0满 当接收FIFO0满时被置位，由软件写1清0。 0：接收FIFO0不满 1：接收FIFO0满
2	保留	必须保持复位值。

1:0	RFL0[1:0]	接收FIFO0中帧的数量

31.4.5. 接收 FIFO1 寄存器(CAN_RFIFO1)

地址偏移：0x10
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										RFD1	RFO1	RFF1	保留	RFL1[1:0]	
										rs	rc_w1	rc_w1		r	

位/位域	名称	描述
31:6	保留	必须保持复位值。
5	RFD1	释放一次FIFO1中的数据 该位被置1， 将释放FIFO1中的一帧数据。 FIFO1释放相应的数据空间后，该位被清0。
4	RFO1	接收FIFO1溢出 当接收FIFO1溢出时被置位，由软件写1清0。 0：接收FIFO1没有溢出 1：接收FIFO1溢出
3	RFF1	接收FIFO1满 当接收FIFO1满时被置位，由软件写1清0。 0：接收FIFO1不满 1：接收FIFO1满
2	保留	必须保持复位值。
1:0	RFL1[1:0]	接收FIFO1中帧的数量

31.4.6. 中断使能寄存器(CAN_INTEN)

地址偏移：0x14
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														SLPWIE	WIE
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

ERRIE	保留	ERRNIE	BOIE	PERRIE	WERRIE	保留	RFOIE1	RFFIE1	RFNEIE1	RFOIE0	RFFIE0	RFNEIE0	TMEIE
rw		rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:18	保留	必须保持复位值。
17	SLPWIE	睡眠中断使能 0：禁用睡眠中断 1：使能睡眠中断
16	WIE	唤醒中断使能 0：禁用唤醒中断 1：使能唤醒中断
15	ERRIE	错误中断使能 0：禁用错误中断 1：使能错误中断
14:12	保留	必须保持复位值。
11	ERRNIE	错误种类中断使能 0：禁用错误种类中断 1：使能错误种类中断
10	BOIE	离线中断使能 0：禁用离线中断 1：使能离线中断
9	PERRIE	被动错误中断使能 0：禁用被动错误 1：使能被动错误
8	WERRIE	警告错误中断使能 0：禁用警告错误中断 1：使能警告错误中断
7	保留	必须保持复位值。
6	RFOIE1	接收FIFO1溢出中断使能 0：禁用接收FIFO1溢出中断 1：使能接收FIFO1溢出中断
5	RFFIE1	接收FIFO1满中断使能 0：禁用接收FIFO1满中断 1：使能接收FIFO1满中断
4	RFNEIE1	接收FIFO1非空中断使能 0：禁用接收FIFO1非空中断 1：使能接收FIFO1非空中断
3	RFOIE0	接收FIFO0溢出中断使能

		0：禁用接收FIFO0溢出中断 1：使能接收FIFO0溢出中断
2	RFFIE0	接收FIFO0满中断使能 0：禁用接收FIFO0满中断 1：使能接收FIFO0满中断
1	RFNEIE0	接收FIFO0非空中断使能 0：禁用接收FIFO0非空中断 1：使能接收FIFO0非空中断
0	TMEIE	发送邮箱空中断使能 0：禁用发送邮箱空中断 1：使能发送邮箱空中断

31.4.7. 错误寄存器(CAN_ERR)

地址偏移：0x18
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RECNT[7:0]								TECNT[7:0]							
r								r							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									ERRN[2:0]			保留	BOERR	PERR	WERR
									rw				r	r	r

位/位域	名称	描述
31:24	RECNT[7:0]	接收错误计数值
23:16	TECNT[7:0]	发送错误计数值
15:7	保留	必须保持复位值。
6:4	ERRN[2:0]	错误种类 ERRN由硬件更新，可以反映位传输过程中的错误情况。当位传输成功没有错误时，ERRN为0。软件可以设置ERRN为0b111。 000：无错误 001：填充错误 010：格式错误 011：ACK错误 100：位隐性错 101：位显性错误 110：CRC错误 111：软件设置值

3	保留	必须保持复位值。
2	BOERR	离线错误 当TEC 上溢(超过 255)时，CAN总线控制器进入离线状态，该位被置1。
1	PERR	被动错误 当TECNT或者RECNT大于127时，该位由硬件置1。
0	WERR	警告错误 当TECNT或RECNT大于等于96时，该位由硬件置1。

31.4.8. 位时序寄存器(CAN_BT)

地址偏移：0x1C
复位值：0x0123 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCMOD	LCMOD	保留	SJW[4:0]					保留	BS2[2:0]			BS1[3:0]			
rw	rw		rw						rw			rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	BS2[4:3]		BS1[6:4]			BAUDPSC[9:0]									
	rw		rw			rw									

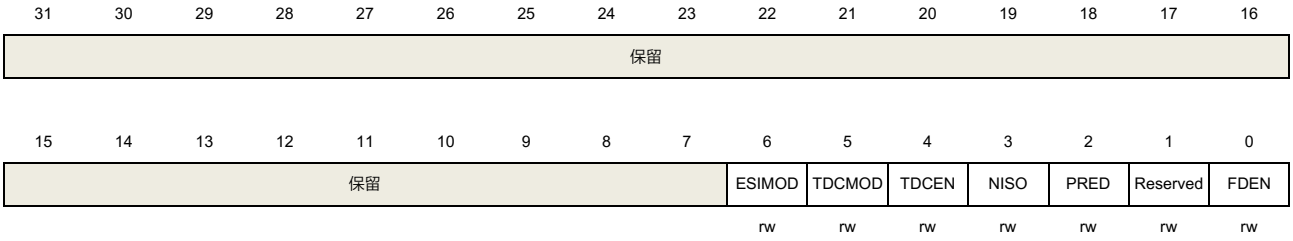
位/位域	名称	描述
31	SCMOD	静默通信模式 0：禁用静默通信模式 1：使能静默通信模式
30	LCMOD	回环通信模式 0：禁用回环通信模式 1：使能回环通信模式
29	保留	必须保持复位值。
28:24	SJW[4:0]	再同步补偿宽度 再同步补偿占用的时间单元数量= SJW[4:0]+1
23	保留	必须保持复位值。
22:20	BS2[2:0]	位段2的2:0位 位段2占用的时间单元数量=BS2[4:0]+1
19:16	BS1[3:0]	位段1的3:0位 位段1占用的时间单元数量=BS1[6:0]+1
15:10	保留	必须保持复位值。
14:13	BS2[4:3]	位段2的4:3位 参考CAN_BT寄存器的22:20位(FDEN为1时配置有效)

12:10	BS1[6:4]	位段1的6:4位 参考CAN_BT寄存器的19:16位(FDEN为1时配置有效)
9:0	BAUDPSC[9:0]	波特率分频系数

31.4.9. FD 控制寄存器(CAN_FDCTL)

地址偏移：0x20
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

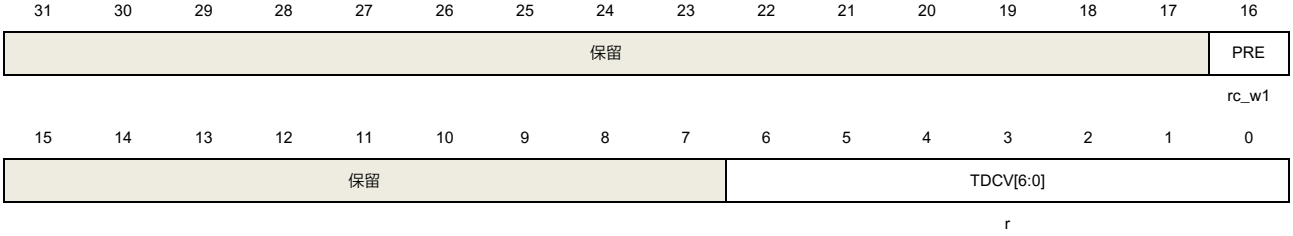


位/位域	名称	描述
31:7	保留	必须保持复位值。
6	ESIMOD	错误状态指示模式 0：发送帧的ESI位始终显示节点错误状态。主动错误状态节点发送显性位，被动错误状态节点发送隐性位 1：当节点处于主动错误状态时，通过CAN_TMPx寄存器的ESI位值决定发送帧的ESI位显示的错误状态。当节点处于被动错误状态时，发送帧该位发送隐性位
5	TDCMOD	传输延迟补偿模式 0：测量值加软件偏移 1：仅使用软件偏移
4	TDCEN	传输延迟补偿使能 0：传输延迟补偿禁止 1：传输延迟补偿使能
3	NISO	ISO/BOSCH 0：ISO 1：BOSCH
2	PRED	协议异常事件检测禁用 0：协议异常事件检测使能(当接收到隐性保留位时转为IDLE状态) 1：协议异常事件检测禁用(当接收到隐性保留位时，将此视为帧格式错误)
1	保留	必须保持复位值。
0	FDEN	FD功能使能 0：CAN-FD功能禁止 1：CAN-FD功能使能

31.4.10. FD 状态寄存器(CAN_FDSTAT)

地址偏移：0x24
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

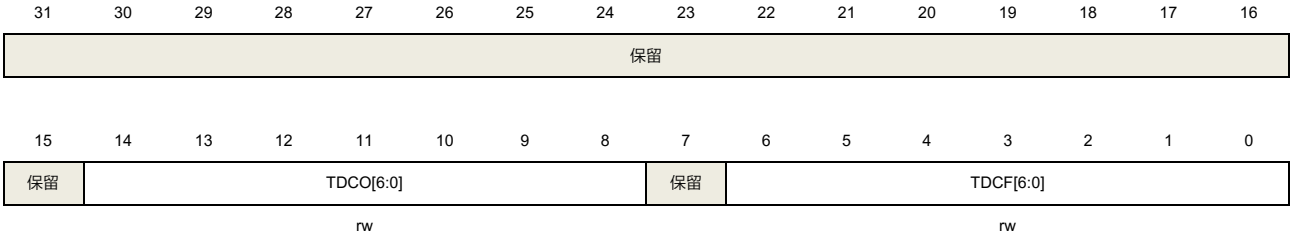


位/位域	名称	描述
31:17	保留	必须保持复位值。
16	PRE	协议异常事件 当协议异常事件被检测到时该位由硬件置1，软件写1可清0该位。
15:7	保留	必须保持复位值。
6:0	TDCV[6:0]	传输延迟补偿值 这些位由硬件控制，显示硬件自动计算的传输延迟补偿值。

31.4.11. FD 传输延迟补偿寄存器(CAN_FDTDC)

地址偏移：0x28
复位值：0x0000 0000

该寄存器只能按字(32位)访问。



位/位域	名称	描述
31:15	保留	必须保持复位值。
14:8	TDCO[6:0]	传输延迟补偿偏移 这些位被用于设置次级采样点(SSP)基于测量的补偿时间的偏移，测量的补偿时间是由硬件计算信号从CAN_TX发出到从CAN_RX接收到的过程的延迟时间得出的。
7	保留	必须保持复位值。
6:0	TDCF[6:0]	传输延迟补偿过滤器

这些位定义了次级采样点(SSP)的最小值。当配置的TDCF值大于TDCV时，这些位的值用于替代TDCV，以过滤脉冲毛刺引起的测量误差导致的SSP采样点过早的情况发生。

31.4.12. 数据位时序寄存器(CAN_DBT)

地址偏移：0x2C
复位值：0x0123 0000

该寄存器只能按字(32位)访问。

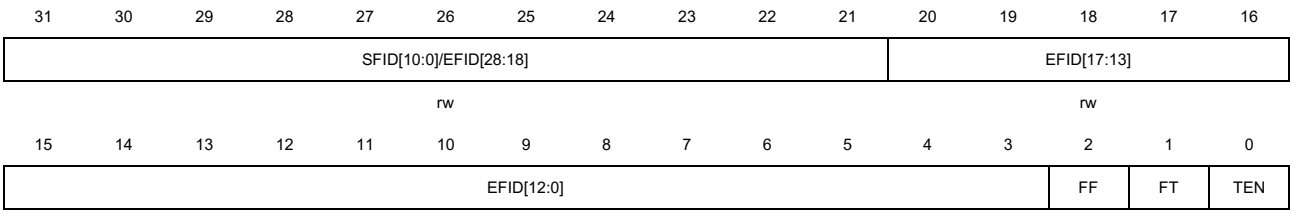


位/位域	名称	描述
31:27	保留	必须保持复位值。
26:24	DSJW[2:0]	再同步补偿宽度 再同步补偿占用的时间单元数量= SJW[2:0]+1
23	保留	必须保持复位值。
22:20	DBS2[2:0]	位段2的2:0位 位段2占用的时间单元数量=BS2[2:0]+1
19:16	DBS1[3:0]	位段1的3:0位 位段1占用的时间单元数量=BS1[3:0]+1
15:10	保留	必须保持复位值。
9:0	DBAUDPSC[9:0]	波特率分频系数

31.4.13. 发送邮箱标识符寄存器(CAN_TMIx)(x = 0..2)

地址偏移：0x180 + 0x10 * x
复位值：0xXXXX XXXX (bit0=0)

该寄存器只能按字(32位)访问。



rw rw rw rw

位/位域	名称	描述
31:21	SFID[10:0]/EFID[28:18]	标识符 SFID[10:0]：标准格式帧标识符 EFID[28:18]：扩展格式帧标识符
20:16	EFID[17:13]	标识符 EFID[17:13]：扩展格式帧标识符
15:3	EFID[12:0]	标识符 EFID[12:0]：扩展格式帧标识符
2	FF	帧格式 0：标准格式帧 1：扩展格式帧
1	FT	帧种类 0：数据帧 1：遥控帧
0	TEN	发送使能 当应用程序想要发送数据时，该位被置1将启动发送过程。当发送结束，发送邮箱为空时，该位由硬件清0。 0：禁用发送 1：使能发送

31.4.14. 发送邮箱属性寄存器(CAN_TMPx)(x = 0..2)

地址偏移：0x184 + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TS[15:0]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							TSEN	FDF	保留	BRS	ESI	DLENC[3:0]			
							rw	rw		rw	rw	rw			

位/位域	名称	描述
31:16	TS[15:0]	时间戳 发送时间戳
15:9	保留	必须保持复位值。
8	TSEN	时间戳使能

		0：禁用时间戳 1：使能时间戳。时间戳TS[15:0]将放在寄存器CAN_TMDATA1的DATA6和DATA7中 只有当寄存器CAN_CTL中的TTC为1时，该位才有效。
7	FDF	CAN-FD帧标志位 0：常规帧(标准帧或扩展帧) 1：CAN-FD帧
6	保留	必须保持复位值。
5	BRS	位速率转换开关 0：不转换速率 1：转换可变速率
4	ESI	错误状态指示 仅当CAN_FDCTL寄存器的ESIMOD位为1时，该位有效 0：发送帧中的ESI位将发送显性位 1：发送帧中的ESI位将发送隐性位
3:0	DLENC[3:0]	数据长度，DLENC[3:0]表示帧内数据长度。

31.4.15. 发送邮箱 data0 寄存器(CAN_TMDATA0x)(x=0..2)

地址偏移：0x188 + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

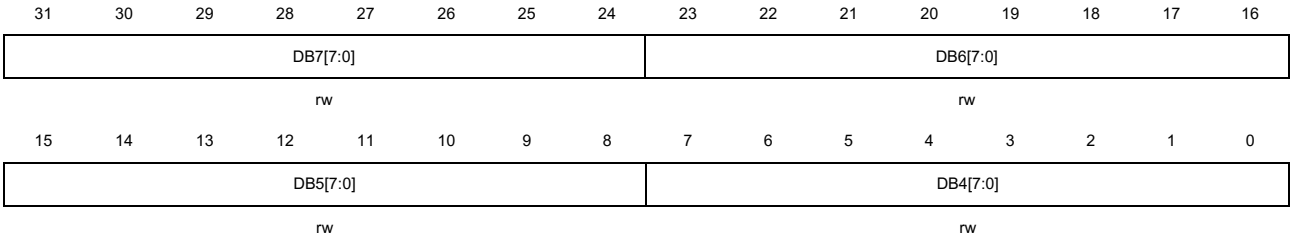
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DB3[7:0]								DB2[7:0]							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB1[7:0]								DB0[7:0]							
rw								rw							

位/位域	名称	描述
31:24	DB3[7:0]	字节3
23:16	DB2[7:0]	字节2
15:8	DB1[7:0]	字节1
7:0	DB0[7:0]	字节0

31.4.16. 发送邮箱 data1 寄存器(CAN_TMDATA1x)(x=0..2)

地址偏移：0x18C + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

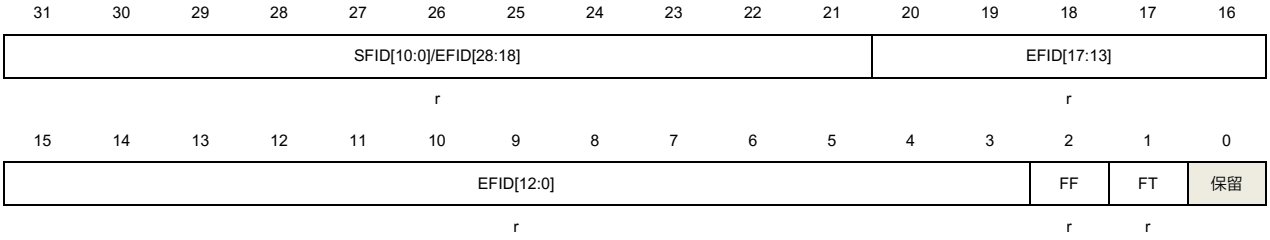


位/位域	名称	描述
31:24	DB7[7:0]	字节7
23:16	DB6[7:0]	字节6
15:8	DB5[7:0]	字节5
7:0	DB4[7:0]	字节4

31.4.17. 接收 FIFO 邮箱标识符寄存器(CAN_RFIFOMIx)(x=0,1)

地址偏移：0x1B0 + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。



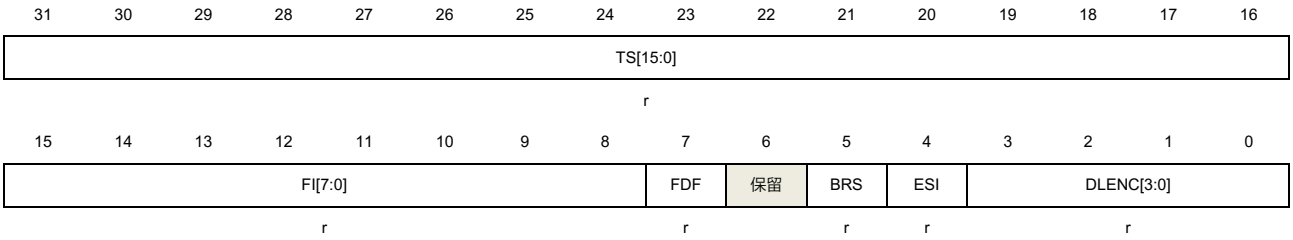
位	区域	说明
31:21	SFID[10:0]/EFID[28:18]	标识符 SFID[10:0]：标准格式帧标识符 EFID[28:18]：扩展格式帧标识符
20:16	EFID[17:13]	标识符 EFID[17:13]：扩展格式帧标识符
15:3	EFID[12:0]	标识符 EFID[12:0]：扩展格式帧标识符
2	FF	帧格式 0：标准格式帧 1：扩展格式帧
1	FT	帧种类 0：数据帧 1：遥控帧

0	保留	必须保持复位值。

31.4.18. 接收 FIFO 邮箱属性寄存器(CAN_RFIFOMPx)(x=0,1)

地址偏移：0x1B4 + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

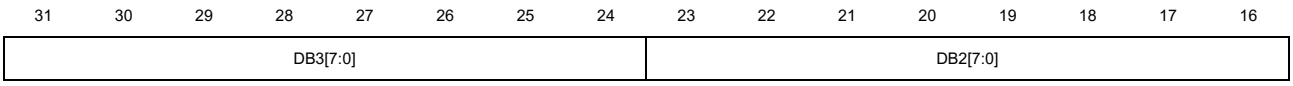


位/位域	名称	描述
31:16	TS[15:0]	时间戳 接收时间戳
15:8	FI[7:0]	过滤索引 帧通过过滤器时的过滤序号
7	FDF	CAN-FD帧标志位 0：常规帧(标准帧或扩展帧) 1：CAN-FD帧
6	保留	必须保持复位值。
5	BRS	位速率转换开关 0：不转换速率 1：转换可变速率
4	ESI	错误状态指示 0：接收帧中的ESI位为显性位 1：接收帧中的ESI位为隐性位
3:0	DLENC[3:0]	数据长度 DLENC[3:0]表示帧内数据长度。

31.4.19. 接收 FIFO 邮箱 data0 寄存器(CAN_RFIFOMDATA0x)(x=0,1)

地址偏移：0x1B8 + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。



r								r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB1[7:0]								DB0[7:0]							
r								r							

位/位域	名称	描述
31:24	DB3[7:0]	字节3
23:16	DB2[7:0]	字节2
15:8	DB1[7:0]	字节1
7:0	DB0[7:0]	字节0

31.4.20. 接收 FIFO 邮箱 data1 寄存器(CAN_RFIFOMDATA1x)(x=0,1)

地址偏移：0x1BC + 0x10 * x
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DB7[7:0]								DB6[7:0]							
r								r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB5[7:0]								DB4[7:0]							
r								r							

位/位域	名称	描述
31:24	DB7[7:0]	字节7
23:16	DB6[7:0]	字节6
15:8	DB5[7:0]	字节5
7:0	DB4[7:0]	字节4

31.4.21. 过滤器控制寄存器(CAN_FCTL)

地址：0x40006600
复位值：0x2A1C 0E01

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		HBC1F[5:0]						保留							FLD

rw rw

位/位域	名称	描述
31:14	保留	必须保持复位值。
13:8	HBC1F[5:0]	CAN1过滤器单元起始位置 这些位用来定义CAN1过滤器起始位置。CAN0可以用编号为0~HBC1F-1过滤器，CAN1可以用编号为HBC1F~27过滤器。当这些位的值为0，CAN0将没有过滤器可以使用。当这些位的值为28时，CAN1将没有过滤器可以使用。
7:1	保留	必须保持复位值。
0	FLD	过滤器锁禁用 0：使能过滤器锁 1：禁用过滤器锁

31.4.22. 过滤器模式配置寄存器(CAN_FMCFG)

地址：0x40006604
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FMOD27	FMOD26	FMOD25	FMOD24	FMOD23	FMOD22	FMOD21	FMOD20	FMOD19	FMOD18	FMOD17	FMOD16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMOD15	FMOD14	FMOD13	FMOD12	FMOD11	FMOD10	FMOD9	FMOD8	FMOD7	FMOD6	FMOD5	FMOD4	FMOD3	FMOD2	FMOD1	FMOD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:0	FMOD**x**	过滤器模式 0：掩码模式 1：列表模式

31.4.23. 过滤器位宽配置寄存器(CAN_FSCFG)

地址：0x4000660C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FS27	FS26	FS25	FS24	FS23	FS22	FS21	FS20	FS19	FS18	FS17	FS16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

FS15	FS14	FS13	FS12	FS11	FS10	FS9	FS8	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:0	FS**x**	过滤器位宽 0：16-bit位宽 1：32-bit位宽

31.4.24. 过滤器关联 FIFO 寄存器(CAN_FAFIFO)

地址：0x40006614
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FAF27	FAF26	FAF25	FAF24	FAF23	FAF22	FAF21	FAF20	FAF19	FAF18	FAF17	FAF16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAF15	FAF14	FAF13	FAF12	FAF11	FAF10	FAF9	FAF8	FAF7	FAF6	FAF5	FAF4	FAF3	FAF2	FAF1	FAF0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:28	保留	必须保持复位值。
27:0	FAF**x**	过滤器关联FIFO 0：关联FIFO0 1：关联FIFO1

31.4.25. 过滤器激活寄存器(CAN_FW)

地址：0x4000661C
复位值：0x0000 0000

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				FW27	FW26	FW25	FW24	FW23	FW22	FW21	FW20	FW19	FW18	FW17	FW16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FW15	FW14	FW13	FW12	FW11	FW10	FW9	FW8	FW7	FW6	FW5	FW4	FW3	FW2	FW1	FW0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述

31:28	保留	必须保持复位值。
27:0	FW**x**	过滤器激活 0：没有激活 1：激活工作

31.4.26. 过滤器(x)数据(y)寄存器(CAN_FxDATAy)(x=0..27, y=0,1)

地址：0x0x40006640 + 8 * x + 4 * y
复位值：0xXXXX XXXX

该寄存器只能按字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FD31	FD30	FD29	FD28	FD27	FD26	FD25	FD24	FD23	FD22	FD21	FD20	FD19	FD18	FD17	FD16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:0	FD**x**	过滤器数据 掩码模式下： 0：标识符的Bit(**x**)不需参与比较 1：标识符的Bit(**x**)需要参与比较 列表模式下： 0：标识符的Bit(**x**)必须为0 1：标识符的Bit(**x**)必须为1

32. 以太网(ENET)

32.1. 简介

本章描述以太网外设模块。该以太网模块包含10 / 100Mbps以太网MAC(媒体访问控制器)，采用DMA优化数据帧的发送与接收性能，支持MII(媒体独立接口)与RMII(简化的媒体独立接口)两种与物理层(PHY)通讯的标准接口，实现以太网数据帧的发送与接收。以太网模块遵守IEEE 802.3-2002标准和IEEE 1588-2008标准。

32.2. 主要特性

MAC特性

- 支持10Mbps或100Mbps数据传输速率；
- 支持MII和RMII接口；
- 支持调试用回环模式；
- 支持符合CSMA / CD协议的半双工背压通讯；
- 支持符合IEEE 802.3x的流控通讯。在当前帧发送完毕后，根据接收的暂停帧中暂停时间延迟发送。在全双工 / 半双工模式下，MAC根据RxFIFO的填充程度自动发送暂停帧/背压信号；
- 支持符合IEEE 802.3x的全双工流控通讯，当输入流控信号失效时，自动发送零时间片暂停帧。支持符合IEEE 802.3x的半双工流控通讯，支持根据RxFIFO的填充程度(直通模式)自动发送背压信号；
- 可选择在发送操作时自动生成校验 / 填充位；
- 可选择在接收操作时自动去除校验 / 填充位；
- 帧长度可配置；
- 帧间隙可配置；
- 支持多种模式的接收过滤；
- 支持检测接收帧的IEEE 802.1Q VLAN标签；
- 支持强制网络统计标准(RFC2819 / RFC2665)；
- 支持两种唤醒帧检测：LAN远程唤醒帧和AMD的Magic Packet™帧；
- 支持校验和检查(IPv4报头，IPv4或IPv6数据格式封装的TCP、UDP或ICMP)；
- 支持IEEE 1588-2008标准定义的以太网帧时间戳，并将其按64位记录于帧状态中；
- 相互独立的两个FIFO分别用于发送与接收；
- 在延迟冲突、过度冲突、过度顺延和下溢情况下丢弃帧；
- 帧传输时，支持存储转发模式下的硬件校验和的计算和插入。

DMA特性

- 支持环结构或链结构两种形式的描述符列表；

- 每个描述符可以传输最高为8192字节的数据；
- 中断可配置，适用于多种工作状态；
- 支持轮询或固定优先级两种方式仲裁DMA发送和接收控制器的请求。

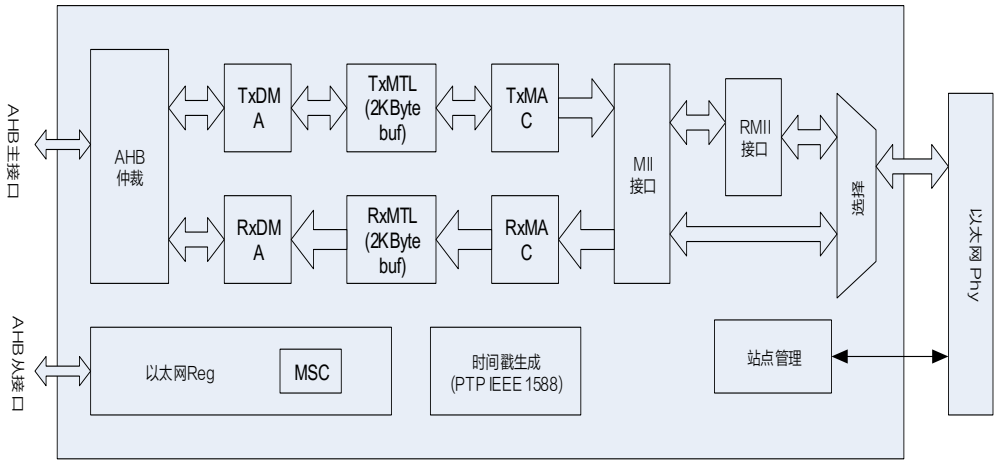
PTP特性

- 支持符合IEEE1588的时间同步功能；
- 支持粗/精调两种校正方法；
- 输出秒脉冲；
- 达到预设目标时间时触发中断。

32.2.1. 模块框图

以太网模块由MAC(介质访问控制器)模块、MII / RMII模块和一个以描述符形式控制的DMA模块组成。在使用以太网模块时，用户应确保配置的时钟频率不小于25MHz。

图 32-1. 以太网模块框图



MAC模块通过MII或RMII与片外PHY连接。通过对SYSCFG_CFG1寄存器的ENET_PHY_SEL位进行设置，可以选择使用哪种接口。SMI(站点管理接口)用于配置和管理外部PHY。

发送数据模块包括：

- TxDMA控制器，用于从存储器中读取描述符和数据，以及将状态写入存储器；
- TxMTL，用于对发送数据的控制，管理和存储。TxMTL内含TxFIFO，用于缓存待MAC发送的数据；
- MAC发送控制寄存器组，用于管理和控制数据帧的发送。

接收数据模块包括：

- RxDMA控制器，用于从存储器中读取描述符，以及将数据与状态写入存储器；
- RxMTL，用于对接收数据的控制，管理和存储。RxMTL实现了RxFIFO，用于存储待转发到系统存储的帧数据；

- MAC接收控制寄存器组，用于管理数据帧的接收和标示接收状态。MAC内含接收过滤器，采用多种过滤机制，滤除特定的以太网帧。

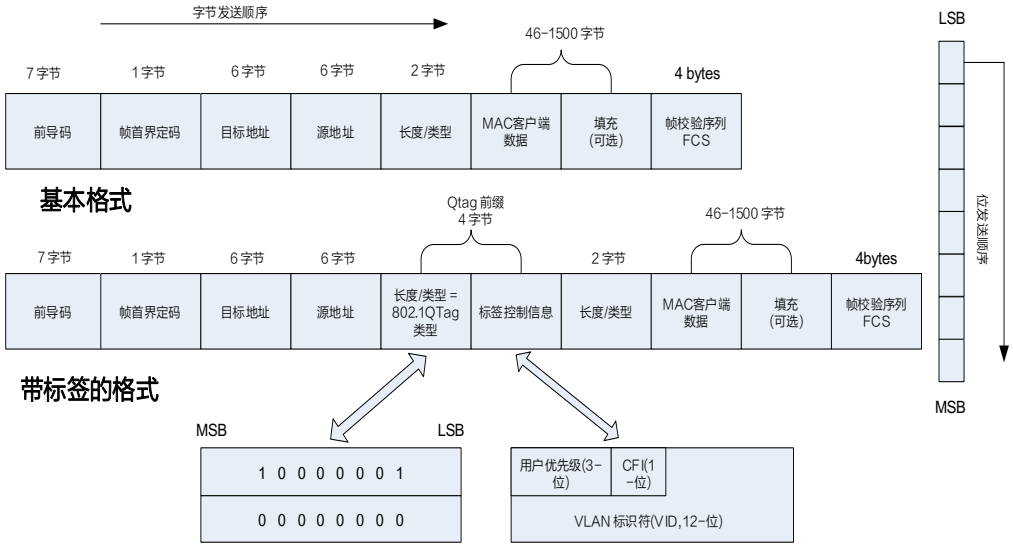
32.2.2. MAC 802.3 以太网数据包描述

MAC的数据通信可使用两种帧格式：

- 基本帧格式；
- 带标签的帧格式。

*图32-2. MAC/带标签的MAC帧格式*描述了帧结构(基本的和带标签的)：

图 32-2. MAC/带标签的 MAC 帧格式



注意：除了帧校验序列，以太网控制器发送每个字节时都按照低位先出的次序进行传输。

CRC计算包括帧数据的所有字节除去前导码和帧首界定码域。以太网帧的32位CRC生成多项式为0x04C11DB7，且此多项式用于以太网模块中所有的32位CRC计算，如下式所示：

$$G(x)= x^{32}+ x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x +1$$

32.2.3. 以太网信号描述

*表32-1. 以太网信号(MII模式)*和*表32-2.以太网信号(RMII模式)*列出了MAC模块所用引脚在MII/RMII模式下默认及重映射的功能和具体配置。

表 32-1. 以太网信号(MII 模式)

信号	引脚1	引脚2	引脚模式(AF11)
ENET_MDC	PC1	-	推挽复用输出
ENET_MII_TXD2	PC2	-	推挽复用输出
ENET_MII_TX_CLK	PC3	-	浮空输入(复位状态)
ENET_MII_CRS	PA0	PH2	浮空输入(复位状态)

信号	引脚1	引脚2	引脚模式(AF11)
ENET_MII_RX_CLK	PA1	-	浮空输入(复位状态)
ENET_MDIO	PA2	-	推挽复用输出
ENET_MII_COL	PA3	PH3	浮空输入(复位状态)
ENET_MII_RX_DV	PA7	-	浮空输入(复位状态)
ENET_MII_RXD0	PC4	-	浮空输入(复位状态)
ENET_MII_RXD1	PC5	-	浮空输入(复位状态)
ENET_MII_RXD2	PB0	PH6	浮空输入(复位状态)
ENET_MII_RXD3	PB1	PH7	浮空输入(复位状态)
ENET_PPS_OUT	PB5	PG8	推挽复用输出
ENET_MII_TXD3	PB8	PE2	推挽复用输出
ENET_MII_RX_ER	PB10	PI10	浮空输入(复位状态)
ENET_MII_TX_EN	PB11	PG11	推挽复用输出
ENET_MII_TXD0	PB12	PG13	推挽复用输出
ENET_MII_TXD1	PB13	PG14	推挽复用输出

表 32-2.以太网信号(RMII 模式)

信号	引脚1	引脚2	引脚模式(AF11)
ENET_MDC	PC1	-	推挽复用输出
ENET_REF_CLK	PA1	-	浮空输入(复位状态)
ENET_MDIO	PA2	-	推挽复用输出
ENET_CRS_DV	PA7	-	浮空输入(复位状态)
ENET_RMII_RXD0	PC4	-	浮空输入(复位状态)
ENET_RMII_RXD1	PC5	-	浮空输入(复位状态)
ENET_PPS_OUT	PB5	PG8	推挽复用输出
ENET_RMII_TX_EN	PB11	PG11	推挽复用输出
ENET_RMII_TXD0	PB12	PG13	推挽复用输出
ENET_RMII_TXD1	PB13	PG14	推挽复用输出

注意: 对任意接口模式(MII / RMII)，应用程序都需确保引脚1或引脚2中只有一个被映射到AF11。

32.3. 功能描述

32.3.1. 接口配置

以太网模块通过MII / RMII接口与片外PHY连接，传送与接收以太网包。MII或RMII模式由软件选择并通过SMI接口对PHY进行管理。

SMI：站点管理接口

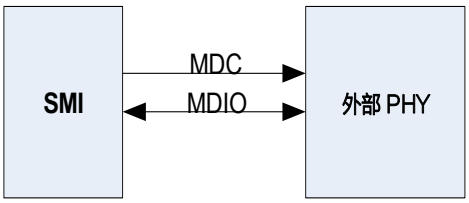
SMI用于访问和设置PHY的配置。

站点管理接口(SMI)通过MDC时钟线与MDIO数据线与外部PHY通讯，可以通过其访问任意

PHY的任意寄存器。SMI接口支持的最大PHY数量为32，但在同一时刻只能访问一个PHY的一个寄存器。MDC时钟线和MDIO数据线具体作用如下：

- MDC：最高频率为2.5MHz的时钟信号，在空闲状态下该引脚保持为低电平状态。在传输数据时该信号的高电平和低电平的最短保持时间为160ns，信号的最小周期为400ns；
- MDIO：用于与PHY之间的数据传输，与MDC时钟线配合，接收/发送数据。

图 32-3. 站点管理接口信号



写操作

应用程序需将要传输的数据写入ENET_MAC_PHY_DATA寄存器中，并对ENET_MAC_PHY_CTL寄存器相关位进行操作：

1. 设置PHY设备地址和将要操作的PHY寄存器地址，并将PW位置为1，使能写模式；
2. 将PB位置1开始传输。在传输过程中PB位一直为高，直到传输完成，硬件将会自动清除PB位。

应用程序可以通过PB位判断传输是否完成。在PB位置1期间，由于操作正在运行，因此不能修改PHY控制寄存器和PHY数据寄存器的内容。在将PB位置位之前，应用程序必须确保该位读出为'0'。

读操作

应用程序对ENET_MAC_PHY_CTL寄存器相关位进行操作：

1. 设置PHY设备地址和将要操作的PHY寄存器地址，并将PW位置为0，使能读模式；
2. 将PB位置1开始数据接收。在接收过程中PB位一直为高，直到接收完成，硬件将会自动清除PB位。

应用程序可以通过PB位判断传输是否完成。在PB位置1期间，由于操作正在运行，因此不能修改PHY控制寄存器和PHY数据寄存器的内容。在将PB位置位之前，应用程序必须确保该位读出为'0'。

注意：由于PHY寄存器地址16-31的寄存器内容由各厂商自由定义，所以在访问不同PHY设备的这部分寄存器时，需要根据厂商手册对应用程序进行不同的设置。GD32F527xx固件库当前支持的PHY设备详情请参考固件库相关手册说明。

时钟配置

SMI接口的时钟源由AHB时钟分频得到。为了保证MDC时钟频率不超过2.5MHz，需根据AHB

时钟频率对PHY控制寄存器中相关位进行设置，选择合适的分频系数。*表27-2. 时钟范围*列出了对应AHB时钟范围的分频系数的选择。

表 32-3. 时钟范围

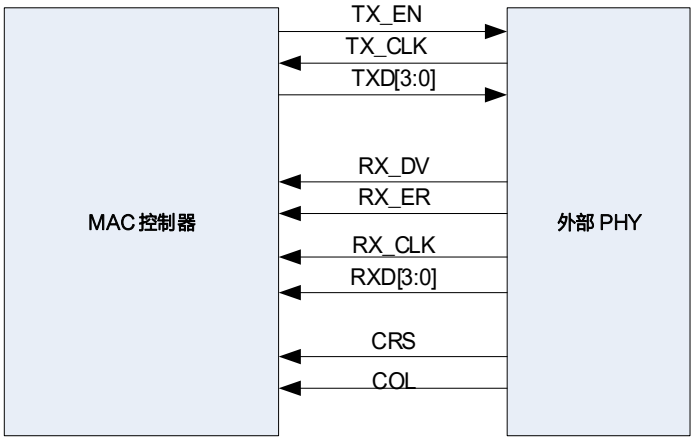
AHB时钟	MDC 时钟	ENET_MAC_PHY_CTL 位 CLR[2:0]
150~200MHz	AHB clock / 102	0x4
35~60MHz	AHB clock / 26	0x3
20~35MHz	AHB clock / 16	0x2
100~150 MHz	AHB clock / 62	0x1
60~100MHz	AHB clock / 42	0x0

MII / RMII 的选择

当使能以太网控制器时钟前或以太网控制器处于复位状态时，应用程序可通过配置SYSCFG_CFG1寄存器的第23位ENET_PHY_SEL位来选择使用MII或者RMII模式，默认为MII模式。

MII：媒体独立接口

图 32-4. 媒体独立接口(MII)信号线



- **MII_TX_CLK**：发送数据使用的时钟信号，对于10Mbit/s的数据传输，此时钟为2.5MHz，对于100M bit/s的数据传输，此时钟为25MHz。
- **MII_RX_CLK**：接收数据使用的时钟信号，对于10Mbit/s的数据传输，此时钟为2.5MHz，对于100M bit/s的数据传输，此时钟为25MHz。
- **MII_TX_EN**：发送使能信号，，当数据前导码的起始位出现时，该信号必须有效，并且需要在传输完毕前保持有效。
- **MII_TXD[3:0]**：发送数据线，每次传输4位数据，数据在MII_TX_EN信号有效时有效。当MII_TX_EN信号无效时，PHY将忽略传输的数据。
- **MII_CRS**：载波侦听信号，仅工作在半双工模式下，由PHY控制。该信号不需要与MII_TX_CLK和MII_RX_CLK保持同步。当它处于有效状态时，意味着发送或接收介质不处于空闲状态。

MII_CRS信号一直保持有效，直到发送和接收介质都处于空闲状态。

- **MII_COL**：冲突检测信号，仅工作在半双工模式下，由PHY控制。该信号不需要与MII_TX_CLK和MII_RX_CLK保持同步。当检测到介质发生冲突时，此信号有效，并且在整个冲突的持续时间内，保持此信号有效。

- **MII_RXD[3:0]**：接收数据线，每次接收4位数据，数据在MII_RX_DV信号有效时有效。根据MII_RX_DV和MII_RX_ER信号的状态，MII_RXD[3:0]数据值可被用来传达一些特定信息(请参考*表32-4. 接收接口信号编码*)。

- **MII_RX_DV**：接收数据使能信号，由PHY控制，当PHY准备好数据供MAC接收时，该信号有效。当数据帧的第一个4位出现时，该信号必须有效，并且需要在传输完毕前保持有效。在传送最后4位数据后的第一个时钟之前，此信号必须变为无效状态。为确保正确地接收帧，MII_RX_DV信号应该在SFD字段出现之前有效。

- **MII_RX_ER**：接收出错信号，为了表明MAC在接收过程中检测到错误，MII_RX_ER信号必须在一个或多个时钟周期(MII_RX_CLK)内保持有效。具体错误原因需结合MII_RX_DV的状态及MII_RXD[3:0]的数据值，详见*表32-4. 接收接口信号编码*。

表 32-4. 接收接口信号编码

信号	正常的帧间隔		正常的数据接收	载波错误指示	数据接收出错
MII_RX_ER	0	1	0	1	1
MII_RX_DV	0	0	1	0	1
MII_RXD[3:0]	0000 to 1111	0000	0000 to 1111	1110	0000 to 1111

MII 时钟源

用户需要给外部PHY提供一个外部的25MHz时钟来产生TX_CLK和RX_CLK时钟信号。该时钟不需要与MAC时钟相同。可以使用外部的25MHz晶振或者微控制器的时钟输出引脚CK_OUTx(x = 0,1)提供这一时钟。当时钟来源为CK_OUTx(x = 0,1)引脚时需配置合适的PLL，保证CK_OUTx(x = 0,1)引脚输出的时钟为25MHz。

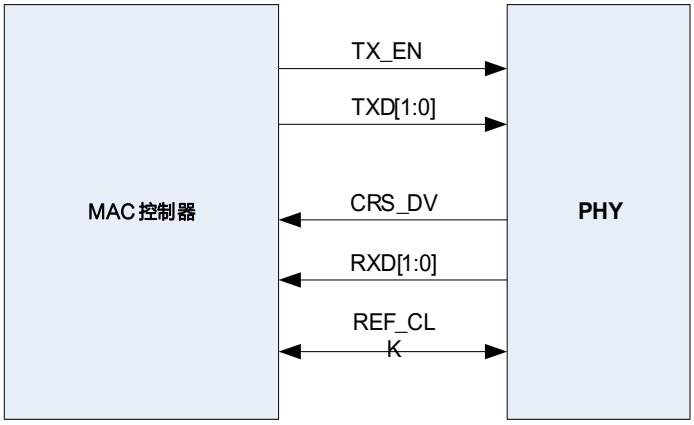
RMII：精简媒体独立接口

精简媒体独立接口(RMII)规范减少了以太网通信所需要的引脚数。根据IEEE 802.3标准，MII接口需要16个引脚用于数据和控制信号，而RMII标准则将引脚数减少到了7个。

RMII特性：

- 只有一个时钟信号，且该时钟信号需要提高到50MHz；
- MAC和外部的以太网PHY需要使用同样的时钟源；
- 使用2位宽度的数据收发。

图 32-5. 精简媒体独立接口(RMII)信号线



RMII 时钟源

通过将相同的时钟源接到MAC和以太网PHY的REF_CLK引脚保证两者时钟源的同步。可以通过外部的50MHz信号或者微控制器的CK_OUTx(x = 0,1)引脚提供这一时钟。当时钟来源CK_OUTx(x = 0,1)引脚时需配置合适的PLL，保证CK_OUTx(x = 0,1)引脚输出的时钟为50MHz。

MII/RMII 位传输顺序

不论选择的是MII还是RMII接口，发送接收的次序都是低位先出。

MII和RMII之间的区别主要是数据位数和发送次数的不同。MII上是先发送/接收低4位数据，再发送/接收高4位。在RMII上则是先发送/接收最低2位数据，再次低2位数据，次高2位数据，和最高2位数据。

例如：一个字节数据为10011101b(从左到右顺序：高位到低位)

使用MII发送需2个时钟周期：1101 -> 1001(从左到右顺序：高位到低位，其中1101对应MII_T / RXD[3] - MII_T / RXD[0])

使用RMII发送需4个时钟周期：01 -> 11 -> 01 -> 10(从左到右顺序：高位到低位，其中01对应RMII_T / RXD[1] - RMII_T / RXD[0])

32.3.2. MAC 功能简介

MAC 模块可以在两种模式(半双工模式和全双工模式)下工作。半双工模式下，通过 CSMA / CD 算法来抢占对物理介质的访问，在同一时间只有一个传输方向的两个站点有效。全双工模式下，满足以下条件时，可同时进行收发而不发生冲突：1)物理介质支持同时进行收发操作。2)只有两个站点接入 LAN，且两个站点都配置为全双工模式。

MAC 模块能够实现以下功能：1)数据封装(发送和接收)，包括检测 / 解码帧、帧边界定界、

寻址(管理源地址和目的地址)、错误检测。2)半双工模式下的介质访问管理，包括介质分配和冲突解决。

MAC 的发送流程

所有的发送均由以太网模块中专用DMA控制器和MAC控制。在收到应用程序发送指令后，DMA将发送帧从系统存储区读出并存入深度为2K的TxFIFO中，之后根据选择的模式(直通或者存储转发模式，具体定义请查看下段)将数据取出到MAC控制器，通过MII/RMII接口发送到以太网PHY，并可以选择配置使MAC控制器自动将硬件计算的CRC值添加到数据帧的帧校验序列中。当MAC控制器收到来自TxFIFO的帧结束信号后，完成整个传输过程。传输完毕后，传输状态信息将会由MAC控制器生成并写回到DMA控制器中，应用程序可以通过DMA当前发送描述符查询发送状态。

TxFIFO取出数据到MAC控制器的操作有两种模式：

- 在直通模式下，一旦FIFO中的数据字节数等于或超过设置的阈值，或者描述符中的帧结束标志被写入，FIFO中的数据就会被送入到MAC控制器中。用户可通过ENET_DMA_CTL中的TTHC[2:0]配置阈值。
- 在存储转发模式下，只有当一个完整的帧写入FIFO之后，FIFO中的数据才会被送入到MAC控制器中。但还有一种情况，帧没有被完整写入FIFO，FIFO也会取出数据。这种情况为TxFIFO的大小小于要发送的以太网帧长度，那么在TxFIFO即将全满时，数据会被送入到MAC控制器。

特殊情况处理

在传输过程中，如果空闲的DMA发送描述符不足，或者误操作了ENET_DMA_CTL的FTF位清空了FIFO(此位置1时将清空TxFIFO中的数据并将FIFO的指针复位，清空操作完成后由硬件将此位清零)，则将导致不能及时连续的发送数据，此时MAC控制器会标识数据下溢状态。对于只收到帧起始信号却没有收到帧结束信号的情况，MAC会忽略第二帧数据的帧起始，而将第二帧作为前一帧的延续。

若被发送的一帧占用两个DMA发送描述符，则第一个描述符的首段位(FSG)和末段位(LSG)应为10b，第二个描述符的应为01b。若第一个描述符与第二个描述符的FSG位都置位了，且第一个描述符的LSG位复位了，则将忽略第二个描述符的FSG位，并认为这两个描述符为只发送一个帧。

若发送MAC帧的数据域长度小于46或者带标签的MAC帧的数据域长度小于42，可以选择配置MAC控制器自动填充内容为0的数据，使帧数据域的长度符合IEEE 802.3规范的相关定义。若执行了自动填充0功能，则MAC将忽略DMA描述符DCRC位的配置，自动计算并添加CRC值到帧的帧校验序列中。

MAC 的发送管理

Jabber 定时器

为了防止出现一个站点长时间占用PHY的情况，以太网内置的Jabber定时器会在以太网帧发送超过2048字节后终止发送。默认情况下，Jabber定时器是使能的，因此当以太网帧发送超过2048字节，则MAC将只发送2048字节，并丢弃剩余的帧数据。

冲突处理机制：重发

在半双工模式下，MAC发送数据帧时可能会发生冲突。当发生冲突事件的时候如果FIFO中只有不超过96个字节的帧数据被取出到了MAC中，那么帧重发功能将被激活。重发功能激活后，MAC会中止当前的传输，然后重新从FIFO中读取数据并发送。当发生冲突事件的时候如果已有超过96个字节的数据从FIFO中取出到MAC中，那么MAC会中止当前的传输但不会激活重发功能，然后在描述符中置位LCO以通知应用程序。

清空 TxFIFO 操作

将ENET_DMA_CTL寄存器的FTF位置1将清空TxFIFO，并将FIFO数据指针复位。无论TxFIFO是否正在取出数据到MAC中，清空操作都会立刻执行。因此这也将导致MAC控制器产生数据下溢事件，并终止发送当前帧，同时返回该帧的状态信息和发送状态信息字到应用程序。并标记数据下溢位和清空位(发送描述符0的FRMF和UFE位)。在应用程序(DMA)接收到所有被清空帧的状态信息字以后，清空操作完成。清空操作完成后，ENET_DMA_CTL寄存器的FTF位将自动清'0'。当收到清空操作指令，所有从FIFO取出到MAC的数据都将被丢弃，直到收到FSG位为1的描述符。

帧间隔管理

MAC管理两个帧之间的时间间隔。两个帧之间的时间间隔称为帧间隙时间。在全双工模式下，在完成帧发送后，或者MAC进入空闲状态时，帧间隙计数器开始计数。如果在帧间隙时间未到达ENET_MAC_CFG寄存器中IGBS位所配置的值时，来了新的发送帧，则这个发送帧将被延迟发送直到达到帧间隙时间值。若这个新的发送帧在帧间隙时间之后到达，则会立即发送该帧。在半双工模式下，MAC遵循截断二进制指数退让算法，简要来说，就是在前一个发送帧发送完成之后，或者MAC进入空闲状态时，帧间隙计数器开始计数。在帧间隙时间内，可能会有3种情况会发生：

1. 如果在帧间隙时间的前2 / 3时间检测到载波信号，帧间隙计数器将复位并重新计数；
2. 如果在帧间隙时间的后1 / 3时间里检测到载波信号，帧间隙计数器不会复位，将继续计数，当帧间隙时间到达后，MAC发送新的帧；
3. 如果在整个帧间隙时间内都没有检测到载波信号，则在到达帧间隙时间后停止帧时隙计数器，并在之前有帧被延迟的情况下立即发送新的帧。

地址过滤模块

MAC过滤分为错误过滤(诸如过短帧、CRC错误以及坏帧的过滤)和地址过滤。此部分主要讨论地址过滤。

地址过滤利用静态物理地址(MAC地址)过滤和多播HASH列表过滤实现。若ENET_MAC_FRMF过滤器寄存器的FAR位为'0'(默认值),则只有通过地址过滤的帧才会被接收。该功能会根据应用程序设定的参数(帧过滤器寄存器)对单播帧或多播帧的目的与/或源地址进行过滤(通过目标地址的I/G位可判断是单播帧还是多播帧)并报告相应的地址过滤结果,所有不能通过过滤器的帧将被丢弃。

注意：若ENET_MAC_FRMF过滤器寄存器的FAR位为'1'，则所有帧都会被接收。在这种情况下，帧过滤结果仍会更新到接收描述符中，但帧过滤结果不会影响到帧是否会被过滤。

单播目标地址过滤器

通过对ENET_MAC_FRMF寄存器HUF位的设置，可以选择使用静态物理地址(HUF位为'0')或者HASH列表(HUF位为'1')的方式实现单播过滤。

- 静态物理地址过滤

MAC控制器支持多达4个MAC地址对单播地址进行完美过滤。在这种方式下，MAC会把接收到帧的6个字节单播地址与设好的MAC地址寄存器逐位比较，检查是否相符。对于MAC地址0寄存器始终使能，对于MAC地址1-MAC地址3寄存器分别有对应的使能位。MAC地址1-MAC地址3寄存器的每一个字节都可以通过相应MAC地址的高寄存器的屏蔽字节控制位(MB位)来设置是否与接收帧的目标地址相应字节比较。

- HASH列表过滤

这种过滤使用一种HASH机制。MAC利用64位的HASH列表对单播地址进行不完美过滤。这种过滤模式遵循以下两个过滤步骤：

1. MAC计算接收帧的目标地址的CRC值
2. 取CRC计算结果高6位作为索引检索HASH列表。如果CRC值对应的HASH列表上的相应位为'1'，则该帧能通过HASH过滤器，反之则该帧不能通过HASH过滤器。

这种类型过滤器的优点是可以仅用一个小表就覆盖任何可能的地址。缺点是过滤不完全，即有时应该丢弃的帧也会被接收。

单播源地址过滤器

使能MAC地址1-MAC地址3寄存器，并设置其对应MAC地址高寄存器的SAF位为'1'，MAC可以将MAC地址1-MAC地址3寄存器中设置的物理(MAC)地址与接收帧的源地址进行比较并过滤。MAC也支持对源地址的成组过滤。若设置帧过滤寄存器ENET_MAC_FRMF的SAFLT位为'1'，MAC会丢弃没能通过源地址过滤的帧，同时过滤结果会通过DMA接收描述符0的SAFF位反映出来。当SAFLT位为'1'的同时，目标地址过滤器也在工作，此时MAC控制器以两个滤波器结果的逻辑"与"形式判定帧是否通过。这意味着，只要帧没能通过其中一个过滤器，就会被丢弃。MAC只会把通过全部过滤器的帧转发给应用程序。

多播目标地址过滤器

将帧过滤寄存器ENET_MAC_FRMF的MFD位清零，以开启MAC多播地址过滤功能。此时根据帧过滤寄存器ENET_MAC_FRMF的HMF位的取值可以选择类似于单播目标地址过滤的两种方式进行地址过滤。

广播地址过滤器

默认情况下，MAC无条件的接收任何广播帧。但当设置帧过滤寄存器ENET_MAC_FRMF的BFRMD位为'1'时，MAC将丢弃接收到的所有广播帧。

HASH 或者完美地址过滤器

设置帧过滤器寄存器ENET_MAC_FRMF的HPFLT位为'1'，并设置相应的HUF位(对单播帧)或者HMF位(对多播帧)为'1'，则可以将过滤器配置成只要接收帧的目标地址匹配HASH过滤器或者物理地址过滤器之一，就令帧通过。

逆转过滤操作

无论是目标地址过滤还是源地址过滤，都能在过滤器输出端逆转过滤结果。即地址与过滤器匹配时，帧不通过；不匹配时帧通过。通过设置帧过滤寄存器ENET_MAC_FRMF的DAIFLT位和SAIFLT位为'1'可以实现这一功能。DAIFLT位作用于单播和多播帧的目标地址的过滤结果，SAIFLT位作用于单播和多播帧的源地址的过滤结果。

下面*表32-5. 目标地址过滤器结果列表*和*表32-6. 源地址过滤器结果列表*总结了目标地址和源地址过滤器在不同设置下的工作状态。

表 32-5. 目标地址过滤器结果列表

帧类型	PM	HPFLT	HUF	DAIFLT	HMF	MFD	BFRMD	目标地址过滤器操作
广播帧	1	-	-	-	-	-	-	通过
	0	-	-	-	-	-	0	通过
	0	-	-	-	-	-	1	不通过
单播帧	1	-	-	-	-	-	-	所有帧通过
	0	-	0	0	-	-	-	匹配完美/组过滤器时通过
	0	-	0	1	-	-	-	匹配完美/组过滤器时不通过
	0	0	1	0	-	-	-	匹配HASH过滤器时通过
	0	0	1	1	-	-	-	匹配HASH过滤器时不通过
	0	1	1	0	-	-	-	匹配HASH或者完美/组过滤器时通过
	0	1	1	1	-	-	-	匹配HASH或者完美/组过滤器时不通过
多播帧	1	-	-	-	-	-	-	所有帧通过
	-	-	-	-	-	1	-	所有帧通过
	0	-	-	0	0	0	-	匹配完美/组过滤器时通过，如果PCFRM = 0x，丢弃暂停控制帧
	0	0	-	0	1	0	-	匹配HASH过滤器时通过，如果PCFRM = 0x，丢弃暂停控制帧
	0	1	-	0	1	0	-	匹配HASH或者完美/组过滤器时通过，如果PCFRM = 0x，丢弃暂停控制帧
	0	-	-	1	0	0	-	匹配完美/组过滤器时不通过，如果PCFRM = 0x，丢弃暂停控制帧
	0	0	-	1	1	0	-	匹配HASH过滤器时不通过，如果PCFRM = 0x，丢弃暂停控制帧

帧类型	PM	HPFLT	HUF	DAIFLT	HMF	MFD	BFRMD	目标地址过滤器操作
	0	1	-	1	1	0	-	匹配HASH或者完美/组过滤器时不通过，如果PCFRM = 0x，丢弃暂停控制帧

表 32-6. 源地址过滤器结果列表

帧类型	PM	SAIFLT	SAFLT	源地址过滤器操作
单播帧	1	-	-	所有帧通过
	0	0	0	匹配完美/组过滤器时返回通过状态，不匹配时状态为不通过，但不丢弃不通过的帧
	0	1	0	匹配完美/组过滤器时返回不通过状态，但不丢弃帧
	0	0	1	匹配完美/组过滤器时通过，丢弃不通过的帧
	0	1	1	匹配完美/组过滤器时不通过，丢弃不通过的帧

混杂模式

若设置ENET_MAC_FRMF寄存器的PM位为'1'将使能混杂模式，此时地址过滤器无效，所有帧均可通过过滤器。同时接收状态信息的目标地址/源地址错误位总是为'0'。

暂停控制帧过滤

MAC会检测接收到的控制帧内的6字节目标地址域，若ENET_MAC_FCTL寄存器的UPFDT位设为0，则判断目标地址域的值是否符合IEEE 802.3规范控制帧的唯一值(0x0180 C200 0001)。若ENET_MAC_FCTL寄存器的UPFDT位设为1，则在与IEEE 802.3规范定义的唯一值比较外，同时与控制器所设置的MAC地址逐位比较。如果目标地址域比较通过且接收流控制被使能(ENET_MAC_FCTL的RFCEN位被置1)，则相应暂停控制帧功能将被触发。这个通过过滤的暂停帧是否会被转发给应用取决于ENET_MAC_FRMF寄存器的PCFRM[1:0]位设置。

MAC 的接收流程

MAC接收到的帧都会被送入RxFIFO中。MAC接收到帧后会剥离其前导码和帧首界定码，并从帧首界定码后的第一个字节(目标地址)开始向FIFO发送帧数据。如果使能了IEEE 1588时间戳，MAC会在检测到帧的帧首界定码的时候记录下系统的当前时间。如果这个帧通过地址过滤器的检查，MAC会把这个时间戳通过接收描述符一并发给应用程序。

若ENET_MAC_CFG寄存器的APCD位置位，且接收到的帧长度/类型域的值小于0x600时，MAC将自动剥离填充域和帧校验序列。MAC会在向RxFIFO发送完帧长度/类型域规定字节数后，丢弃包括帧校验序列在内的余下字节。如果长度/类型域的值大于或等于0x600，则忽略APCD位，由TFCD位来确定是否自动剥离帧校验序列。

若看门狗定时器被使能(ENET_MAC_CFG寄存器中的WDD位被复位)，当帧长度超过2048字节时将被切断。即使看门狗定时器被禁能，MAC仍然会切断长度大于16384字节的帧。

当RxFIFO工作于直通模式时，如果FIFO中的数据量大于门限值(可通过ENET_DMA_CTL寄存器的RTHC位设置)，就开始从FIFO中取出数据，并通知DMA接收。当FIFO完成取出整个帧后，MAC控制器将接收状态信息字发送给DMA控制器以回写到接收描述符中。在这种模式下，假如一个帧开始由FIFO取出由DMA发送到应用程序，则即使检测到错误，帧也会一直接收直到

整个帧接收完毕。由于错误信息也要等到此时才会发送给DMA控制器，此时帧的前部分已经被DMA接收，所以在这种模式下将MAC设置成将所有错误帧丢弃将无效。

当RxFIFO工作于存储转发模式(通过ENET_DMA_CTL寄存器的RSFD位设置)时，DMA只在RxFIFO完整地收到一帧后，才将其读出。此模式下，如果MAC设置成将所有错误帧丢弃，那么DMA只会读出合法的帧，并转发给应用程序。一旦MAC在接口上检测到帧首界定码就会启动接收过程。MAC控制器在处理帧之前会剥离前导码和帧首界定码。会通过过滤器检查帧的报头，并用帧校验序列核对帧的CRC值。如果帧没能通过地址滤波器，MAC控制器就会丢弃该帧。

MAC 的接收管理

多个帧的接收处理

与TxFIFO不同，由于帧的状态信息紧随在帧数据之后，MAC可以判断接受帧的状态，因此第二个接收帧的传送是紧接着第一个接收帧的数据与状态信息的，只要RxFIFO未满，就可以存放任意数量的帧。

错误处理

- 在从MAC接收到EOF之前，RxFIFO已满。则MAC控制器会将整个帧丢弃并返回一个溢出状态。同时将溢出计数器加1；
- 若RxFIFO设置成存储转发模式，MAC可以过滤并丢弃所有的错误帧。但根据ENET_DMA_CTL寄存器的FERF和FUF位的设置，RxFIFO仍可以接收错误帧和长度低于最小帧长的帧；
- 若RxFIFO设置成直通模式，并不能将所有的错误帧都丢弃，仅当DMA从RxFIFO读出帧的SOF时，RxFIFO也已获得了该帧的错误状态时可以丢弃错误帧。

流控模块

MAC 控制器主要通过背压(半双工模式)和暂停控制帧(全双工模式)来管理帧的发送流控。

- 半双工模式流控：背压

当 MAC 采用半双工模式进行通讯时，如果设置了发送流控使能位(ENET_MAC_FCTL 寄存器的 TFCEN 位)，有两种情况可以触发背压流控。背压流控是通过发送一个 32 位的堵塞信号 0x5555 5555，通知所有其他站点发生了冲突。两种触发情况中，第一种是通过置位 ENET_MAC_FCTL 寄存器的 FLCB/BKPA 位来使能发送流控。第二种情况在接收帧时发生，MAC 在接收帧的过程中，RxFIFO 中字节数不断增大，当接收数目超过流控激活阈值(ENET_MAC_FCTH 寄存器中的 RFA 位)，MAC 将置位背压挂起标志。若背压挂起标志置位了，且又有新的帧到来，MAC 将发送堵塞信号以延迟一段背压时间再接收帧。在背压时间结束后，PHY 会重新发送这个新的帧。若在背压期间，RxFIFO 中字节数大于等于流控失活阈值(ENET_MAC_FCTH 寄存器中的 RFD 位)，则 MAC 会再次发送背压信号；反之，则 MAC 将复位背压挂起标志，并可以接收新的帧，不再发送堵塞信号。

- 全双工模式流控：暂停帧

对于全双工模式，MAC 控制器使用"暂停帧"进行流控制。这种方式可以使接收端能够命令发送端暂停一段时间再发送，如当接收缓冲区快要溢出的情况。如果设置了发送流控使能位

(ENET_MAC_FCTL 寄存器的 TFCEN 位)，在全双工模式下，MAC 会在以下两种情况下产生并发送暂停帧。两种情况分别为：

1) 应用程序把 ENET_MAC_FCTL 寄存器的 FLCB/BKPA 位置位，将立即发送一个暂停帧。这个暂停帧指定的暂停时间为 ENET_MAC_FCTL 寄存器中 PTM 位配置好的暂停时间值。如果应用程序前面要求了一段时间的暂停，但在这段时间内，应用程序准备好了，可以不需要剩余的暂停时间了，这时应用程序需要发一个零时间片暂停帧来通知发送方可以继续发送了。零时间片暂停帧是通过设置 ENET_MAC_FCTL 寄存器中的 PTM 位为 0，并将 FLCB/BKPA 位置位来发送的；
2) 在 RxFIFO 满足一定的条件下，MAC 会自动发送暂停帧。在接收过程中，RxFIFO 不停地有数据进来，同时 RxFIFO 也取出数据给 RxDMA，如果 RxFIFO 取出数据的频率小于其接收数据的频率，RxFIFO 中的数据就会越来越多。一旦 RxFIFO 中的数据量超过了流控的激活阈值(ENET_MAC_FCTH 寄存器中的 RFA 位)，MAC 将发送一个暂停时间为 PTM 位定义的值的暂停帧。发送暂停帧之后，MAC 将启动一个计数器，计数器的时间由 ENET_MAC_FCTL 寄存器的 PLTS 位定义，当到了计数器规定的时间，MAC 将重新检查 RxFIFO。此时若 RxFIFO 中的数据量仍然大于流控激活阈值，MAC 将再次发送一个暂停帧。若 RxFIFO 中的数据量小于流控失活阈值，并且 ENET_MAC_FCTL 寄存器中的 DZQP 位被复位，则 MAC 将发送一个零时间片暂停帧。这个零时间片暂停帧用于指示远程站点结束暂停，本地缓存区已经准备好接收新的数据帧。

MAC 通过如下方式管理帧的接收流控：

在全双工模式下，MAC 能够检测暂停帧，并按照暂停帧中的暂停时间域参数，在暂停一定时间后再发送数据。可以通过设置 ENET_MAC_FCTL 寄存器的 RFCEN 位，使能或者取消暂停帧检测功能。如果没有使能该功能，则 MAC 会忽略接收到的暂停帧。若使能了该功能，MAC 将能够对接收到的暂停帧进行解码。类型域、操作数域和暂停时间域都将能够被 MAC 识别。在暂停期间，如果收到一个新的暂停帧，则新的暂停时间将立即被加载到暂停时间计数器中。如果接到收的暂停时间域值为 0，则 MAC 会停止暂停时间计数器，恢复数据的发送。通过配置 ENET_MAC_FRMF 寄存器的 PCFRM 位值，来处理这些接收到的控制帧。

校验和引擎

以太网控制器具有发送校验和的功能，支持计算校验和，并在发送时插入计算结果，以及在接收时侦测校验和错误。

如下描述了发送帧的校验和的操作功能。

注意：只有将 ENET_DMA_CTL 寄存器的 TSFD 位置为'1'(TxFIFO 设置成存储转发模式)，同时必须保证 TxFIFO 的深度足够容纳将要发送的完整帧时，才能使能此功能。若 FIFO 深度小于帧长度，则仅仅计算和插入 IPv4 报头的校验和域。

欲了解 IPv4、TCP、UDP、ICMP、IPv6 和 ICMPv6 报头的规范，请分别查阅 IETF 规范 RFC 791、RFC 793、RFC 768、RFC 792、RFC 2460 和 RFC 4443。

- IP头校验和

若以太网帧的类型域值为 0x0800 同时 IP 数据包的版本域值为 0x4，则校验和模块标记其为 IPv4 数据包并会用计算结果取代帧的校验和域的内容。IPv6 的报头不包含校验和域，因此校验和模块不会改变 IPv6 报头的值。IP 头校验和计算完毕之后，其结果会写到发送描述符 0 的

IPHE 位。当发生下述情况时，IPHE 错误状态位会被硬件置'1'：

1) 对于IPv4数据帧：
   a) 接收到的以太网类型域值为0x0800，但IP报头版本域的值不等于0x4；
   b) IPv4报头长度域的值大于帧的总长度；
   c) IPv4报头长度域值小于IP报头总长0x5(20字节)。

2) 对于IPv6数据帧：
   a) 接收到的以太网类型域值为0x86dd，但IP报头版本域的值不等于0x6；
   b) 帧在完全接收IPv6报头或者扩展报头之前结束。IPv6标准报头长度为40字节，扩展报头包含相应的报头长度字段。

■ TCP / UDP / ICMP校验和

校验和模块通过分析IPv4或IPv6报头(包括扩展报头)来判断帧的类型(TCP、UDP或ICMP)。

当帧发生以下情况时，将绕过校验和功能，校验和模块不对这些帧进行处理：

1) 不完整的IPv4或IPv6帧；
2) 包含安全功能的IP帧(如验证报头或者封装有安全数据)；
3) 非TCP / UDP / ICMPv4 / ICMPv6数据的IP帧；
4) 带路由报头的IPv6帧。

校验和模块会对TCP、UDP或者ICMP的数据进行计算，并插入报头的相应域。它有以下2种工作模式：

1) 校验和计算不包括TCP、UDP或者ICMPv6的伪首部。并假定输入帧的校验和字段已有值。校验和字段包含在校验和计算中，在计算完成后插入并替换原校验和域的值；
2) 校验和计算包括TCP、UDP或者ICMPv6的伪首部。将传输帧的校验和字段清零。进行校验和的计算，计算完成后插入传输帧的原校验和域。

校验和计算完毕之后，其结果会写到发送描述符0的IPPE位。当发生下述情况时，IPPE错误状态位会被硬件置'1'：

1) 在存储转发模式下，帧未被完整写入FIFO之前就被转发给MAC控制器；
2) 帧已发送完毕，但MAC从FIFO中取出的数据包字节数小于IP报头中数据长度域标明的字节数。

如果数据包长度大于标明的长度，不会报告错误，之后的数据会被当成填充字节而丢弃。如果检测到第一类错误情况，校验和的值不会插入TCP、UDP或者ICMP报头。如果检测到第二类错误情况，仍然会把校验和计算结果插入报头的相应域。

注意：无论采用哪种模式，对于 IPv4 上的 ICMP 数据包，由于这类数据包没有定义伪报头，为正确计算其校验和，校验和域内容必须为 0x0000。

接收帧校验和的操作功能描述如下所述。

置位 ENET_MAC_CFG 寄存器的 IPFCO 位，可以使能接收校验和模块。接收校验和模块可以计算 IPv4 报头的校验和，并检查它是否与 IPv4 报头的校验和域的内容相匹配以外。MAC 可根据检查接收到的以太网帧类型域是 0x0800 还是 0x86dd，来判别是 IPv4 帧还是 IPv6 帧，这个方法也用于带 VLAN 标签的帧识别。DMA 接收描述符的报头校验和错误位(接收描述符 0 中的 IPHERR 位)反映了对报头的校验和结果，该位在接收到的 IP 报头出现下述错误时被置

1：

- 计算的IPv4报头的校验和值与其校验和域的内容不匹配；
- 以太网类型域值指示的数据类型与IP报头版本域不匹配；
- 接收到的帧长少于IPv4报头长度域指示的长度，或者IPv4/IPv6报头少于20字节。

接收校验和模块还能识别IP数据包的数据类型是TCP、UDP还是ICMP，并按照TCP、UDP或ICMP的规范计算它们的校验和。计算过程包括TCP/UDP/ICMPv6伪报头的数据。DMA接收描述符(接收描述符0的PCERR位)的数据校验和错误位反映了对数据的校验和结果，该位在接收到的IP数据包数据出现下述错误时被置1：

- 计算的TCP、UDP或ICMP校验和与其帧的TCP、UDP或ICMP校验和域值不匹配；
- 收到的TCP、UDP或者ICMP数据长度与IP报头给出的长度不符。

接收校验和模块不计算下列情况：不完整的IP数据包、带安全功能的IP数据包、IPv6路由报头以及数据类型不是TCP、UDP或者ICMP的数据包。

MAC 回环模式

通常地，回环模式用于应用程序对系统硬件和软件的测试与调试。通过将ENET_MAC_CFG寄存器的LBM位置'1'，可以使能MAC回环模式。在该模式下，MAC发射端把帧发送到自身的接收端上。该模式默认为关闭。

32.3.3. DMA 控制器描述

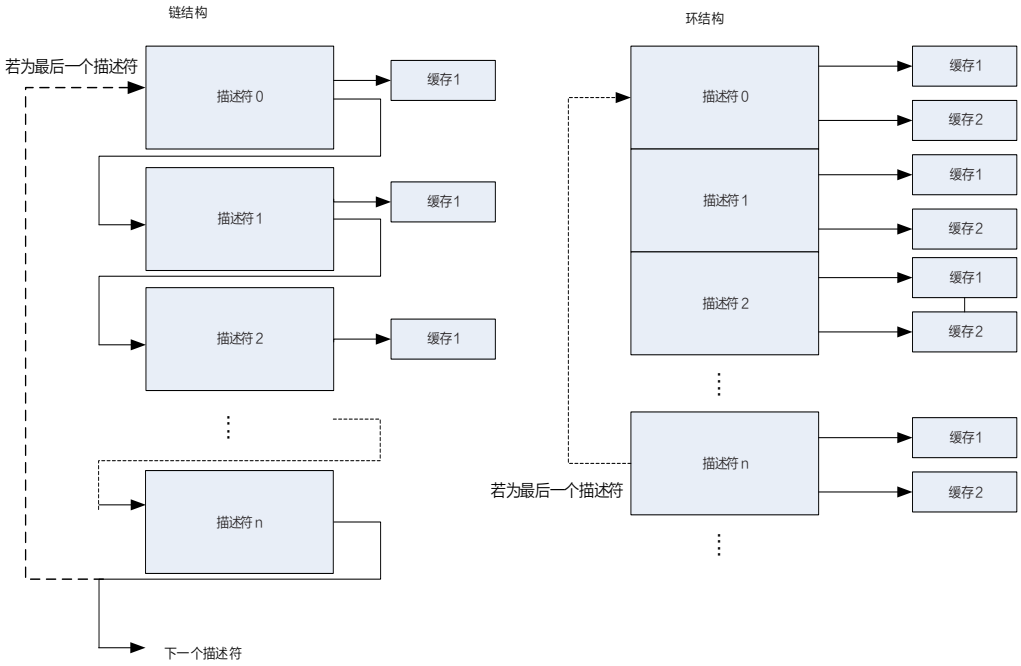
为了减少CPU的干预，设计了以太网专用DMA控制器，用于实现FIFO和系统存储之间的帧数据传输。CPU和DMA之间的的通讯通过2种数据结构实现。分别是：1)描述符列表(链结构或环结构)和数据缓存；2)控制和状态寄存器。应用程序需要开辟存储描述符列表及数据缓存用到的物理内存。在存储器里，描述符是以指向缓存的指针的形式存放。有2个描述符队列，一个用作发送，另一个用作接收。两个队列的基地址分别存放在ENET_DMA_TDTADDR寄存器和ENET_DMA_RDTADDR寄存器中。当DFM位为0时，发送描述符由四个描述符字发送描述符0-4)组成，当DFM位为1时，发送描述符由八个描述符字(发送描述符0-8)组成。同样的，当DFM位为0时，接收描述符由四个描述符字(接收描述符0-4)组成，当DFM位为1时，接收描述符由八个描述符字(接收描述符0-8)组成。每个描述符可以指向最多2个缓存用来存储帧的数据。根据描述符列表类型是环结构还是链结构，来决定第二个缓存是被配置为第二个数据存储地址，还是下一个描述符地址。数据缓存存放在MCU的物理内存里，可以存放一个帧的全部或者部分，但是不允许存放不属于同一个帧的数据。描述符队列可以是显性(链结构)或者隐性(环结构)的方式前向连接的。通过设置接收描述符1的RCHM位和发送描述符的TCHM位为'1'，可以实现描述符的显性连接，此时接收描述符2及发送描述符2中将存放缓存地址，接收描述符3及发送描述符3中将存放下一个描述符的地址，这种链接的描述符也可以称为描述符的链结构。通过设置接收描述符1的RCHM位和发送描述符的TCHM位为'0'，可以实现描述符的隐性连接，此时接收描述符2/发送描述符2，接收描述符3/发送描述符3中都将存放缓存地址，这种链接的描述符也可以称为描述符的环结构。在使用当前的描述符所指向的缓存地址时，描述符指针就指向下一个描述符。当使用链结构时，描述符指针指向的是第二个缓存。当使用环结构，根据下式计算描述符指针下一个所指向的地址：

DFM=0：下个描述符地址 = 当前描述符地址 + 16 + DPSL * 4

DFM=1：下个描述符地址 = 当前描述符地址 + 32 + DPSL * 4

若当前描述符是描述符列表的最后一个描述符，环结构下必须设置发送描述符0的位21或接收描述符1的位15以标识当前描述符为列表的最后一个。此时下一个描述符又指向描述符列表的第一个。链结构下还可以通过设置发送描述符3或接收描述符3的值指向描述符列表中第一个的地址。DMA一旦检测到帧结束就会跳到下一个帧的缓存。

图 32-6. 描述符的环结构和链结构



数据缓存地址对齐

以太网DMA控制器支持所有对齐类型：字节对齐，半字对齐，字对齐。这意味着应用程序可将发送和接收数据缓存地址配置到任意地址。但是，在DMA发起传输的时候，总是以字对齐的方式访问地址。对于读和写缓存的访问也不一样。示例如下：

- 读缓存示例：如果发送缓存的地址为0x2000 0AB2，并需要传输15字节。在开始读操作后，DMA实际会从地址0x2000 0AB0，0x2000 0AB4，0x2000 0AB8，0x2000 0ABC和0x2000 0AC0先读5个字，但是在往FIFO发送数据的时候，会丢弃头2个字节(0x2000 0AB0和0x2000 0AB1)和最后3个字节(0x2000 0AC1，0x2000 0AC2和0x2000 0AC3)。
- 写缓存示例：如果接收缓存的地址为0x2000 0CD2，并需要传输16字节。在开始写操作后，DMA实际会从地址0x2000 0CD0到0x2000 0CE0先写5个32位数据。但是头2个字节(0x2000 0CD0和0x2000 0CD1)和末尾的2个字节(0x2000 0CE2和0x2000 0CE3)会用虚拟字节替代。

注意： DMA控制器不会写任何数据到定义的缓存区之外的地址。

缓冲区有效长度

发送帧的过程中，TxDMA会传输与发送描述符1中标明的缓存有效长度的字节给MAC控制器。如前所述，一个发送帧可以用多个描述符来描述一个帧，即一个帧的数据可以处于多个不同的缓存中。如果DMA控制器读取的发送描述符0的FSG位为'1，那么DMA就明确了当前缓存存储的是一个新的帧，并标记发送的第一个字节是帧首。如果DMA控制器读取的发送描述符0的LSG位为'1'，则DMA就明确了当前缓存存储的是当前帧的最后一部分数据。通常来说一个帧只存在一个缓存里(因为缓存的大小对于一个正常的帧来说足够大了)，因此FSG和LSG位会在一个相同的描述符中同时置位。

接收帧的过程中，接收帧的缓存长度域值必须是字对齐的。对于字对齐或非字对齐的缓存地址，接收操作与发送操作不大相同。如果接收缓存地址是字对齐的，则与发送流程是类似的，缓存的有效长度为由接收描述符1中配置的值。如果接收缓存地址是非字对齐的，则缓存的有效长度将小于接收描述符1中配置的值。缓存有效长度值应为接收描述符1中配置的值减去缓存地址的低2位值。例如，假设缓存的总大小为2048字节，缓存地址为0x2000 0001，地址的低2位值为0b01，那么缓存有效长度为2047个字节，范围从0x2000 0001(帧首)到0x2000 07FF。

当收到了一个帧起始SOF，则DMA控制器将FSG位置位，当收到一个帧结束EOF时，则LSG位被置位。如果接收缓存长度域值配置的足够大，能放下整个帧，则FSG和LSG位将在同个描述符中被置位。实际接收的帧长度可从接收描述符0的FRML位域获取。从而应用程序可计算未被使用的缓存空间。RxDMA总是用新的描述符来接收下一帧。

TxDMA 和 RxDMA 的仲裁器

DMA的仲裁器设计了两种仲裁方式用于提高DMA发送与接收控制器的效率：固定和轮询优先级。设置ENET_DMA_BCTL寄存器DAB位为'0'，选择轮询优先级，在TxDMA和RxDMA同时要求访问数据总线的时候，按照ENET_DMA_BCTL寄存器RTPR位设定的比例对其访问进行分配。设置DAB位为'1'选择固定优先级，此时RxDMA和TxDMA同时要求访问时，RxDMA总是对总线拥有更高的访问优先级。

DMA 错误状态

若DMA在传输过程中出现了错误的总线响应，那么DMA控制器认为发生了一个致命错误，会立刻停止所有操作，并更新状态寄存器ENET_DMA_STAT。在发生类似的致命错误(响应错误)之后，应用程序必须复位以太网外设并重新初始化DMA，DMA才能恢复操作。

TxDMA 与 RxDMA 控制器的初始化

在使用DMA控制器之前，必须按如下步骤对DMA进行初始化：

1. 对ENET_DMA_BCTL寄存器进行总线访问参数的相关设置；
2. 对ENET_DMA_INTEN寄存器进行设置，屏蔽不需要的中断源；
3. 将发送描述符列表和接收描述符列表的基地址分别写入ENET_DMA_TDTADDR寄存器与ENET_DMA_RDTADDR寄存器中；

4. 对相关的寄存器进行期望的过滤器配置；
5. 根据从PHY读出的自协商的结果，设置SPD位和DPM位的值，来选择通讯模式(半 / 全双工)及通讯速度(10Mbit/s或100Mbit/s)。将ENET_MAC_CFG寄存器的TEN和REN位置'1'，使能MAC的发送和接收操作；
6. 设置ENET_DMA_CTL寄存器的位STE和位SRE为'1'，使能DMA发送和接收器。

注意：如果HCLK频率过低，应用程序可以先使能DMA接收器，再将ENET_MAC_CFG寄存器的REN位置'1'，以避免RxFIFO在启动的时候溢出。

DMA 发送帧处理

如前所述，一个帧可以分散在不同缓存内，这意味着需要多个描述符。当 FSG 位置位，表示当前描述符指向的缓存为帧头，当 LSG 位置位，表示当前描述符指向的缓存为帧尾。对于当前帧其他描述符(LSG 位为'0'的描述符)，TxDMA 控制器仅修改清零其 DAV 位。在这最后一个缓存的数据发送完毕以后，DMA 会将整个帧的发送状态信息，写入最后一个的发送描述符 0 并返回。将数据从系统存储传输到 FIFO，开始发送数据，但实际上真正的数据发送是由 TxDMA 模式决定的：直通模式和存储转发模式。直通模式在 FIFO 中的字节数大于所配置的阈值时，数据将取出到 MAC 发送。存储转发模式在整个帧数据都传入 FIFO 后或 FIFO 快要填满时再取出数据给 MAC 进行发送。

DMA 发送管理

发送缓存区中第二帧操作

如果ENET_DMA_CTL寄存器中OSF位为'0'，则发送顺序为：首先读取发送描述符，然后从系统存储读取数据写到FIFO，再将帧数据通过MAC放到接口上，最后等待数据发送完毕后将发送状态写回描述符。

上述是TxDMA的标准发送流程，但当HCLK远远大于TX_CLK时，在发送两个帧时发送效率将显著降低。

为避免上述提及的情况，应用程序可将OSF位置位。在此情况下，第二帧的数据可以不等待第一帧的描述符状态信息被写回，就先读取内存里的第二帧数据，并把它们送进FIFO。OSF功能仅在两相邻帧之间起作用。

TxDMA 操作模式(A)(默认)：非 OSF

在默认模式下，TxDMA控制器的工作流程如下：

1. 初始化帧数据到发送缓存，并对发送描述符0-3进行设置，置发送描述符0的DAV位为'1'；
2. 将ENET_DMA_CTL寄存器的STE位置为'1'，使能TxDMA控制器；
3. TxDMA控制器开始轮询发送描述符列表来获取待发送的帧。如果TxDMA检测到发送描述符0的位DAV为0，或者发生了错误，则控制器就会终止传输进入挂起状态，并设置ENET_DMA_STAT寄存器的发送缓存不可用位(位2)和正常中断汇总位(位16)为'1'。如果处于挂起状态，则发送控制器操作跳至步骤8；
4. 如果取到的描述符标志位显示该描述符由DMA占有(DAV位被置'1')，那么DMA从描述符中解析出所配置的发送帧以及发送数据缓存的地址；

5. DMA从内存中取出数据并将数据存入TxFIFO；
6. TxDMA控制器会一直轮询描述符列表直到帧结尾被传送出去(LSG位置位)。如果当前描述符的LSG位为'0'，则在所有缓存数据送入TxFIFO之后，将DAV位清零以关闭这个描述符。然后TxDMA控制器等待写回描述符状态，以及IEEE 1588时间戳值(如果使能了时间戳功能)；
7. 在整个帧发送完成以后，仅当发送描述符0位INTC为'1'时，发送状态位(ENET_DMA_STAT寄存器中的TS位)会被置位。此时若使能了DMA中断，将进入相应中断。然后DMA控制器返回步骤3，继续处理下一帧；
8. 在挂起状态下，如果向发送查询使能寄存器ENET_DMA_TPEN写入任意值，并清除发送溢出标志位，TxDMA将重新回到运行状态，尝试重新获取描述符。发送控制器操作回到步骤3。

TxDMA 操作模式(B)：OSF

在操作第二帧(OSF)模式下，TxDMA可以不必等到前一帧的状态信息写回，就发送下一帧。如果系统时钟频率远远大于MAC频率(10Mbit/s或100Mbit/s)，这种情况OSF模式可以提高发送效率。设置ENET_DMA_CTL寄存器的位OSF为'1'，进入此模式。DMA在发送完前一帧数据后，不必等到前一阵的状态写回，而是立即查询第二帧的发送描述符，如果第二帧发送描述符的DAV位与FSG位都置1，那么TxDMA立即读取第二帧的帧数据并将其存入MAC FIFO。

在OSF模式下，TxDMA的操作流程如下：

1. 按照TxDMA默认模式的步骤1-6操作；
2. DMA不等到关闭前一帧的最后一个描述符(LSG位为'1')，就直接取下一个描述符；
3. 如果取到的描述符标明被DMA占有(DAV位为'1')，那么就从解析的发送缓存地址中读取下一帧的数据。如果DAV位为'0'即DMA不占有这个描述符，则TxDMA进入挂起状态并跳到步骤7；
4. TxDMA控制器会一直轮询描述符列表直到帧结尾被传送出去。如果一个帧由多个描述符描述，则中间描述符会在获取之后就被关闭；
5. TxDMA等待前一帧的发送状态信息和时间戳(如果使能了时间戳功能)，在接收到状态信息后，DMA会把DAV位为'0'的状态信息写入发送描述符0，将该描述符的占有权交还给CPU进行操作；
6. 在整个帧发送完成以后，仅当发送描述符0位INTC为'1'时，发送状态位(ENET_DMA_STAT寄存器中的TS位)会被置位。此时若使能了DMA中断，将进入相应中断。如果前一个帧返回的状态信息正常则跳到步骤3。若显示有数据下溢错误，TxDMA进入挂起状态，并跳到步骤7；
7. 在挂起状态下，如果TxDMA收到一个发送帧的待处理的状态信息和时间戳(若使能了时间戳)，则TxDMA将这些信息写入发送描述符，并将相应描述符的的DAV位清零。随后设置相关的中断标志位并回到暂停状态；
8. 在挂起状态下，如果向发送查询使能寄存器ENET_DMA_TPEN写入任意值并将溢出中断标志位清零，TxDMA将回到运行状态，尝试重新获取描述符。发送控制器操作根据是否有待处理的状态信息跳到步骤1或者步骤2。

发送帧格式

根据前述的IEEE 802.3规范，一个正常的发送帧应该由以下及部分构成：前导码，帧首界定码

SFD，目标地址DA，源地址SA，QTAG前缀(可选)，长度/类型域LT，数据，PAD填充域(可选)，和帧校验序列FCS。

前导码和帧首界定码都是由MAC自动生成的，因此应用程序只需要存储目标地址，源地址，QTAG(若需要)，长度/类型，数据，填充域(若需要)，帧校验序列(若需要)。如果帧需要填充位，即缓存中没有存储填充位和帧校验序列部分，则应用程序可配置自动生成帧校验序列和填充位功能。如果帧仅需帧校验序列，即缓存中没有存储帧校验序列部分，则应用程序可配置自动生成帧校验序列。DPAD位和DCRC位用于配置填充位和帧校验序列的自动生成。

发送查询挂起后的处理

当传输开始后DMA会不断对发送描述符进行查询，当发生如下情况时，会导致DMA进入挂起状态，并暂停发送。此时当前描述符固定为暂停前的最后一个描述符。

- DMA检测到发送描述符0的DAV位为0，此时CPU占有描述符，则会进入挂起状态，并暂停查询。同时设置ENET_DMA_STAT寄存器的正常中断总结位NI和发送缓存不可用位TBU为'1'；
- 当接口在发送帧的过程中MAC FIFO为空，意味着检测到了数据下溢错误。在此情况下，设置ENET_DMA_STAT寄存器的异常中断总结位AI和发送数据下溢位TU为'1'，同时把该信息写入发送描述符0。

带 IEEE 1588 时间戳的 TxDMA 描述符格式

如果设置TTSEN位为'1'，则使能了IEEE1588功能。TxDMA控制器会在帧发送完成后，将时间戳写入描述符同时设置TTMSS位为'1'。写时间戳值的地址由ENET_DMA_BCTL寄存器的DFM位决定。如果DFM位为'0'即描述符格式为常规模式，则时间戳将覆盖写到发送描述符2和发送描述符3上。如果DFM位为'1'即描述符格式为增强型模式，则时间戳将写到发送描述符6和发送描述符7上，发送描述符2和发送描述符3中的值保持不变。

常规 TxDMA 描述符

常规TxDMA描述符结构体包含4个32位字，发送描述符0~发送描述符3。发送描述符0~发送描述符3的的位定义如下：

注意：若一个帧由多个描述符表示，则对于描述符的控制位(除了INTC位)只有第一个描述符的才有效。状态信息和时间戳(若使能了时间戳功能)只写回到最后一个描述符。

图 32-7. 常规发送描述符



- 发送描述符0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAV	INTC	LSG	FSG	DCRC	DPAD	TTSEN	保留	CM[1:0]		TERM	TCHM	保留		TTMSS	IPHE
rw	rw	rw	rw	rw	rw	rw		rw		rw	rw			rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ES	JT	FRMF	IPPE	LCA	NCA	LCO	ECO	VFRM	COCNT[3:0]				EXD	UFE	DB
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw

位/位域	名称	描述
31	DAV	DAV位 DMA会在将帧完整传输或者描述符指向的缓存里的数据全部被读出以后把该位清'0'。当一个帧位于多个缓存中时，第一个缓存描述符的DAV位，必须在后面缓存描述符的DAV位全部置'1'以后，才能置'1'。 0：表示CPU占有描述符 1：表示DMA占有描述符
30	INTC	完成时中断位 LSG位置位后，此位才有效。 0：帧发送完成时，ENET_DMA_STAT寄存器的TS位不被置位 1：帧发送完成时，ENET_DMA_STAT寄存器的TS位被置位
29	LSG	最后分块位 此位指示缓存是否包含帧的最后一个分块。 0：该描述符缓存中没有存放帧的最后一个分块 1：该描述符缓存中存放有帧的最后一个分块
28	FSG	第一分块位 此位指示缓存是否包含帧的第一个分块。 0：该描述符缓存中没有存放帧的第一个分块 1：该描述符缓存中存放有帧的第一个分块
27	DCRC	不计算CRC位 只有在FSG位置位时，此位才有效。 0：MAC 在传输帧末尾自动插入 CRC 域

		1：MAC不在传输帧末尾自动插入CRC域
26	DPAD	不填充位 只有在 FSG 位置位时，此位才有效。 0：DMA 对传输帧自动添加填充字节，并且插入 CRC 数值。发生填充时，CRC 会被插入，忽略 DCRC 位的值。 1：MAC 不对传输帧自动填充字节 **注意**：此处的传输帧小于64字节。
25	TTSEN	使能发送时间戳位 只有在 FSG 位置位时，此位才有效。 0：发送时间戳功能失能 1：当ENET_PTP_TSCTL寄存器的TMSEN位为'1'时，传输帧的IEEE1588硬件时间戳功能使能。
24	保留	必须保持复位值。
23:22	CM[1:0]	校验和插入模式位 0x0：不插入校验和 0x1：只使能硬件IP报头的校验和计算和插入 0x2：使能硬件IP报头和数据域的校验和计算和插入，但是不计算伪报头的校验和 0x3：使能硬件IP报头和数据域的校验和计算和插入，也计算伪报头的校验和
21	TERM	环形发送结束模式位 该位仅在环模式下使用，且比TCHM位具有更高优先级。 0：当前描述符还不是描述符队列的最后一个 1：当前描述符到达描述符队列的最后一个，DMA返回列表的基地址
20	TCHM	第二地址链表模式位 该位在链模式下使用。该位为'1'时，忽略TB2S[12:0]的值。 0：描述符里的第二个地址是第二缓存的地址 1：描述符里的第二个地址是下一个描述符的地址，而不是第二个缓存的地址
19:18	保留	必须保持复位值。
17	TTMSS	发送时间戳状态位 只有在LSG位置位时，此位才有效。 0：还未记录帧的时间戳信息 1：记录下了描述符对应的帧时间戳，记录的时间戳放在发送描述符2(或发送描述符6，假如DFM=1)和发送描述符3(或发送描述符7，假如DFM=1)处。
16	IPHE	IP报头错误位 发生下列任意一种情况，则产生IP报头错误： IPv4帧： 1)报头长度域值小于0x5。 2)报头长度域值与报头的长度不符。 3)报头版本域值与帧长度/类型域值不匹配。 IPv6帧：

		1)主报头长度不足40字节。 2)报头版本域值与帧长度/类型域值不匹配。 0：未发现IP数据包报头的错误 1：MAC发送端发现了IP数据包报头的错误
15	ES	错误汇总 该位为下列位的逻辑"或": IPHE：IP 报头错误 JT：Jabber 超时 FRMF：帧清空 IPPE：IP 数据错误 LCA：载波丢失 NCA：无载波 LCO：延迟冲突 ECO：过度冲突 EXD：过度顺延 UFE：数据下溢错误
14	JT	Jabber超时位 该位仅当JBD位复位时才会被置'1'。 0：未发生Jabber超时 1：MAC发送端发生了Jabber超时
13	FRMF	帧清空位 置1时，清空TxFIFO中的数据。
12	IPPE	IP数据错误位 发送端会核对IPv4或者IPv6报头的数据长度域值与实际收到的TCP、UDP和ICMP数据数目，不符合就置'1'报错。 0：未发生IP数据错误 1：MAC发送端发现了IP数据包的TCP、UDP或者ICMP的IP数据错误。
11	LCA	载波丢失位 在发送时，如果CRS信号在一个或一个以上发送时钟周期中为无效状态，并且没有发生冲突，则载波丢失将概率性发生。 该位只有在半双工模式下有效。 0：未发生载波丢失 1：帧发送的时候发生了载波丢失
10	NCA	无载波位 0：PHY的载波侦听信号有效 1：帧发送的时候PHY的载波侦听信号无效
9	LCO	延迟冲突位 如果冲突在64字节(包括前导符)发送之后发生，则这种情况称作延迟冲突。 0：未发生延迟冲突 1：发生了延迟冲突

注意：如果溢出错误位UFE置'1'，该位无效。

8	ECO	过度冲突位 如果MAC设置寄存器的RTD(不进行重试)位为'1'，那么在发生一次冲突后，该位就置'1'。 如果MAC设置寄存器的RTD(不进行重试)位为'0'，那么在连续发生16次冲突后，该位置'1'。 若该位置位，则中止当前帧的发送。 0：未发生过度冲突 1：发生了过度冲突
7	VFRM	VLAN帧位 0：发送帧为普通帧 1：发送的帧是VLAN帧
6:3	COCNT[3:0]	冲突计数位 只有在 ECO 位为 0 时，此位才有效。 该4位计数值记录了帧发送出去前出现的冲突次数。
2	EXD	过度顺延位 当MAC设置寄存器的顺延位DFC为'1'时有效。 0：未发生过度顺延 1：由于顺延超过3036字节的时间而结束发送
1	UFE	数据下溢错误位 数据下溢错误表示由于从系统存储传输数据到FIFO的速度过慢，导致DMA在发送帧的时候遇到了空的缓存。发送过程进入挂起状态，并将ENET_DMA_STAT寄存器的发送数据下溢位TU(位5)和发送状态位TS(位0)都置'1'。 0：未发生数据下溢错误 1：发生了数据下溢错误，MAC中止帧的发送。
0	DB	顺延位 该位指示了是否由于载波侦听信号CRS在MAC发送帧之前被占用，而导致发生帧的顺延。 该位只在半双工模式下有效。 0：未发生发送顺延 1：MAC发生了顺延，推迟发送。

- 发送描述符1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留			TB2S[12:0]												
			rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			TB1S[12:0]												
			rw												

位/位域	名称	描述
31:29	保留	必须保持复位值。
28:16	TB2S[12:0]	发送缓存 2 大小 第二个数据缓存的大小(以字节记)。
15:13	保留	必须保持复位值。
12:0	TB1S[12:0]	发送缓存 1 大小 第一个数据缓存的大小(以字节记)。

- 发送描述符2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TB1AP/TTSL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TB1AP/TTSL[15:0]															
rw															

位/位域	名称	描述
31:0	TB1AP/TTSL[31:0]	发送缓存1地址指针/发送帧时间戳低32位 在发送帧之前，应用程序必须对这些位进行配置发生缓存1地址(TB1AP)，等到数据发送完后，DMA可以用它们存放帧的时间戳低32位(若DFM=0)。但若DFM=1，这些位将不会被修改，保持为缓存地址。 当这些位的值表示缓存1的物理地址(TTSL)时，对缓存的地址对齐不做限制。 当这些位的值表示时间戳低32位(TB1AP)时，当前描述符的TTSEN位和LSG位必须置位。

- 发送描述符3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TB2AP/TTSH[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TB2AP/TTSH[15:0]															
rw															

位/位域	名称	描述
31:0	TB2AP/TTSH[31:0]	发送缓存 2 地址指针(下个描述符地址)/ 发送帧时间戳高 32 位 在发送帧之前，应用程序必须对这些位进行配置发生缓存 2 地址(TB2AP)，或者配置下一个描述符地址(由描述符类型是链型还是环型决定)。等到数据发送完后，DMA 可以用它们存放帧的时间戳高 32 位 TTSH(若 DFM=0，且 TTSEN=1)。但若 DFM=1 或 TTSEN=0，这些位将不会被修改。 当这些位的值表示缓存 2 的物理地址时(TCHM=0)，对缓存的地址对齐不做限制。 当这些位的值表示下个描述符地址时(TCHM=1)，这些位必须是字对齐的。

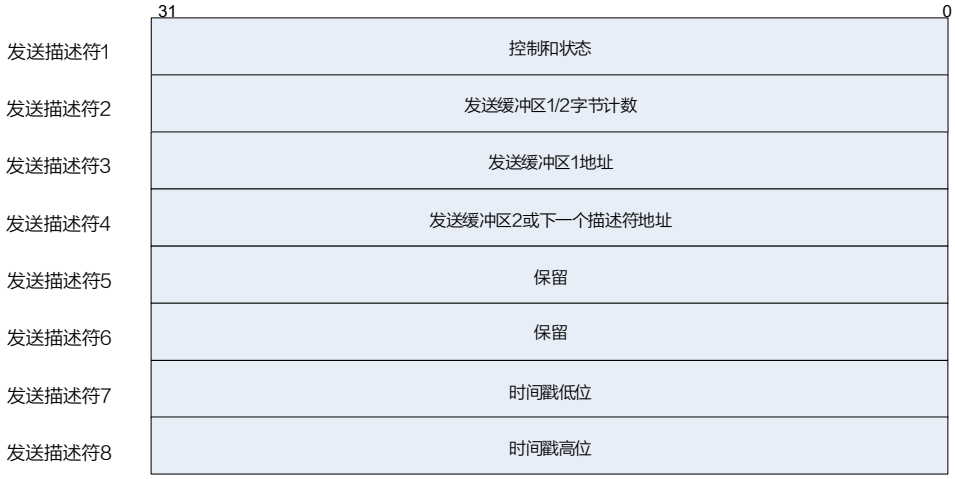
当这些位的值表示时间戳高32位时，当前描述符的TTSEN位和LSG位必须置位。

增强 TxDMA 描述符

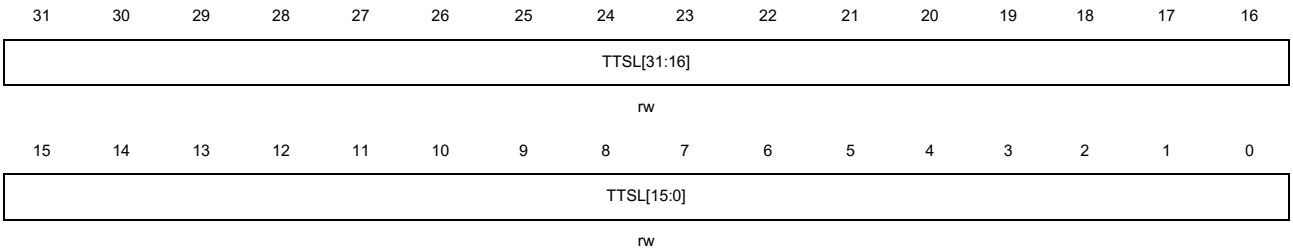
增强TxDMA描述符结构体包含8个32位字：发送描述符0~7。发送描述符0~3的位定义与常规TxDMA描述符相同，发送描述符4~7的位定义如下：

注意：若一个帧由多个描述符表示，则对于描述符的控制位(除了INTC位)只有第一个描述符的才有效。状态信息和时间戳(若使能了时间戳功能)只写回到最后一个描述符。

图 32-8. 增强发送描述符



- 发送描述符4
  所有位保留。
- 发送描述符5
  所有位保留。
- 发送描述符6



位/位域	名称	描述
31:0	TTSL[31:0]	发送时间戳低 32 位 当 TTSEN 位和 LSG 位都为 1 时，这些位用于记录当前发送帧的时间戳低 32 位值。

- 发送描述符7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TTSH[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH[15:0]															
rw															

位/位域	名称	描述
31:0	TTSH[31:0]	发送时间戳高 32 位 当 TTSEN 位和 LSG 位都为 1 时，这些位用于记录当前发送帧的时间戳高 32 位值。

DMA 接收帧处理

当接口上出现一个帧的时候，MAC开始接收帧。同时，地址过滤模块开始工作，如果这个帧没有通过地址过滤，则MAC RxFIFO将忽略该帧，不会将其通过RxDMA转发给接收缓存。如果这个帧通过了地址过滤，则其在不同的转发条件满足时会被转发给接收缓存。在直通模式下，这个转发条件是指接收的帧长大于等于设好的接收阈值。在存储转发模式下，这个转发条件是指FIFO里存入了完整的帧时。在接收帧的过程中，当发生以下任意一种情况时，将丢弃RxFIFO中的数据，并且不转发数据：

- RxFIFO中数据少于64字节；
- 在接收过程中发生了冲突；
- 提前终止接收帧。

当满足转发条件时，RxDMA控制器开始将数据从RxFIFO中传输到接收缓存中。若当前缓存中包含了帧起始，则在RxDMA控制器写回帧接收状态的时候会将接收描述符0中的FDES位置位，以表明这个描述符中存储的是帧的第一部分。若当前缓存中包含了帧结尾，则在RxDMA控制器写回帧接收状态的时候会将接收描述符0中的LDES位置位，以表明这个描述符中存储的是帧的最后一部分。通常当接收缓存大小大于接收帧的长度时，FDES位和LDES位会在同一个描述符中置位。当缓存接收到了帧结尾，或者当前描述符的缓存不足以存储整个帧时，RxDMA将获取下一个接收描述符，并将上一个描述符的接收描述符0的DAV位清零以关闭上个描述符。当LDES位置位时，描述符其他状态也会更新，并且ENET_DMA_STAT寄存器中的RS位将置位(当DINTC=0时立刻置位，当DINTC=1时延迟置位)。当接收到一个新的帧时，如果描述符的DAV位为'1'，则重复上述的RxDMA控制器操作。如果描述符的DAV位为'0'，则DMA控制器进入挂起状态，并设置ENET_DMA_STAT寄存器的RBU位为'1'。记录描述符列表地址指针当前值，并在退出挂起状态后作为描述符开始的地址。

DMA 接收管理

RxDMA控制器的工作流程如下：

1. DMA接收描述符初始化，置接收描述符0的DAV位为'1'；
2. 将ENET_DMA_CTL寄存器的SRE位置为'1'，使能RxDMA控制器。DMA进入运行状态后，会从ENET_DMA_RDTADDR寄存器配置的描述符列表基地址获取接收描述符。如果获取

的描述符DAV位为1，则当前描述符开始接收帧。但如果检测到取到的描述符正在被CPU操作而不可用(DAV=0)，则DMA进入挂起状态，跳到步骤9；

3. 如果获取的描述符显示描述符由DMA占有(DAV=1)，那么该描述符的控制位和缓存地址就会被DMA所记录；
4. 处理接收到的帧，并从RxFIFO将数据传输到接收缓存；
5. 如果缓存被填满或者帧传输结束，接收控制器会从描述符队列中获取下一个接收描述符；
6. 如果当前帧传输结束，DMA操作跳到步骤7。如果当前帧传输没有结束(未接收到帧尾EOF)，则可能发生两种情况：
   - 下一个描述符的DAV位为'0'。如果接收帧清空功能使能，则RxDMA控制器将接收描述符0的描述符错误位DERR位置位。然后RxDMA控制器将当前描述符的DAV位清零以关闭描述符，并根据帧清空功能是否使能来确定是否置位LSG位(若使能则置位LSG，反之则不置位LSG)。之后DMA操作跳到步骤8；
   - 下一个描述符的DAV位为'1'。那么RxDMA将DAV位清零以关闭当前描述符，之后操作退回步骤4；
7. 如果使能了IEEE 1588时间戳功能，在接收帧完成后DMA控制器会把获取的时间戳的低位和高位(如果接收帧符合需要记录时间戳的帧的条件)，分别写入当前描述符的接收描述符2和接收描述符3(当DFM=0时)，或者写入当前描述符的接收描述符6和接收描述符7(当DFM=1时)。同时DMA把从MAC处返回的接收状态信息写入接收描述符0，并把DAV位清'0'，把LSG位置'1'；
8. 如果新获取的描述符DAV位为'1'，则RxDMA控制器操作跳动步骤4。如果DAV位为'0'，则RxDMA控制器进入挂起状态，并设ENET_DMA_STAT寄存器的RBU位为1。如果使能了接收帧清空功能，则在DMA进入挂起状态之前，控制器会清空接收帧；
9. 在挂起状态下，有两种方法退出该状态。一种方法是向接送查询使能寄存器ENET_DMA_RPEN中写入任意值。另一种方法是RxFIFO收到下一帧数据，这意味着在直通模式下时，帧数据字节数需要大于设置的阈值，或者在存储转发模式下，需要收到整个帧。当DMA退出暂停状态后，DMA会获取下一个描述符，并跳到步骤2。

获取接收描述符

只要满足下列条件任意一个或多个，DMA就会尝试获取接收描述符：

- 在寄存器ENET_DMA_CTL的接收开始/停止位SRE从'0'变为'1'，使DMA控制器进入运行状态的时候；
- 当前描述符的整个缓存大小(对于链结构为缓存1，对于环结构为缓存1和2)不足以接收整个帧，也就是说在接收到帧的结尾之前，当前描述符的缓存已满；
- 在一个完整的帧传送到接收缓存之后，并在当前描述符关闭之前；
- 在挂起状态时，MAC接收到新的帧；
- 向接送查询使能寄存器ENET_DMA_RPEN写入任意值。

挂起状态时接收到新的帧时的处理

在挂起状态时，当接收到一个新的帧，并且满足转发条件时(转发条件如上所述)，RxDMA将获取帧的描述符。如果接收描述符0的DAV位为'1'，则RxDMA控制器退出挂起状态，返回运行状

态开始接收帧。但当接收描述符0的DAV位为'0'，则应用程序可以通过配置ENET_DMA_CTL寄存器中DAFRF位来选择是否清空RxFIFO中的帧。如果DAFRF=0，则RxDMA控制器将丢弃FIFO所接收的帧数据，并将丢失帧计数器MSFC加1。若DAFRF=1，则可以阻止丢弃RxFIFO顶部的帧，除非RxFIFO满，丢失帧计数器MSFC的值不会增加。在DAV位为'0'时，ENET_DMA_STAT寄存器中的RBU位将被置位，RxDMA控制器仍处于挂起状态。

带 IEEE1588 时间戳的 RxDMA 描述符格式

如果使能了IEEE 1588功能，则MAC控制器会在带时间戳的帧接收完成之后，DMA关闭描述符之前(DAV位清'0')，将时间戳写入接收描述符2和接收描述符3(DFM=0)，或接收描述符6和接收描述符7(DFM=1)。

常规 RxDMA 描述符

常规RxDMA描述符结构体包含4个32位字，接收描述符0~接收描述符3。接收描述符0~接收描述符3的位定义如下：

图 32-9. 常规接收描述符



- 接收描述符0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAV	DAFF	FRML[13:0]													
rw	rw	rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERRS	DERR	SAFF	LERR	OERR	VTAG	FDES	LDES	IPHERR/ TSV	LCO	FRMT	RWDT	RERR	DBERR	CERR	PCERR/ EXSV
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31	DAV	描述符转发条件位 该位指示了DMA控制器是否可以占有该描述符。DMA会在帧完整接收或者描述符指向的缓存被填满以后把该位清'0'。 0：表示CPU占有描述符 1：表示DMA占有描述符

30	DAFF	未通过目标地址过滤器位 0：接收帧通过目标地址过滤器 1：接收帧没有通过目标地址过滤器
29:16	FRML	帧长位 这些位表示了传送到输入缓存的接受帧字节长度(如果输入帧不是类型帧则包括CRC部分，如果输入帧是类型帧，则是否包括CRC部分由ENET_MAC_CFG寄存器的TFCD位决定)。只有LDES位为1且DERR位为0时，此位才有效。若LDES位和错误汇总位ERRS位都为'0'，则这些位表示当前接收帧已经传送到内存里的累计字节数。 **注意：**帧长度值为0意味着由于某种原因(例如FIFO溢出或在接收过程中动态地修改了过滤器的值，导致未通过过滤器的情况等)造成写入FIFO的帧不完整。
15	ERRS	错误汇总位 该位只在LDES位为'1'时有效。 当DFM = 0时，该位为下列位的逻辑"或"： DERR：描述符错误 OERR：溢出错误 LCO：延迟冲突 RWDT：看门狗超时 RERR：接收错误 CERR：CRC错误 IPHERR = 0, FRMT = 1且PCERR = 1：数据校验和错误 IPHERR = 1, FRMT = 1且PCERR = 0：报头校验和错误 IPHERR = 1, FRMT = 1且PCERR = 1：报头及数据校验和错误 当DFM = 1时，该位为下列位的逻辑"或"： IPPLDERR：IP帧数据错误 IPHERR：IP帧报头错误 DERR：描述符错误 OERR：溢出错误 LCO：延迟冲突 RWDT：看门狗超时 RERR：接收错误 CERR：CRC错误
14	DERR	描述符错误位 只有在LDES位置位时，此位才有效。 当当前描述符的缓存大小小于接收帧帧长同时DMA又无法占有下一个描述符，将发生描述符错误。 0：未发生描述符错误 1：发生了描述符错误
13	SAFF	未通过源地址过滤器位 0：未发生未通过源地址过滤器事件 1：帧没有通过源地址过滤器
12	LERR	长度错误位

只有在 FRMT 位为'0'时，此位才有效。
该位指示了接收到的以太网帧头长度/类型域的值是否与接收帧的实际长度匹配。
0：未发生长度错误
1：发生了长度错误

11 OERR
溢出错误位
当RxFIFO发生了溢出，而接收帧已有部分被传送到输入缓存时，溢出错误位置位。
0：未发生溢出错误
1：发生了RxFIFO溢出，帧数据无效

10 VTAG
VLAN标签位
0：接收帧非VLAN帧
1：当前的接收帧为VLAN帧

9 FDES
第一个描述符
该位表示当前描述符是否存放了接受帧的第一部分。
0：当前描述符未存放帧的第一部分
1：当前描述符存放了帧的第一部分

8 LDES
最后一个描述符
该位表示当前描述符是否存放了接受帧最后一部分。
0：当前描述符未存放帧的最后一部分
1：当前描述符存放了帧的最后一部分

7 IPHERR/TSV
IP帧报头错误/时间戳有效位
当DFM=0时，则将位7结合位5和位0，查询错误状态表，判断发生了什么错误。
当DFM=1时，则表示已获取时间戳并将时间戳值写到了接收描述符6和接收描述符中，该位仅在LDES位置位时有效。

6 LCO
延迟冲突位
延迟冲突表示在接收到64字节数据后是否发生了冲突。
该位仅在半双工模式下有效 。
0：未发生延迟冲突
1：接收帧的过程发生了延迟冲突

5 FRMT
帧类型
当DFM=0时，则将位7结合位5和位0，查询错误状态表，判断发生了什么错误。
当DFM=1时，则表示接受帧为以太网类型帧或标签帧。
当接收帧为过短帧时，该位无效。
0：接收到的帧是IEEE802.3帧
1：接收到的帧是以太网类型的帧(以太网帧头长度/类型域的值大于等于0x0600，或是一个标签帧)。

4 RWDT
接收看门狗超时
当WDD=0，该位表示已接收到超过2048字节的帧数据。
当WDD=1，该位表示已接收到超过16384字节的帧数据。
0：未发生接收看门狗超时
1：在接收帧的过程中发生了看门狗超时，当前接收帧将被截断。

3	RERR	接收错误 该位表示帧接收过程中，在RX_DV信号有效时是否收到有效接口信号RX_ER。 0：未发生接收错误 1：发生了接收错误
2	DBERR	Dribble位错误 该位表示接收到的数据帧中存在半字节，只有 MII 模式时该位有效。 0：未发生Dribble位错误 1：发生了Dribble位错误
1	CERR	CRC错误 该位表示接受帧的帧校验序列是否与硬件计算结果不匹配，只有在 LDES 位为'1'时该位有效。 0：未发生CRC错误 1：检测到接收帧发生了CRC错误
0	PCERR/EXSV	数据校验和错误/扩展状态有效位 当DFM=0时，则将位7结合位5和位0，查询错误状态表，判断发生了什么错误。 当DFM=1时，该位表示接收描述符4有效。 该位仅在LDES位置位时有效。 0：接收描述符4无效 1：接收描述符4有效

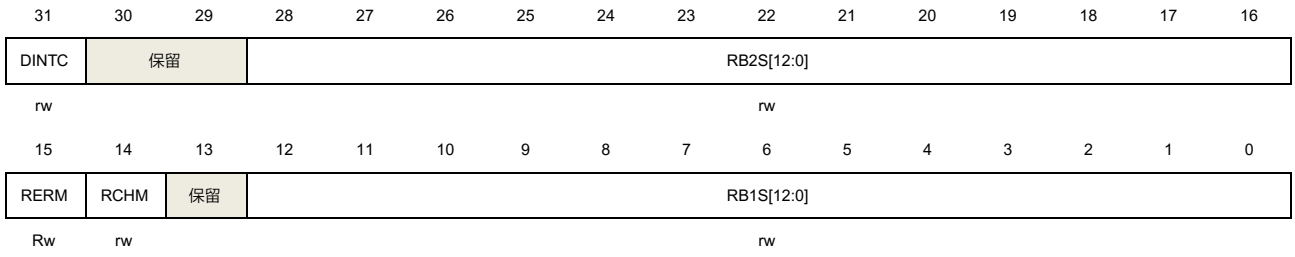
*表27-6. 接收描述符0错误状态描述，仅适用于常规描述符(DFM=0)*显示了接收描述符0中位IPHERR、FRMT、PCERR取值的含义：

表 32-7. 接收描述符 0 错误状态描述，仅适用于常规描述符(DFM = 0)

位7: IPHERR	位5: FRMT	位0: PCERR	帧状态
0	0	0	IEEE802.3类型帧(长度域值小于0x0600或非标签帧)
0	0	1	IPv4/IPv6类型帧，未检测到IP报头校验和错误；由于不支持的数据格式，未执行数据校验和检测
0	1	0	IPv4/IPv6类型帧，未检测到校验和错误
0	1	1	IPv4/IPv6类型帧，检测到数据校验和错误。 该错误可能原因： 1)计算的校验和值与接收帧中的校验和域值不匹配 2)接收帧长度域值与实际接收帧字节数不符
1	0	0	保留
1	0	1	类型帧(长度/类型域值大于等于0x600)或标签帧，但非IPv4/IPv6帧，不检测数据校验和
1	1	0	IPv4/IPv6类型帧，检测到报头校验和错误。 该错误可能原因： 1) 类型域值与数据包中的版本值不一致 2) 计算的报头校验和值与报头校验和域值不匹配 3)IP报头字节数不足

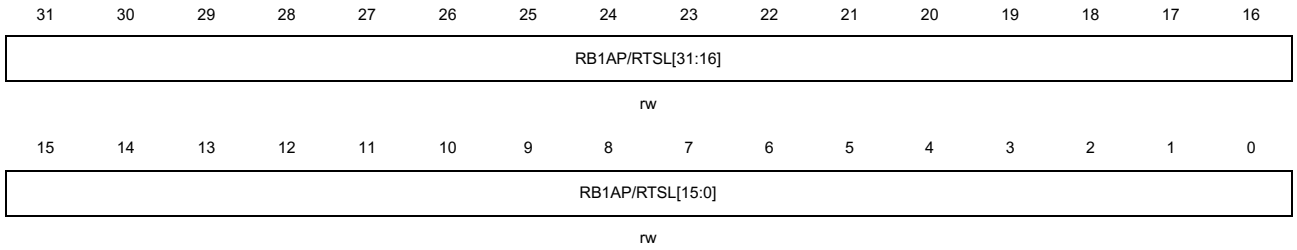
1	1	1	IPv4/IPv6类型帧，检测到IP报头校验和错误和数据校验和错误

■ 接收描述符1



位/位域	名称	描述
31	DINTC	关闭接收完成中断 0：接收完成后ENET_DMA_STAT寄存器的RS位(位6)会立即置1，此时若使能了相应中断则会触发中断。 1：在接收帧成功接收完成后，ENET_DMA_STAT寄存器的RS位(位6)不会立即置1，但会在可配置的延时(由ENET_DMA_RSWDC寄存器配置)之后置位。
30:29	保留	必须保持复位值。
28:16	RB2S[12:0]	接收缓存2大小 表示接收缓存2的大小(以字节为单位)。缓存大小必须被设为4的倍数。这些位在RCHM位为'1'时被忽略。
15	RERM	接收描述符环形结构结尾 该位表示到达的是描述符列表中的最后一个描述符，下个描述符自动返回列表的基地址。 0：当前描述符不是最后一个描述符 1：到达描述符列表的最后一个描述符
14	RCHM	第二地址链表 0：描述符里的第二个地址指向第二缓存的地址 1：描述符里的第二个地址是下一个描述符的地址，该位仅在在链模式下使用。忽略RB2S [12:0]的值。 **注意：**当RERM=1，则即使该位置位，下个描述符也将返回列表基地址。
13	保留	必须保持复位值。
12:0	RB1S[12:0]	接收缓存1大小 表示接收缓存1的大小(以字节为单位)。

■ 接收描述符2



位/位域	名称	描述
31:0	RBAP1/RTSL[31:0]	接收缓存1地址指针/发送帧时间戳低32位

这些位有2个功能：缓冲区1的地址指针(RB1AP)和时间戳低32位(RTSL)。
RB1AP：在DMA控制器获取该描述符之前，配置该位为缓存区1的地址。如果位RB1S不为'0'，则用该位的地址来存储接收的数据帧。对缓存的地址对齐不做限制。
RTSL：当使能了时间戳功能同时LDES位为'1'时，如果接收帧通过了地址过滤，并且置位了对应的帧类型使能位，则DMA会将时间戳低32位写入这些位。如果接收帧没有置位对应的帧类型使能位，则这些位会保持RB1AP的值。

- 接收描述符3

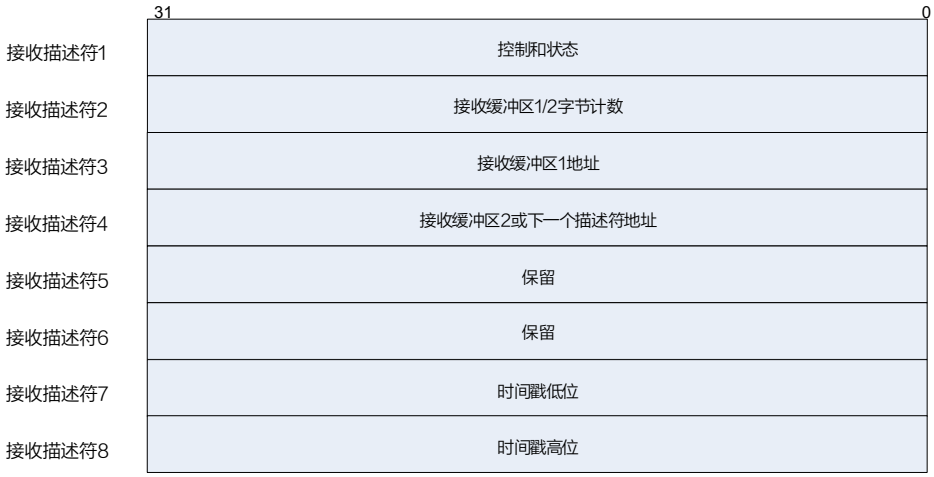
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RB2AP/RTSH[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RB2AP/RTSH[15:0]															
rw															

位/位域	名称	描述
31:0	RB2AP/RTSH[31:0]	接收缓存2地址指针(或者下一个描述符地址指针)/接收帧时间戳高32位 这些位有2个功能：数据接收时这些位存放缓冲区2的地址或下个描述符的地址(RB2AP)，或帧时间戳高32位(RTSH)。 RB2AP：在DMA控制器获取该描述符之前，配置该位为缓存区2的地址(RCHM=0)或下个描述符地址(RCHM=1)。如果RCHM=1，且RERM=1，则忽略这些位。 如果该地址表示下个描述符地址，则地址需为字对齐的，没有其他的限制条件。 RTSH：当使能了时间戳功能同时帧的最后部分LDES位为'1'时，如果接收帧通过了地址过滤，并且置位了对应的帧类型使能位，则DMA会将时间戳高32位写入这些位。如果接收帧没有置位对应的帧类型使能位，则这些位会保持RB2AP的值。

增强 RxDMA 描述符

增强RxDMA描述符结构体包含8个32位字：接收描述符0~接收描述符7。接收描述符0~接收描述符3的位定义与常规RxDMA描述符相同，接收描述符4~接收描述符7的位定义如下：

图 32-10. 增强接收描述符



- 接收描述符4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		PTPVF	PTPOEF	PTPMT[3:0]				IPF6	IPF4	IPCKSB	IPPLDERR	IPHERR	IPPLDT[2:0]		
		rw	rw	rw				Rw	rw	rw	rw	rw	rw		

位/位域	名称	描述
31:14	保留	必须保持复位值。
13	PTPVF	PTP 版本格式位 0：版本1格式 1：版本2格式
12	PTPOEF	以太网PTP帧 0：当PTPMT不为0时，接收的PTP帧是IP-UDP帧。 1：接收的PTP帧是IEEE802.3以太网帧
11:8	PTPMT[3:0]	PTP消息类型 PTP消息类型解码为以下几种： 0x0：未收到PTP消息 0x1：SYNC 0x2：FOLLOW_UP 0x3：DELAY_REQ 0x4：DELAY_RESP 0x5：对于点对点透明时钟：PDELAY_REQ 对于普通时钟或边界时钟：ANNOUNCE 0x6：对于点对点透明时钟：PDELAY_RESP 对于普通时钟或边界时钟：MANAGEMENT 0x7：对于点对点透明时钟：PDELAY_RESP_FOLLOW_UP

对于普通时钟或边界时钟：SIGNALING

7	IPF6	IPv6帧位 0：接收帧不是IPv6帧 1：接收帧是IPv6帧
6	IPF4	IPv4帧位 0：接收帧不是IPv4帧 1：接收帧是IPv4帧
5	IPCKSB	绕过IP帧校验和 该位仅在接收帧为IPv6或IPv4帧时有效。 0：没有绕过接收帧校验和功能 1：绕过了接收帧校验和功能
4	IPPLDERR	IP帧数据错误位 在以下任意情形中，该位会被置位：1)硬件计算的校验和域TCP，UDP或ICMP帧校验和域值不匹配 2)IP报头数据长度域值与接收到的帧数据长度不符。 0：在接收帧中没有发生帧数据错误 1：在接收帧中发生了帧数据错误
3	IPHERR	IP报头错误 在以下任意情形中，该位会被置位：1)硬件计算的校验和值与IP报头校验和域值不匹配 2)以太网帧类型域值与IP数据包中版本域值不一致(例如类型域值为0x800，但版本域值不为0x4；类型域值为0x86dd，但版本域值不为0x6)。 0：没有发生IP报头错误 1：发生了IP报头错误
2:0	IPPLDT[2:0]	IP帧数据类型位 仅在IPFCO=1，IPHERR=0且LDES=1时，这些位有效。 0x0：不支持的数据类型或忽略的IP数据类型 0x1：数据类型为UDP 0x2：数据类型为TCP 0x3：数据类型为ICMP 0x4~0x7：保留

- 接收描述符5
  所有位保留。
- 接收描述符6

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTSL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSL[15:0]															
rw															

位/位域	名称	描述
31:0	RTSL[31:0]	接收时间戳低 32 位 当使能了时间戳功能同时帧的最后部分 LDES 位为'1'时，如果接收帧通过了地址过滤，并且置位了对应的帧类型使能位，则 DMA 会将时间戳低 32 位写入这些位。

- 接收描述符7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTSH[31:16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSH[15:0]															
rw															

位/位域	名称	描述
31:0	RTSH[31:0]	接收时间戳高 32 位 当使能了时间戳功能同时帧的最后部分 LDES 位为'1'时，如果接收帧通过了地址过滤，并且置位了对应的帧类型使能位，则 DMA 会将时间戳高 32 位写入这些位。

32.3.4. MAC 统计计数器：MSC

为了了解发送和接收帧的统计情况，利用一组计数器来收集相关的统计数据。这些MAC计数器被称为MAC统计计数器(MSC)。在章节"*ENET寄存器*"中有这些寄存器的详细功能说明。

当发送帧没有出现帧下溢、没有载波、载波丢失、顺延(Deferral)过多、延迟冲突，过度冲突和jabber超时等情况时，可以称为"好帧"，MSC发送计数器会自动更新。

- 当接收帧没有出现对齐错误、CRC错误、过短帧、长度错误、超出范围和MII_RX_ER引脚上的错误信号有效等情况时，可以称为"好帧"，MSC接收计数器会自动更新。其中，CRC错误是指CRC计算结果与帧校验序列值不一致，过短帧表示帧长少于64字节，长度错误表示长度域值与实际接收到的字节数不符，超出范围表示长度域值超过IEEE 802.3所规定的最大值，即对于非标签帧最大值为1518字节，对于VLAN标签帧最大值为1522字节。

注意：当被丢弃的帧是长度小于6字节的过短帧(没有完整接收到目标地址)时，MSC接收计数器也会更新。

32.3.5. 唤醒管理：WUM

以太网模块支持两种将系统从深度睡眠模式唤醒的方法。分别为远程唤醒帧和Magic Packet唤醒帧。为了减小功耗，可以使主机系统和以太网模块进入低功耗状态，从而可以停止由HCLK驱动的电路以及发送时钟。但由接收时钟驱动的电路将继续工作，以监听唤醒帧。如果将ENET_MAC_WUM寄存器的PWD位置1，则以太网模块进入低功耗状态。在低功耗状态下，MAC会丢弃所有的帧，直到退出低功耗状态。此时可以采用上述的两种方式能够退出低功耗状态。将ENET_MAC_WUM寄存器的WFEN置1，以设置当收到远程唤醒帧时唤醒以太网模块，

或将ENET_MAC_WUM寄存器的MPEN置1，以设置当收到Magic Packet唤醒帧时唤醒以太网模块。当任一个唤醒功能被使能，一旦MAC接收到相应的唤醒帧，以太网模块将产生一个唤醒中断，并退出低功耗状态。

远程唤醒帧检测

将ENET_MAC_WUM寄存器的WFEN置1可以使能远程唤醒检测。当MAC处于低功耗状态，且远程唤醒使能位为'1'时，MAC会进行唤醒帧过滤。如果输入帧通过了过滤器命令的地址过滤，而且过滤器CRC-16与被检查的输入帧匹配，则认为接收到唤醒帧，随后MAC即恢复正常工作。即便唤醒帧的长度超过了512字节，只要该帧有正确的CRC值，它仍然被认为是有效的。在接收到远程唤醒帧时还会将ENET_MAC_WUM寄存器的WUFR位置1。如果远程唤醒中断没有被屏蔽，那么此时还将产生一个WUM中断。

Magic Packet 检测

另一种唤醒方法是检测Magic Packet唤醒帧(见AMD公司的"Magic Packet技术")。一个Magic Packet帧是一种特殊构成的数据包，专门用于唤醒。这种包可以被以太网模块接收、分析和识别，并用于触发一个唤醒事件。设置ENET_MAC_WUM寄存器的MPEN位为'1'可以使能此功能。这种类型的帧格式如下：目的和源地址域之后的任何位置连续6字节全1(0xFFFF FFFF FFFF)，接着是在没有任何中断和暂停的情况下有16个重复的MAC地址；如果这16次重复间有任何的间断，则需要重新在输入帧里检测0xFFFF FFFF FFFF。WUM模块会持续监视每一个发向本节点的帧，那些通过地址过滤的Magic Packet帧，MAC会进一步检测其是否符合Magic Packet的格式，一旦通过检测将会使MAC从低功耗状态下唤醒。设备也接受多播帧作为Magic Packet帧。

下面是一个站地址为0xAABB CCDD EEFF的Magic Packet帧实例(MISC表示包内各种附加的数据字节)：

<DESTINATION><SOURCE><MISC>

……FF FF FF FF FF FF

AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF

AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF

AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF

AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF

<MISC><FCS>

一旦检测到Magic Packet帧，ENET_MAC_WUM寄存器的位MPKR会被置1。如果使能了Magic Packet中断，此时还将产生对应中断。

系统在低功耗期间注意事项

在MCU处于深度睡眠模式时，若使能外部中断线19，则以太网的WUM模块仍能够检测帧。 由

于MAC在低功耗状态也需要进行Magic Packet / 远程唤醒帧检测，因此ENET_MAC_CFG寄存器的REN位必须保持为'1'。在低功耗状态时需要把ENET_MAC_CFG寄存器的TEN位清'0'来关闭发送功能。此外，由于不需要把Magic Packet / 远程唤醒帧转发给应用，因此在低功耗状态时也要关闭以太网DMA模块，可以通过设置ENET_DMA_CTL寄存器的STE位和SRE位(分别对应TxDMA和RxDMA)为'0'来关闭以太网DMA。

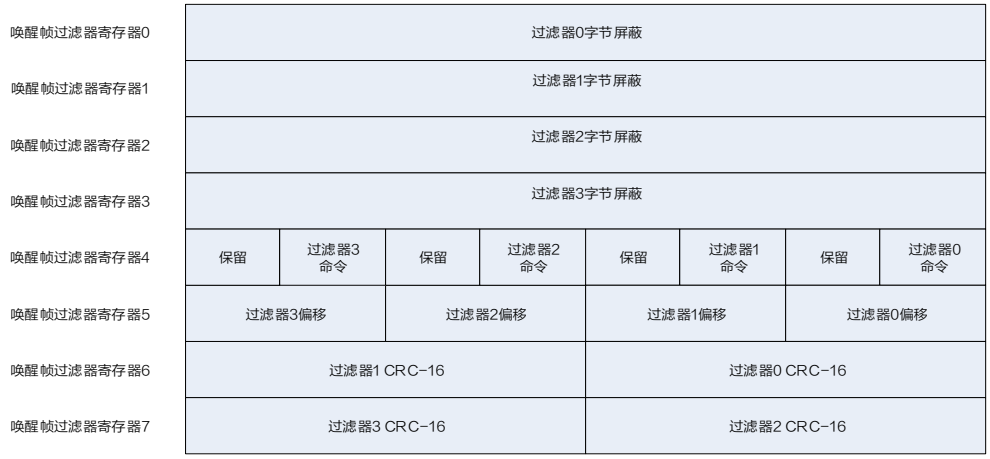
推荐的进入低功耗状态和唤醒步骤如下：

1. 等待当前帧发送完毕，然后将ENET_DMA_CTL寄存器的STE位复位来关闭TxDMA；
2. 把ENET_MAC_CFG寄存器的TEN位和REN位清'0'，来关闭MAC发射器和MAC接收器；
3. 观察ENET_DMA_STAT寄存器位RS，等待RxDMA把RxFIFO里的所有帧读出，再关闭RxDMA；
4. 配置并使能外部中断线19，使其能产生事件或者中断。如果配置了外部中断线19产生中断，则还需要编写中断处理程序ENET_WKUP_IRQ，在其中清除外部中断线19的中断标志位；
5. 设置ENET_MAC_WUM寄存器的MPEN或WFEN位(或两位)为'1'，使能Magic Packet / 远程唤醒帧检测(或两种功能)；
6. 设置ENET_MAC_WUM寄存器的PWD位为'1'，使能低功耗模式；
7. 设置ENET_MAC_CFG寄存器的REN位为'1'，打开MAC接收器；
8. 设置使MCU进入深度睡眠模式；
9. 在接收到有效的唤醒帧后，以太网模块退出低功耗状态；
10. 读取ENET_MAC_WUM寄存器来清除电源管理事件标志位，打开MAC发送器，以及TxDMA和RxDMA；
11. 设置系统时钟：使能HXTAL并配置RCU时钟参数。

远程唤醒帧过滤器寄存器

唤醒帧过滤器寄存器一共有8个，但这些寄存器共用一个相同的偏移地址。在完成对某个过滤器寄存器的读或写的时候，内部的指针会自动指到下一个过滤器寄存器。不论是读还是写操作，强烈建议连续8次的操作。也就是说，对其设置时需要将设置的值分为8次逐一写入唤醒帧过滤器寄存器地址，读取的时候也是需要连续读8次唤醒帧过滤器寄存器，才能将所有值读出。

图 32-11. 唤醒帧过滤器寄存器



- 过滤器n字节屏蔽

该寄存器定义了过滤器n(n=0，1，2，3)使用帧的哪些字节来检查判断是否为唤醒帧。其第31位必须为'0',位[30:0]是字节屏蔽位。如果过滤器n(n=0，1，2，3)的第m位(m=0~30)为'1'，则唤醒帧检测的CRC模块会处理输入帧的第[过滤器n偏移+m]字节，否则忽略之。

- 过滤器n命令

共4位控制过滤器n的工作模式。最高位位3为地址类型选择，如果该位为'1'，则只检测多播帧；如果该位为'0'，则只检测单播帧。位2和位1必须保持为0。位0是过滤器n的使能位，置位时使能过滤器n，反之禁能过滤器n。

- 过滤器n偏移

与过滤器n字节屏蔽配合使用。该寄存器定义了过滤器n要检查的首字节在帧内的偏移量。最小允许取值是12，代表了帧的第13个字节(偏移值为0表示帧的第1个字节)。

- 过滤器n CRC-16

该寄存器包含了预先写入的CRC-16码，用于与帧数据计算的CRC-16值进行比较。

32.3.6. 精确时间协议：PTP

协议的大部分是通过UDP层之上的应用程序软件实现的。MAC的PTP模块主要是支持记录PTP包从以太网端口发出和收到的准确时间，并将其返回给应用程序。

关于精确时间协议(PTP)的具体内容可参见IEEE 1588™相关文档。

基准时钟源

IEEE 1588协议规定，通过一个64位寄存器来获得系统基准时间，其中高32位提供秒级的时间信息，低32位提供亚秒级的时间信息。

PTP基准时钟输入用来生成系统基准时间(也称为系统时间)，以及获取PTP帧的时间戳值。其频率必须大于或等于时间戳计数器的分辨率。主节点和从节点之间的时间同步精度在0.1us左

右。

同步精度

时间同步的精度取决于以下几个因素：

- PTP基准时钟输入的频率；
- 所用晶体振荡器的特性(频漂)；
- 同步流程的执行频度。

系统时间校准

64位PTP系统时间由PTP输入基准时钟来更新。这个PTP系统时间用来作为记录发送/接收时间戳的依据。该系统时间的初始化和校准支持两种模式：粗调和精调。校准的目的是纠正频率偏移。

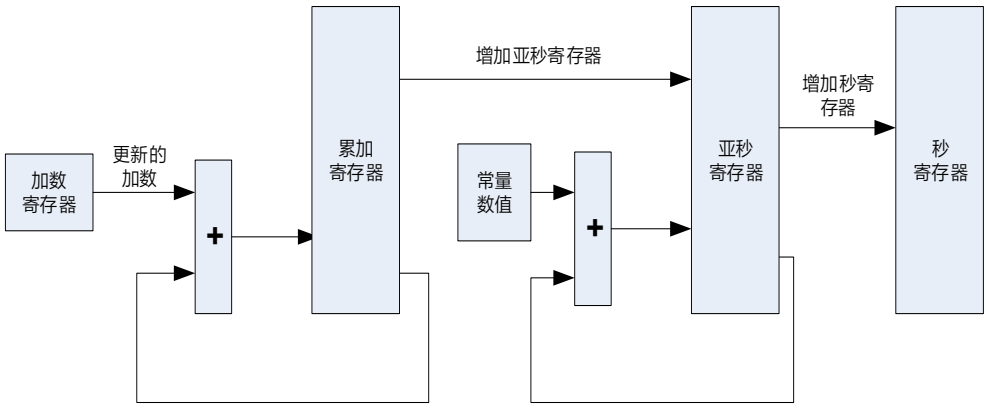
若选择了粗调的方式，则可通过配置PTP时间戳更新寄存器(ENET_PTP_TSUH和ENET_PTP_TSUL)，来进行系统时间初始化和校准。如果TMSSTI位被置位，则PTP时间戳更新寄存器被用于初始化。如果TMSSTU位被置位，则PTP时间戳更新寄存器被用于系统时间的调整，加上或者减去这个寄存器值进行校准。

若选择了精调的方式，则需要一段时间才能完成。由应用程序确定精调的频率，以确保从时钟能线性地同步于主时钟，避免不可预知的大的抖动。

这种方法是指，在每个HCLK周期把加数寄存器ENET_PTP_TSADDEND中的值加入累加器。当累加器溢出时会产生脉冲令时间戳低寄存器ENET_PTP_TSL的值增加。增加的值由亚秒递增寄存器ENET_PTP_SSINC中的值决定。

*图27-7. 系统时钟精细校准方法*演示了精调算法的流程：

图 32-12. 系统时钟精细校准方法



下面是一个具体例子用于说明精调方式如何更新系统时间：

假设系统时钟更新电路的精度需要达到25ns，即更新的频率为40MHz。假设基准时钟HCLK是72MHz，计算频率比得72 / 40 = 1.8。写入ENET_PTP_TSADDEND寄存器的值应当是2^{32} / 1.8，等于0x8E38 E38E。如果基准时钟频率漂低，假设降至68MHz，此时频率比变成68/40 = 1.7，

写入ENET_PTP_TSADDEND寄存器的值应当是2^{32} / 1.7 = 0x9696 9697。如果基准时钟漂高，假设升到76MHz，写入到ENET_PTP_TSADDEND寄存器的值应当是2^{32} / 1.9 = 0x86BC A1AF。。初始时，将加数寄存器设为从时钟频率Clock Addend Value(0)，该值按上述进行计算。除了配置加数计数器之外，还需对亚秒递增寄存器进行设置才能保证达到20ns的精度。每次累加寄存器溢出后，该寄存器的值会对时间戳低寄存器进行更新。因为ENET_PTP_TSL寄存器中的STMSS[30:0]位表示系统时间的亚秒值，其精度为10^9ns / 2^{31} = 0.46ns。所以为了使系统时间精度达到25ns，亚秒递增寄存器的值应该设为25 / 0.46 = 0d54。

注意：下文描述的算法是以主从设备之间传输的时延Master-to-Slave-Delay恒定为基础的，通过该算法在若干个Sync周期内确定同步频率比。

算法如下：

- 定义主设备发送一个SYNC消息到从设备时的时间：MSYNCT(n)
  定义从设备的本地时间：SLOCALT(n)
  定义主设备的本地时间：MLOCALT(n)
  计算：MLOCALT(n)= MSYNCT(n)+ Master-to-Slave-Delay(n)
- 定义发送两次SYNC消息之间的主设备时钟计数：MCLOCKC(n)
  计算：MCLOCKC(n)= MLOCALT(n)- MLOCALT(n-1)
  定义接收两次SYNC消息之间的从设备时钟计数：SCLOCKC(n)
  计算：SCLOCKC(n)= SLOCALT(n)- SLOCALT(n-1)
- 定义两个计算之间的差值：DIFFCC(n)
  计算：DIFFCC(n)= MCLOCKC(n)- SCLOCKC(n)
- 定义从时钟频率调整系数：SCFAF(n)
  计算：SCFAF(n)=(MCLOCKC(n)+ DIFFCC(n))/ SCLOCKC(n)
- 定义加数寄存器的时钟加数值：Clock Addend Value(n)
  Clock Addend Value(n)= SCFAF(n)* Clock Addend Value(n-1)

注意：实际操作中，可能需要多个SYNC消息来完成主从设备的同步。

系统时间初始化流程

设置ENET_PTP_TSCTL寄存器的位TMSEN为'1'，可以使能时间戳功能。不过在把该位置'1'以后，必须首先初始化时间戳计数器来开始时间戳操作。初始化步骤如下：

1. 置位ENET_MAC_INTMSK寄存器的TMSTIM位，以屏蔽时间戳触发中断；
2. 置位ENET_PTP_TSCTL寄存器TMSEN位，以使能时间戳；
3. 根据期望时钟精度配置亚秒递增寄存器；
4. 若希望采用精调校准方式，则配置时间戳加数寄存器，并置位ENET_PTP_TSCTL寄存器的TMSARU位。若希望采用粗调校准方式，则忽略第4-6步，直接跳至第7步；
5. 轮询ENET_PTP_TSCTL寄存器的位TMSARU，直到其变为'0'；
6. 将ENET_PTP_TSCTL寄存器的TMSFCU位置位，来选择使用精调校准方式；
7. 把希望设置的系统时间值写入时间戳更新高寄存器和时间戳更新低寄存器；
8. 置位ENET_PTP_TSCTL寄存器的TMSSTI位，以初始化时间戳；
9. 一旦初始化成功后，时间戳计数器就开始工作。

系统时间更新步骤

粗调方式

1. 在时间戳更新高寄存器和时间戳更新低寄存器中写入偏移值(可以是负值);
2. 置位ENET_PTP_TSCTL寄存器的TMSSTU位，以更新时间戳寄存器;
3. 轮询TMSSTU位，直到其被清'0'后完成。

精调方式

1. 利用前述"*系统时间校准方法*"介绍的算法，计算出期望的系统时钟频率所对应的加数寄存器的值;
2. 将值写入加数计数器，并设置ENET_PTP_TSCTL寄存器的TMSARU位为'1'将该值更新到PTP模块;
3. 把要求的期望时间写入期望时间高和期望时间低寄存器，并设置ENET_MAC_INTMSK寄存器的TMSTIM位为'0'来允许时间戳中断;
4. 设置ENET_PTP_TSCTL寄存器的TMSITEN位为'1'使能时间戳中断;
5. 在这个事件产生中断时，读出ENET_MAC_INTF寄存器的值以清除相应的中断标志位;
6. 重新用旧值编写时间戳加数寄存器，并设置ENET_PTP_TSCTL寄存器的TMSARU位为'1'将值更新到PTP模块。

带 PTP 功能的帧的发送与接收

在使能了IEEE 1588(PTP)时间戳功能后，在发送帧的帧首界定码从MAC输出或者MAC接收到帧的帧首界定码的时候，时间戳值被记录。每一个等待发送的帧在DMA发送描述符中都有一个标志，指示是否需要记录这个帧的时间戳，这与发送的帧是否为PTP帧无关。若ENET_PTP_TSCTL寄存器的位ARFSEN为'1'，则所有接收到的帧的时间戳都将被记录。如果ARFSEN位为'0'，则通过地址过滤的接收帧需要与ENET_PTP_TSCTL寄存器的配置进行匹配。换句话说，只有与PTP配置相匹配的帧才标记为一个PTP帧，并且同时记录时间戳值到描述符中。鉴别接收帧是否为PTP帧，接收帧中的PTP版本需要与PFSV位相符，并且对应的帧类型使能位(寄存器ENET_PTP_TSCTL中的位13到位11)要置位。特殊地，对于非IP数据包的PTP帧(Ethernet II型封装的 PTP数据帧)，以太网帧的目标地址域需要为特殊的MAC地址(比如对于PDELAY_REQ/PDELAY_RESP/PDELAY_RESP_FOLLOW_UP消息类型，目标地址应为0x0E00 00C2 8001，对于其他的消息类型，目标地址应为0x0000 0019 1B01，详细信息请参考IEEE1588-2008规范)。同时，为了增强灵活性，如果MAFEN位置位，除了上述两个特殊地址以外，MAC1-3寄存器中SAF位为复位状态的地址也可以认为是特殊地址。

记录下来的时间戳会和帧的发送/接收状态信息一起，存放在相应的发送/接收描述符里。64位的发送帧时间戳写入DMA发送描述符，64位的接受帧时间戳写入DMA接收描述符。具体描述见"*带IEEE 1588时间戳的TxDMA描述符格式*"和"*带IEEE1588时间戳的RxDMA描述符格式*"。

内部连接触发

MAC可以在系统时间大于等于期望时间的时候提供触发中断。使用中断会引入一段已知的中断

时延再加上不确定的命令执行时间。为了计算这部分已知的中断时延时间，在系统时间大于期望值的时候，PTP会将一个输出信号置高。将TIMER1_IRMP寄存器的位域[11:10]设为0x1，可将此输出信号内部连接到TIMER1的ITI1输入上。利用这个信号，由于TIMER1的时钟与PTP基准时钟(HCLK)是同步的，因此不再有任何不确定的误差。

PPS 输出信号

将ENET_PPS_OUT映射到AF11功能上，可以使能PPS输出功能。该功能可以输出脉冲宽度为默认125ms(其他宽度详见*寄存器设置*)的脉冲，用于检查网络全部节点之间的同步。为了测试本地从时钟和主时钟之间的差别，可以把主从设备的PPS(秒脉冲)输出都连接到示波器，以测量2个时钟之间的差别。

32.3.7. 典型的以太网配置流程示例

在上电复位或系统复位之后，应用程序可按以下的典型操作流程来配置并启动以太网模块：

- 使能以太网时钟：
  配置RCU模块来使能HCLK时钟和以太网发送/接收时钟。
- 配置通讯接口：
  配置SYSCFG模块，选择接口模式(MII或RMII)；
  配置GPIO模块，将相应的功能脚映射到复用功能11(AF11)上。
- 等待复位完成：
  轮询 ENET_DMA_BCTL 寄存器直到 SWR 位复位(SWR 位在上电复位后或系统复位后默认置位)。
- 获取并配置PHY寄存器参数：
  根据 HCLK 频率，配置 SMI 时钟频率，并访问 PHY 寄存器获取 PHY 的信息(例如是否支持半 / 全双工，是否支持 10M / 100Mbit 速度等等)。根据外部 PHY 支持的模式，配置 ENET_MAC_CFG 寄存器使与 PHY 寄存器信息一致。
- 初始化以太网DMA模块用于数据传输：
  配置 ENET_DMA_BCTL，ENET_DMA_RDTADDR，ENET_DMA_TDTADDR 和 ENET_DMA_CTL 寄存器，完成 DMA 模块初始化(详细信息请参考 *DMA 控制器描述*章节)。
- 初始化用于存放描述符列表以及数据缓存的物理内存空间：
  根据 ENET_DMA_RDTADDR 和 ENET_DMA_TDTADDR 寄存器中的地址，初始化发送和接收描述符(DAV = 1)，以及数据缓存。
- 使能MAC和DMA模块，开始发送和接收：
  置位 ENET_MAC_CFG 寄存器中的 TEN 和 REN 位，开启 MAC 发送器和接收器。置位 ENET_DMA_CTL 寄存器中的 STE 位和 SRE 位，使能 DMA 的发送和接收。
- 如果有帧要发送：
  1. 选择一个或多个描述符发送描述符，将发送帧数据写到发送描述符中指定的缓存地址中；
  2. 将这些发送帧描述符中的 DAV 位置位；
  3. 写入任意值到 ENET_DMA_TPEN 寄存器中，使 TxDMA 退出挂起模式，开始发送数据；

4. 有两种方法来确定当前帧是否发送完毕。第一种方法为轮询当前描述符的 DAV 位直到其复位；第二种方法仅适用于当 INTC 位为 1 的情况，应用程序可以轮询 ENET_DMA_STAT 寄存器的 TS 位直到其置位。

- 如果有帧要接收：
  1. 查看描述符列表中的第一个接收描述符(其地址在 ENET_DMA_RDTADDR 寄存器中配置)；
  2. 如果接收描述符 0 的 DAV 位复位，则说明描述符已被使用过，且接收缓存空间已存储了接收帧；
  3. 处理接收帧数据；
  4. 置位当前描述符的 DAV 位，以复用当前描述符接收新的帧；
  5. 查看列表中的下一个描述符，跳到步骤 2。

32.3.8. 以太网中断

以太网部分一共有2个中断向量，一个用于以太网正常操作，另一个用于映射到EXTI线19的以太网唤醒事件(检测唤醒帧或者Magic Packet)。

第一个中断向量用于由MAC和DMA产生的中断。关于*MAC中断*和*DMA中断*的详细介绍请看下文。

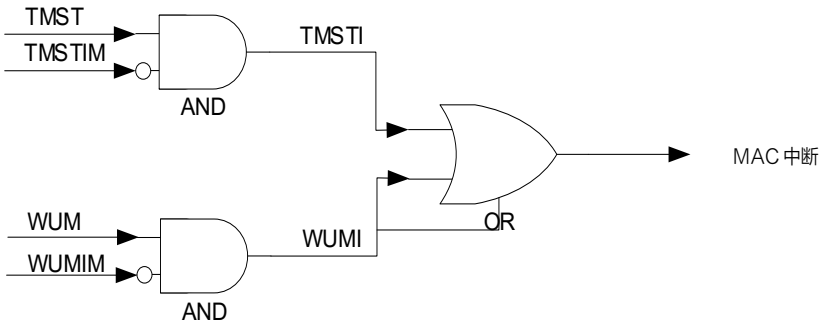
第二个中断向量用于WUM模块在唤醒事件时产生的中断，唤醒事件为远程唤醒帧接收事件或Magic Packet唤醒帧接收事件。唤醒事件映射到EXTI线19上，若使能了EXTI线19的上升沿中断，则唤醒事件可以使微控制器退出深度睡眠模式。此外，若使能了WUM中断，则EXTI线19中断和以太网中断都会被触发。

注意：由于WUM寄存器位于RX_CLK域，在应用程序读WUM寄存器后，到这些标志位被清除可能会有可观的延迟(延迟由HCLK和RX_CLK时钟频率之间差异决定)。为避免两次进入同一个中断，强烈建议应用程序在中断里等待唤醒帧接收标志位WUFR和Magic Packet接收标志位MPKR变为0后，再退出中断服务程序。

MAC 中断

MAC控制器有多个中断触发源。ENET_MAC_INTF寄存器描述了所有可产生的MAC中断类型，每个位都有对应的中断屏蔽位来防止某一事件引发中断。MAC中断信号为MAC所有中断的逻辑或。

图 32-13. MAC 控制器中断示意图



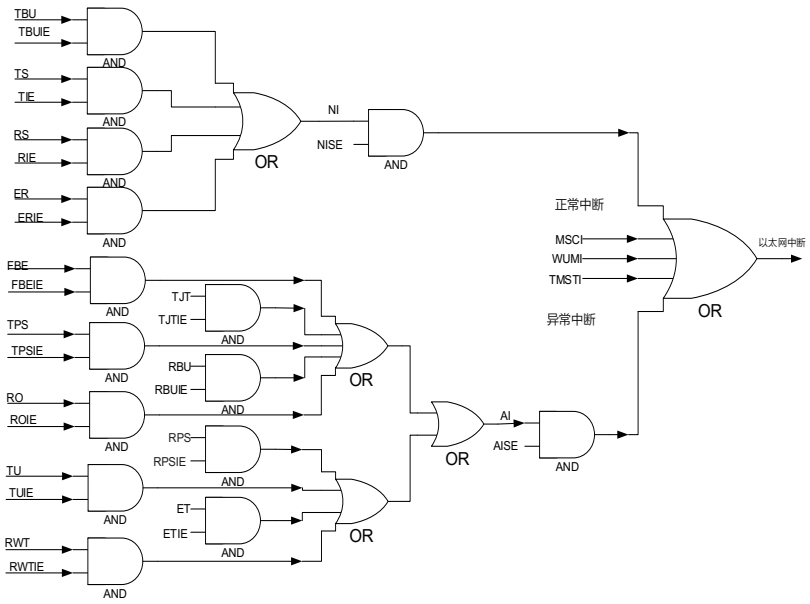
DMA 中断

DMA控制器有两种类型中断事件：正常类和异常类。

无论什么类型的中断事件，都具有相应的中断使能位(屏蔽位)来控制是否产生中断。当所有中断事件都被清除，或中断使能位被清除，则相应的中断汇总位也被清除。如果正常类和异常类中断都被清除，则DMA中断将被清除。

*图27-14. 以太网中断示意图*示意了以太网模块的中断连接：

图 32-14. 以太网中断示意图



32.4. ENET 寄存器

ENET 基地址：0x4002 8000

32.4.1. MAC 配置寄存器(ENET_MAC_CFG)

地址偏移：0x0000
复位值：0x0000 8000

MAC配置寄存器是MAC的工作模式寄存器。它定义了接收和发送的工作模式。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						TFCD	保留	WDD	JBD	保留		IGBS[2:0]			CSD
						rw		rw	rw				rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SPD	ROD	LBM	DPM	IPFCO	RTD	保留	APCD	BOL[1:0]		DFC	TEN	REN	保留	
	rw	rw	rw	rw	rw	rw		rw	rw		rw	rw	rw		

位/位域	名称	描述
31:26	保留	必须保持复位值。
25	TFCD	类型帧CRC剥离位 0：帧的帧校验序列(最后4字节)在转发之前不会被剥离 1：帧的帧校验序列(最后4字节)在转发之前会被剥离 **注意：**该位仅在帧的LT域大于0x0600时有效。
24	保留	必须保持复位值。
23	WDD	关闭看门狗 该位表示已接收到了最大字节数的数据，超过的部分将被切断。 0：MAC允许接收小于或等于2048字节的帧 1：MAC关闭接收看门狗定时器，此时最多可接收16384字节的帧。
22	JBD	不检测Jabber 该位表示发送帧最大允许的发送字节数，超过的部分将被截断。 0：MAC允许的最大发送字节数为2048字节 1：MAC关闭发送Jabber定时器，此时最多可发送16384字节的帧。
21:20	保留	必须保持复位值。
19:17	IGBS[2:0]	帧间间隙选择位 这些位用于选择2个相邻发送帧之间的最短发送间隙，100Mbps时发送时钟为25M，10Mbps时发送时钟为2.5M。 0x0：96个发送时钟周期 0x1：88个发送时钟周期 0x2：80个发送时钟周期

		0x3：72个发送时钟周期 0x4：64个发送时钟周期 0x5：56个发送时钟周期(半双工模式下不可用) 0x6：48个发送时钟周期(半双工模式下不可用) 0x7：40个发送时钟周期(半双工模式下不可用)
16	CSD	关闭载波侦听功能 0：MAC载波信号错误时会报错，并终止发送。 1：在半双工模式下，MAC在发送帧过程中忽略MII的CRS信号，发送过程中载波丢失或者没有载波都不会报错。
15	保留	必须保持复位值。
14	SPD	快速以太网速度 该位表示快速以太网模式下的速度： 0：10 Mbit/s 1：100 Mbit/s
13	ROD	关闭自接收功能 该位在全双工模式下可忽略 0：MAC在发送时接收所有来自PHY的数据包 1：MAC在半双工模式下不接受帧
12	LBM	回环模式 0：MAC在普通模式下工作 1：MAC在MII的回环模式下工作
11	DPM	双工模式 0：半双工模式使能 1：全双工模式使能
10	IPFCO	IP帧数据校验和 0：禁止接收端TCP/UDP/ICMP报头的校验和检验功能 1：使能接收端的帧数据校验和检测功能
9	RTD	不尝试重试 全双工模式下该位可被忽略 0：MAC会在发生冲突后按照BOL位的设定重发高达16次 1：帧仅发送一次
8	保留	必须保持复位值。
7	APCD	自动填充/CRC剥离 该位仅在非标签帧，且其长度域值小于等于1536时有效。 0：MAC会转发所有接收到的帧，而不改变帧的内容。 1：MAC会去除帧的填充字节和CRC域
6:5	BOL[1:0]	退后限制 在全双工模式下这些位可被忽略 在发生冲突后，MAC在重发当前帧之前需要延迟一段时间。这个延迟时间(dt)的时基

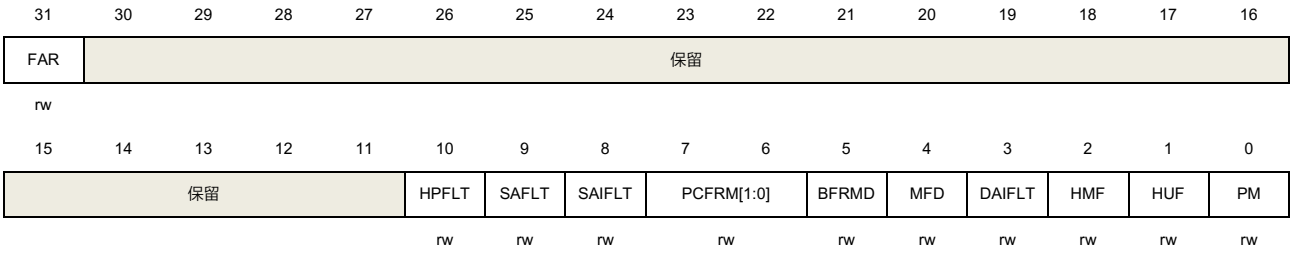
		单元称为时间间隙，一个时间间隙为512位时间。这个延迟时间(dt)是由下式计算得的随机整数值：0<=dt <2^k。 0x0：k = min (n, 10) 0x1：k = min (n, 8) 0x2：k = min (n, 4) 0x3：k = min (n, 1) 其中n = 重发次数。
4	DFC	顺延检验 在全双工模式下这些位可被忽略 0：禁止MAC顺延检验功能。MAC会延迟发送直到CRS信号失效。 1：MAC顺延检验功能使能。如果延迟超过24288位时间，则会发生过度顺延错误，并且MAC将中止发送。但如果在顺延时间内检测到有效的CRS(载波侦听)信号，则会将顺延计数器重置为0，重新启动顺延计时。
3	TEN	使能发送器 0：MAC关闭发送状态机，若当前帧正在发送则在完成发送后关闭。 1：MAC使能发送状态机
2	REN	使能接收器 0：MAC关闭接收状态机，若当前帧正在接收则在接收完成后关闭。 1：MAC使能接收状态机
1:0	保留	必须保持复位值。

32.4.2. MAC 帧过滤器寄存器(ENET_MAC_FRMF)

地址偏移：0x0004
复位值：0x0000 0000

MAC帧过滤器寄存器包含了接收帧的过滤模式位。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31	FAR	接收所有帧 该位控制帧过滤器功能。 0：只有通过了地址过滤器的接收帧才会被转发给应用程序 1：所有接收到的帧都会被转发给应用程序，但过滤的结果会反映在更新接收描述符状态信息的相应标志位。
30:11	保留	必须保持复位值。

10	HPFLT	HASH或者完美过滤 0：如果HMF位或者HUF位置'1'，符合HASH过滤器的帧才能通过接收地址过滤。 1：如果HMF位或者HUF位置'1'，接收帧通过HASH过滤器或者完美过滤器中任一种，就认为通过接收地址过滤。
9	SAFLT	源地址过滤器 除了目标地址过滤之外，使能源地址过滤器。 过滤器将接收帧的源地址域值与使能的源地址寄存器中配置的值进行比较。如果源地址值相匹配，则接收描述符中的源地址匹配状态位将置位。 0：源地址过滤器关闭 1：源地址过滤器使能
8	SAIFLT	源地址过滤结果逆转 该位将源地址比较结果逆转。 0：仅在源地址过滤器结果逆转 1：使能源地址过滤器结果逆转，所有源地址符合源地址寄存器的帧会被标记为未通过源地址过滤。
7:6	PCFRM[1:0]	控制帧转发位 这些位用于设置所有控制帧的转发条件(包括单播和多播暂停帧)。 对于是否处理暂停控制帧，只取决于RFCEN位(ENET_MAC_FCTL[2])的值。 0x0：MAC不转发任何控制帧给应用程序 0x1：MAC转发除了暂停帧以外的其他控制帧给应用程序 0x2：MAC转发所有的控制帧给应用程序，即使是没通过地址过滤器的控制帧。 0x3：MAC转发通过地址过滤器的控制帧给应用程序
5	BFRMD	不接收广播帧 0：过滤器接收所有广播帧 1：过滤器不接收所有广播帧
4	MFD	关闭多播过滤器 0：是否对多播帧进行过滤，取决于HMF位的取值。 1：所有的带多播目标地址的帧(帧的目标地址域中第一位为'1'，但不是所有位都为'1')都能通过过滤器。
3	DAIFLT	目标地址过滤结果逆转 该位将目标地址过滤结果逆转。 0：禁用目标地址过滤结果逆转 1：使能目标地址过滤结果逆转
2	HMF	多播HASH过滤器 0：MAC会将接收到的多播帧的目标地址域和目标地址寄存器的设定值比较 1：MAC根据HASH列表对接收到的多播帧进行目标地址过滤
1	HUF	单播HASH过滤器 0：MAC会将接收到的单播帧目标地址域和目标地址寄存器的设定值比较 1：MAC根据HASH列表对接收到的单播帧进行目标地址过滤
0	PM	混杂模式 该位使地址过滤器无效，这意味着所有帧均可通过过滤器，同时接收描述符中状态信息的目标地址/源地址错误位总是为'0'。 0：禁用混杂模式

1：使能混杂模式

32.4.3. MAC hash 列表高寄存器(ENET_MAC_HLH)

地址偏移：0x0008
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HLH[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HLH[15:0]															
rw															

位/位域	名称	描述
31:0	HLH[31:0]	HASH列表高位 这些位是HASH列表的高32位。

32.4.4. MAC hash 列表低寄存器(ENET_MAC_HLL)

地址偏移：0x000C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HLL[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HLL[15:0]															
rw															

位/位域	名称	描述
31:0	HLL[31:0]	HASH列表低位 这些位是HASH列表的低32位。

32.4.5. MAC PHY 控制寄存器(ENET_MAC_PHY_CTL)

地址偏移：0x0010
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[4:0]					PR[4:0]					保留	CLR[2:0]			PW	PB
rw					rw						rw			rw	rc_w1

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:11	PA[4:0]	PHY地址 这些位选择想要访问的PHY地址。
10:6	PR[4:0]	PHY寄存器 这些位选择想要访问的PHY寄存器。
5	保留	必须保持复位值。
4:2	CLR[2:0]	时钟范围 根据HCLK的频率来决定MDC的时钟分频系数。 0x0：HCLK/42(HCLK范围：60-100 MHz) 0x1：HCLK/62(HCLK范围：100-150 MHz) 0x2：HCLK/16(HCLK范围：20-35 MHz) 0x3：HCLK/26(HCLK范围：35-60 MHz) 0x4：HCLK/102(HCLK范围：150-200 MHz) 其他：保留。
1	PW	PHY写 该位指示了PHY的操作模式。 0：对PHY进行读操作 1：对PHY进行写操作
0	PB	PHY忙 该位指示了对PHY操作的状态。由应用程序置'1'后开始对PHY的进行读或者写操作，并需等到该位在操作完成后由硬件清'0'。在写ENET_MAC_PHY_CTL寄存器和读ENET_MAC_PHY_DATA寄存器之前，该位应当为'0'。

32.4.6. MAC PHY 数据寄存器(ENET_MAC_PHY_DATA)

地址偏移：0x0014
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD[15:0]															

rw

位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	PD[15:0]	PHY数据位 对于读操作，这些位为从PHY中读取的数据。对于写操作，这些位为将要写到PHY中的数据。

32.4.7. MAC 流控寄存器(ENET_MAC_FCTL)

地址偏移：0x0018
复位值：0x0000 0000

该寄存器用于配置控制帧的生成和接收。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PTM[15:0]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								DZQP	保留	PLTS[1:0]		UPFDT	RFCEN	TFCEN	FLCB/BKPA
								rw		rw		rw	rw	rw	rw

位/位域	名称	描述
31:16	PTM[15:0]	暂停时间 这些位用来设置暂停控制帧时间域的值。
15:8	保留	必须保持复位值。
7	DZQP	关闭零时间片暂停功能 0：打开零时间片暂停控制帧自动生成功能 1：关闭零时间片暂停控制帧的自动生成
6	保留	必须保持复位值。
5:4	PLTS[1:0]	暂停低阈值 这些位设置了自动重发暂停帧的定时器阈值。这个阈值应当大于0，小于位[31:16]定义的暂停时间。低阈值的计算公式为PTM-PLTS。例如，PTM = 0x80(128个时间间隙)，PLTS = 0x1(28个时间间隙)，那么在第一个暂停帧发出100(128-28)个时间间隙后，将自动重发第二个暂停帧。 0x0：暂停时间 - 4个时间间隙 0x1：暂停时间 -28个时间间隙 0x2：暂停时间 - 144个时间间隙 0x3：暂停时间 - 256个时间间隙 **注意：**一个时间间隙是指MII接口发送512位(64字节)数据所需要的时间。

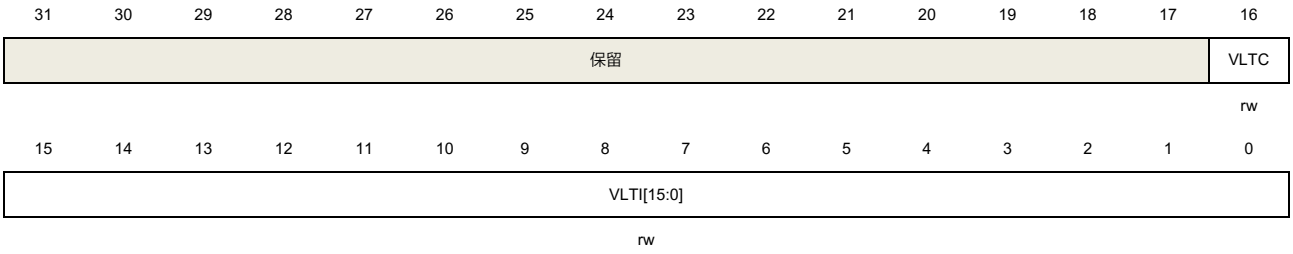
3	UPFDT	单播暂停帧检测 0：MAC只接收符合IEEE802.3规范定义的唯一多播地址的暂停帧 1：除了唯一多播地址的暂停帧，MAC同时还会使用MAC0地址(ENET_MAC_ADDR0H寄存器和ENET_MAC_ADDR0L寄存器)来检测暂停帧。
2	RFCEN	接收流控使能位 0：MAC不解析暂停帧 1：MAC解析并处理接收到的暂停帧。MAC关闭发送器一段指定的时间(接收帧中的暂停时间域值)。
1	TFCEN	发送流控使能位 0：MAC关闭发送流控功能。在全双工模式下，MAC不发送暂停帧；在半双工模式下，MAC关闭背压功能。 1：MAC开启发送流控功能。在全双工模式下，MAC使能暂停帧发送；在半双工模式下，MAC使能背压功能。
0	FLCB/BKPA	流控忙/背压激活 该位仅在TFCEN位置位时有效。 在全双工模式下，该位可发送暂停帧；在半双工模式下，该位可激活背压功能。 在全双工模式下，应用程序要确保在写ENET_MAC_FCTL寄存器之前该位为'0'。置位该位后，MAC将发送一个暂停帧到接口，在发送控制帧的过程中，该位始终为'1'，直到暂停控制帧发送完成以后，MAC将该位重置为'0'。 在半双工模式下，设置该位为'1'可以激活背压功能。在背压功能有效时，如果MAC接收到新的帧，就会在发送端发送阻塞信号，通知有冲突发生。

32.4.8. MAC VLAN 标签寄存器(ENET_MAC_VLT)

地址偏移：0x001C
复位值：0x0000 0000

该寄存器包含了用来识别VLAN帧的IEEE802.1Q VLAN标签。MAC把接收到帧的第13，14字节(长度/类型域)与0x8100比较，再把之后的2个字节(第15，16字节)和VLAN标签比较。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:17	保留	必须保持复位值。
16	VLTC	12位VLAN标签比较位 该位选择用12位或16位VLAN标签来进行比较。 0：接收到的VLAN帧的全部16位数据(第15和16字节)都用来与VLTI位比对 1：仅用VLTI位[11:0]12位数据和接收到VLAN帧的相应域比对
15:0	VLTI[15:0]	VLAN标签标识符位

这些位用来识别VLAN帧的802.1Q VLAN标签格式。格式如下：
VLTI[15:13]：UP(用户优先级)
VLTI[12]：CFI(标准格式指示符)
VLTI[11:0]：VID(VLAN标识符)
如果比较的位(当VLTC=1，则为VLTI[11:0]；当VLTC=0，则为VLTI[15:0])值是全'0'，则MAC不再比对检验VLAN帧的第15、16字节，并将接收帧的类型域值是0x8100的帧都直接视为VLAN帧。
如果用于比较的位不是全为'0'，则使用VLTI[11:0](VLTC=1)或VLTI[15:0](VLTC=0)进行比较。

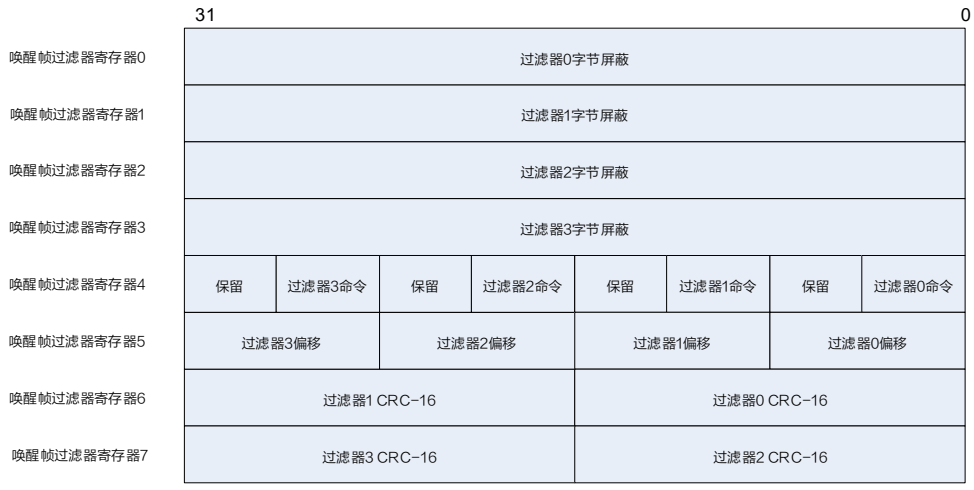
32.4.9. MAC 远程唤醒帧过滤器寄存器(ENET_MAC_RWFF)

地址偏移：0x0028
复位值：0x0000 0000

该寄存器实质上是指向8个不透明的唤醒帧过滤器寄存器的指针(使用同一个偏移地址)。对该寄存器地址(偏移为0x0028)的8次连续写操作，可以写入全部8个唤醒帧过滤器寄存器；对该寄存器地址(偏移为0x0028)的8次连续读操作，可以读出全部8个唤醒帧过滤器寄存器。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

图 32-15. 远程唤醒帧过滤器寄存器

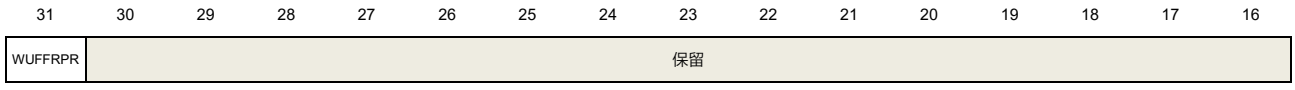


32.4.10. MAC 唤醒管理寄存器(ENET_MAC_WUM)

地址偏移：0x002C
复位值：0x0000 0000

该寄存器设置并监控唤醒事件。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



rs

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						GU	保留		WUFR	MPKR	保留		WFEN	MPEN	PWD
						rw			rc_r	rc_r			rw	rw	rs

位/位域	名称	描述
31	WUFFRPR	唤醒帧过滤器寄存器指针复位 向该位写'1'，将会把远程唤醒帧过滤器寄存器指针ENET_MAC_RWFF复位，该位在指针复位完成后自动清'0'。 0：无作用 1：复位ENET_MAC_RWFF寄存器指针
30:10	保留	必须保持复位值。
9	GU	全局单播 向该位写1，所有能通过MAC地址过滤器的单播帧，都被认为是唤醒帧。 0：不是所有接收的单播帧都被认为是唤醒帧 1：所有能通过MAC地址过滤器的单播帧，都被认为是唤醒帧。
8:7	保留	必须保持复位值。
6	WUFR	接收到唤醒帧 读本寄存器可以清'0'该位。 0：没有接收到唤醒帧 1：接收到唤醒帧，并发生唤醒事件。
5	MPKR	接收到Magic Packet 读本寄存器可以清'0'该位。 0：没有接收到Magic Packet 1：接收到Magic Packet帧，并发生唤醒事件。
4:3	保留	必须保持复位值。
2	WFEN	唤醒帧使能位 0：禁能在接收到唤醒帧时产生唤醒事件 1：使能在接收到唤醒帧时产生唤醒事件
1	MPEN	Magic Packet使能位 0：禁能在接收到Magic Packet唤醒帧时产生唤醒事件 1：使能在接收到Magic Packet唤醒帧时产生唤醒事件
0	PWD	低功耗位 该位由软件置位，由硬件复位。当该位置位，MAC丢弃所有接收到的帧。当发生了唤醒事件，使得退出低功耗模式，硬件会自动将该位清'0'。

32.4.11. MAC 调试寄存器(ENET_MAC_DBG)

地址偏移：0x0034

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						TXFF	TXFNE	保留	TXFW	TXFRS[1:0]		PCS	SOMT[1:0]		MTNI
						ro	ro		ro	ro		ro	ro		ro

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						RXFS[1:0]		保留	RXFRS[1:0]		RXFW	保留	RXAFS[1:0]		MRNI
						ro			ro		ro		ro		ro

位/位域	名称	描述
31:26	保留	必须保持复位值。
25	TXFF	TxFIFO满标志位 0：TxFIFO未满 1：TxFIFO已满
24	TXFNE	TxFIFO非空标志位 0: TxFIFO空 1: TxFIFO不为空
23	保留	必须保持复位值。
22	TXFW	正在写TxFIFO 0: 没有向TxFIFO写帧数据 1：正在向TxFIFO写帧数据
21:20	TXFRS[1:0]	TxFIFO读操作状态 0x0：空闲状态 0x1：读状态 0x2：等待MAC发送器返回Tx状态 0x3：写发送描述符状态，或清空TxFIFO。
19	PCS	暂停状态 0：MAC发送器不处于暂停状态 1：MAC发送器处于暂停状态，并暂停发送帧。
18:17	SOMT[1:0]	MAC发送器状态 0x0：空闲状态 0x1：等待前一帧的状态返回或IFG/BACKOFF周期结束 0x2：对于全双工模式，表示正在发送暂停控制帧。 0x3：从FIFO读取待发送的帧
16	MTNI	MAC发送器不空闲位 0：MAC发送器处于空闲状态 1：MAC发送器处于非空闲状态
15:10	保留	必须保持复位值。
9:8	RXFS	RxFIFO状态 0x0：RxFIFO空

		0x1：RxFIFO中字节数低于流控下阈值 0x2：RxFIFO中字节数高于流控上阈值 0x3：RxFIFO满
7	保留	必须保持复位值。
6:5	RXFRS[1:0]	RxFIFO读操作状态 0x0：空闲状态 0x1：读数据帧状态 0x2：读帧状态(包括时间戳) 0x3：清空帧
4	RXFW	正在写RxFIFO 0：没有向RxFIFO中写帧数据 1：正在向RxFIFO写帧数据
3	保留	必须保持复位值。
2:1	RXAFS[1:0]	Rx异步FIFO状态 RXAFS[1]：Rx异步FIFO在HCLK时钟域进行读操作(MAC取出数据) RXAFS[0]：Rx异步FIFO在MAC RX_CLK时钟域进行写操作(MAC存入数据)
0	MRNI	MAC接收器不空闲位 0：MAC接收器处于空闲状态 1：MAC接收器处于非空闲状态

32.4.12. MAC 中断状态寄存器(ENET_MAC_INTF)

地址偏移：0x0038
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						TMST	保留		MSCT	MSCR	MSC	WUM	保留		
						rc_r			r	r	r	r			

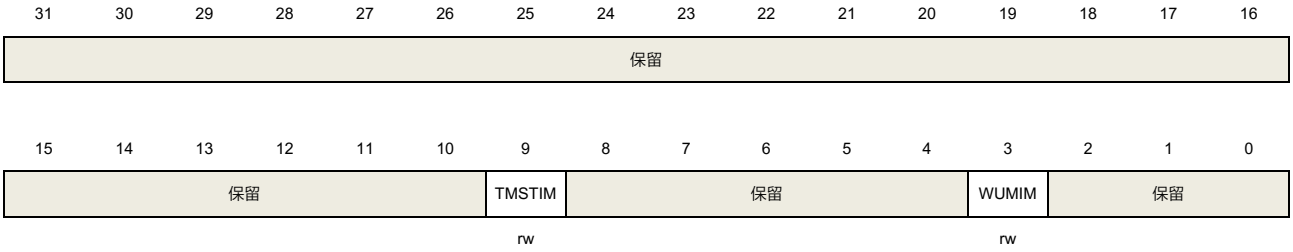
位/位域	名称	描述
31:10	保留	必须保持复位值。
9	TMST	时间戳触发状态 读 ENET_PTP_TSF 寄存器可以清'0'该位。 0：系统时间值小于期望时间值 1：系统时间值等于或者超过期望时间值

8:7	保留	必须保持复位值。
6	MSCT	MSC 发送状态 0：没有产生任一 ENET_MSC_TINTF 寄存器中的中断 1：产生任一 ENET_MSC_TINTF 寄存器中的中断
5	MSCR	MSC 接收状态 0：没有产生任一 ENET_MSC_RINTF 寄存器中的中断 1：产生任一 ENET_MSC_RINTF 寄存器中的中断
4	MSC	MSC 状态 该位为 MSCT 位与 MSCR 位的逻辑或。 0：MSCT 位和 MSCR 位均为'0' 1：MSCT 位和 MSCR 位中有位为'1'
3	WUM	WUM 状态 该位为 ENET_MAC_WUM 寄存器中的 WUFR 和 MPKR 位的逻辑或。 0：未接收到唤醒帧或者 Magic Packet 帧 1：在低功耗模式下，接收到唤醒帧或者 Magic Packet。
2:0	保留	必须保持复位值。

32.4.13. MAC 中断屏蔽寄存器(ENET_MAC_INTMSK)

地址偏移：0x003C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:10	保留	必须保持复位值。
9	TMSTIM	时间戳触发中断屏蔽位 0：允许产生时间戳中断 1：禁止产生时间戳中断
8:4	保留	必须保持复位值。
3	WUMIM	WUM中断屏蔽位 0：允许由于ENET_MAC_INTF寄存器的WUM状态位置位而引发的中断 1：禁止由于 ENET_MAC_INTF 寄存器的 WUM 状态位置 1 而引发的中断

2:0	保留	必须保持复位值。

32.4.14. MAC 地址 0 高寄存器(ENET_MAC_ADDR0H)

地址偏移：0x0040
复位值：0x8000 FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MO	保留														
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR0H[15:0]															
rw															

位/位域	名称	描述
31	MO	该位总是为'1'。
30:16	保留	必须保持复位值。
15:0	ADDR0H[15:0]	MAC地址0高16位 这些位包含了 6 字节 MAC 地址 0 的高 16 位，这些位用于作为接收帧的地址过滤，还用于发送流控中发送暂停帧时插入作为帧的源地址。

32.4.15. MAC 地址 0 低寄存器(ENET_MAC_ADDR0L)

地址偏移：0x0044
复位值：0xFFFF FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR0L[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR0L[15:0]															
rw															

位/位域	名称	描述
31:0	ADDR0L[31:0]	MAC地址0低32位 这些位包含了 6 字节 MAC 地址 0 的低 32 位，这些位用于作为接收帧的地址过滤，还用于发送流控中发送暂停帧时插入作为帧的源地址。

32.4.16. MAC 地址 1 高寄存器(ENET_MAC_ADDR1H)

地址偏移：0x0048
复位值：0x0000 FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

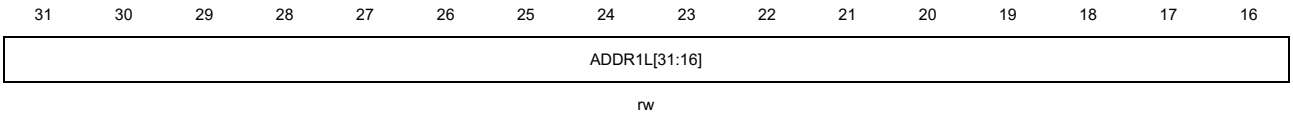


位/位域	名称	描述
31	AFE	地址过滤使能 0：不使用 MAC 地址 1 进行地址过滤 1：地址过滤器使用 MAC 地址 1 来进行完美过滤
30	SAF	源地址过滤器 0：MAC 地址 1[47:0]用来和接收帧的目标地址进行比对 1：MAC 地址 1[47:0]用来和接收帧的源地址进行比对
29:24	MB[5:0]	屏蔽字节位 当某个位置'1'时，MAC 不再把接收帧目标地址/源地址的对应字节与 MAC 地址 1 的相应字节进行比较。每个控制位对应的 MAC 地址字节如下: MB[5]：ENET_MAC_ADDR1H [15:8] MB[4]：ENET_MAC_ADDR1H [7:0] MB[3]：ENET_MAC_ADDR1L [31:24] MB[2]：ENET_MAC_ADDR1L[23:16] MB[1]：ENET_MAC_ADDR1L[15:8] MB[0]：ENET_MAC_ADDR1L [7:0]
23:16	保留	必须保持复位值。
15:0	ADDR1H[15:0]	MAC 地址 1 高[47:32]位 这些位包含了 6 字节的 MAC 地址 1 的高 16 位。

32.4.17. MAC 地址 1 低寄存器(ENET_MAC_ADDR1L)

地址偏移：0x004C
复位值：0xFFFF FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR1L[15:0]															
rw															

位/位域	名称	描述
31:0	ADDR1L[31:0]	MAC 地址 1 低 32 位 这些位包含了 6 字节 MAC 地址 1 的低 32 位。

32.4.18. MAC 地址 2 高寄存器(ENET_ MAC_ADDR2H)

地址偏移：0x0050
复位值：0x0000 FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFE	SAF	MB[5:0]						保留							
rw	rw	rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR2H[15:0]															
rw															

位/位域	名称	描述
31	AFE	地址过滤使能 0：不使用 MAC 地址 2 进行地址过滤 1：地址过滤器使用 MAC 地址 2 来进行完美过滤
30	SAF	源地址过滤器 0：MAC 地址 2[47:0]用来和接收帧的目标地址进行比对 1：MAC 地址 2[47:0]用来和接收帧的源地址进行比对
29:24	MB[5:0]	屏蔽字节位 当某个位置'1'时，MAC 不再把接收帧目标地址/源地址的对应字节与 MAC 地址 2 的相应字节进行比较。每个控制位对应的 MAC 地址字节如下: MB[5]：ENET_MAC_ADDR2H [15:8] MB[4]：ENET_MAC_ADDR2H [7:0] MB[3]：ENET_MAC_ADDR2L [31:24] MB[2]：ENET_MAC_ADDR2L[23:16] MB[1]：ENET_MAC_ADDR2L[15:8] MB[0]：ENET_MAC_ADDR2L [7:0]
23:16	保留	必须保持复位值。
15:0	ADDR2H[15:0]	MAC 地址 2 高[47:32]位 这些位包含了 6 字节的 MAC 地址 2 的高 16 位。

32.4.19. MAC 地址 2 低寄存器(ENET_MAC_ADDR2L)

地址偏移：0x0054
复位值：0xFFFF FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR2L[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR2L[15:0]															
rw															

位/位域	名称	描述
31:0	ADDR2L[31:0]	MAC 地址 2 低 32 位 这些位包含了 6 字节 MAC 地址 2 的低 32 位。

32.4.20. MAC 地址 3 高寄存器(ENET_MAC_ADDR3H)

地址偏移：0x0058
复位值：0x0000 FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFE	SAF	MB[5:0]						保留							
rw	rw	rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR3H[15:0]															
rw															

位/位域	名称	描述
31	AFE	地址过滤使能 0：不使用 MAC 地址 3 进行地址过滤 1：地址过滤器使用 MAC 地址 3 来进行完美过滤
30	SAF	源地址过滤器 0：MAC 地址 3[47:0]用来和接收帧的目标地址进行比对 1：MAC 地址 3[47:0]用来和接收帧的源地址进行比对
29:24	MB[5:0]	屏蔽字节位 当某个位置'1'时，MAC 不再把接收帧目标地址/源地址的对应字节与 MAC 地址 3 的相应字节进行比较。每个控制位对应的 MAC 地址字节如下: MB[5]：ENET_MAC_ADDR3H [15:8] MB[4]：ENET_MAC_ADDR3H [7:0] MB[3]：ENET_MAC_ADDR3L [31:24]

MB[2]：ENET_MAC_ADDR3L[23:16]
MB[1]：ENET_MAC_ADDR3L[15:8]
MB[0]：ENET_MAC_ADDR3L [7:0]

23:16	保留	必须保持复位值。
15:0	ADDR3H[15:0]	MAC 地址 3 高[47:32]位 这些位包含了 6 字节的 MAC 地址 3 的高 16 位。

32.4.21. MAC 地址 3 低寄存器(ENET_MAC_ADDR3L)

地址偏移：0x005C
复位值：0xFFFF FFFF

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR3L[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR3L[15:0]															
rw															

位/位域	名称	描述
31:0	ADDR3L[31:0]	MAC 地址 3 低 32 位 这些位包含了 6 字节 MAC 地址 3 的低 32 位。

32.4.22. MAC 流控阈值寄存器(ENET_MAC_FCTH)

地址偏移：0x1080
复位值：0x0000 0015

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									RFD[2:0]			保留	RFA[2:0]		
									rw				rw		

位/位域	名称	描述
31:7	保留	必须保持复位值。
6:4	RFD[2:0]	流控失效阈值 这些位设置了流控失效的阈值。这个值应当小于位[2:0]定义的流控激活阈值。当 RxFIFO 中未处理的数据低于这些位所设置的值，流控功能将自动失效。

0x0：256 字节
0x1：512 字节
0x2：768 字节
0x3：1024 字节
0x4：1280 字节
0x5：1536 字节
0x6，0x7：1792 字节

3	保留	必须保持复位值。
2:0	RFA[2:0]	流控激活阈值 这些位设置了流控激活的阈值。若使能了流控功能，当 RxFIFO 中未处理的数据超过了这些位所设置的值，流控功能将被激活。 0x0：256 字节 0x1：512 字节 0x2：768 字节 0x3：1024 字节 0x4：1280 字节 0x5：1536 字节 0x6，0x7：1792 字节

32.4.23. MSC 控制寄存器(ENET_MSC_CTL)

地址偏移：0x0100
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										AFHPM	PMC	MCFZ	RTOR	CTSR	CTR
										rw	wo	rw	rw	rw	rw

位/位域	名称	描述
31:6	保留	必须保持复位值。
5	AFHPM	近似全值或半值预设模式 0：预设 MSC 计数器的值为近似半值(0x7FFF FFF0) 1：预设 MSC 计数器的值为近似全值(0xFFFF FFF0) **注意：**该位仅在 PMC 位置位时有效。
4	PMC	MAC 计数器预设位 0：无作用 1：将 MSC 计数器预设为一个预设值。预设值取决于 AFHPM 位。

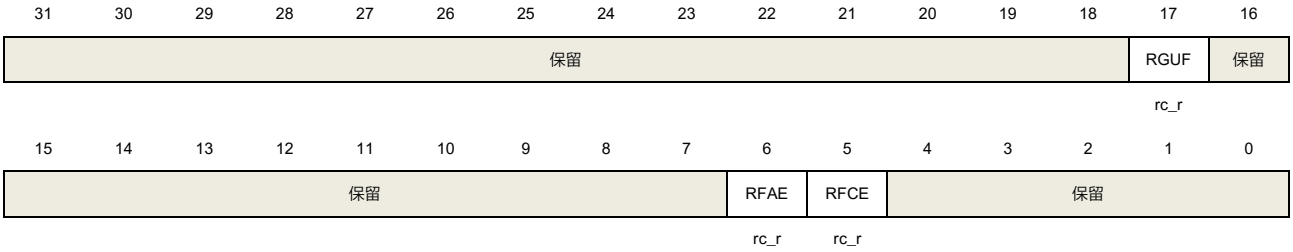
3	MCFZ	MSC 计数器冻结位 0：MSC 计数器正常工作 1：冻结 MSC 计数器，保持它们的当前值。RTOR 位可在计数器冻结状态时工作。
2	RTOR	读时复位 0：读 MSC 计数器后，计数器不复位。 1：读 MSC 计数器后，计数器复位。
1	CTSR	计数器停止回转 0：计数器在计数到最大值后，会重新从 0 开始计数。 1：计数器在计数到最大值后，不会重新从 0 开始计数。
0	CTR	计数器复位 该位置位后，会在 1 个时钟周期后由硬件自动清零。 0：无作用 1：复位所有计数器

32.4.24. MSC 接收中断状态寄存器(ENET_MSC_RINTF)

地址偏移：0x0104
复位值：0x0000 0000

该寄存器的中断标志位需要读取导致该中断产生的相应的MSC计数器才能清除

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:18	保留	必须保持复位值。
17	RGUF	接收到"好"的单播帧 0：接收"好"单播帧计数器值小于最大值的一半 1：接收"好"单播帧计数器值达到最大值的一半 **注意**：需要通过读取 ENET_MSC_RGUFCNT 寄存器来清除该标志位
16:7	保留	必须保持复位值。
6	RFAE	接收到帧对齐错误 0：对齐错误接收帧计数器值小于最大值的一半 1：对齐错误接收帧计数器值达到最大值的一半 **注意**：需要通过读取 ENET_MSC_RFAECNT 寄存器来清除该标志位
5	RFCE	接收到帧 CRC 错误

0：CRC 错误接收帧计数器值小于最大值的一半
1：CRC 错误接收帧计数器值达到最大值的一半
注意：需要通过读取 ENET_MSC_RFCECNT 寄存器来清除该标志位

4:0	保留	必须保持复位值。

32.4.25. MSC 发送中断状态寄存器(ENET_MSC_TINTF)

地址偏移：0x0108
复位值：0x0000 0000

该寄存器的中断标志位需要读取导致该中断产生的相应的MSC计数器才能清除

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										TGF	保留				
										rc_r					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFMSC	TGFSC	保留													
rc_r	rc_r														

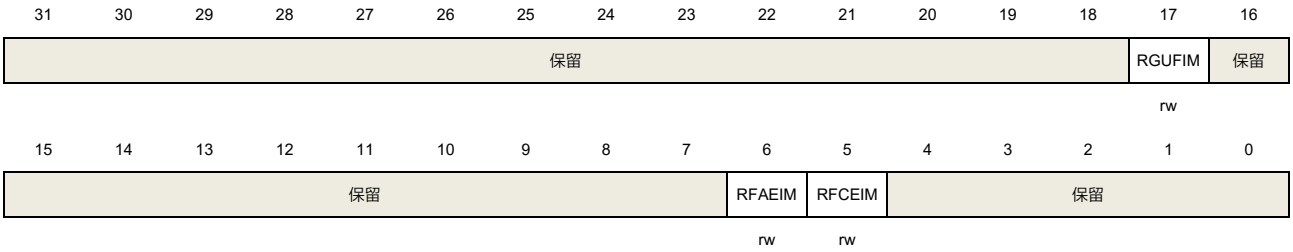
位/位域	名称	描述
31:22	保留	必须保持复位值。
21	TGF	发送"好"的帧 0：发送"好"单播帧计数器值小于最大值的一半 1：发送"好"单播帧计数器值达到最大值的一半 **注意**：需要通过读取 ENET_MSC_TGFCNT 寄存器来清除该标志位
20:16	保留	必须保持复位值。
15	TGFMSC	发送"好"的帧时遇到 1 个以上冲突 0：1 次以上冲突后发送"好"帧计数器值小于最大值的一半 1：1 次以上冲突后发送"好"帧计数器值达到最大值的一半 **注意**：需要通过读取 ENET_MSC_MSCCNT 寄存器来清除该标志位
14	TGFSC	发送"好"的帧时仅遇到 1 个冲突 0：1 次冲突后发送"好"帧计数器值小于最大值的一半 1：1 次冲突后发送"好"帧计数器值达到最大值的一半 **注意**：需要通过读取 ENET_MSC_SCCNT 寄存器来清除该标志位
13:0	保留	必须保持复位值。

32.4.26. MSC 接收中断屏蔽寄存器(ENET_MSC_RINTMSK)

地址偏移：0x010C
复位值：0x0000 0000

该寄存器包含当接收统计计数器达到其最大值的一半时所产生的中断的屏蔽位。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



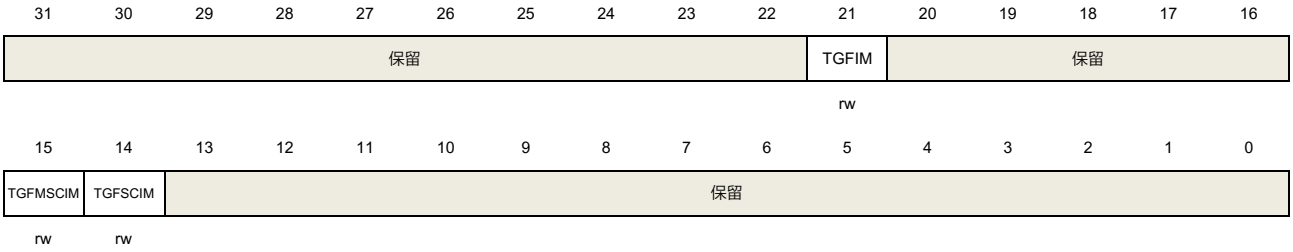
位/位域	名称	描述
31:18	保留	必须保持复位值。
17	RGUFIM	接收到"好"的单播帧的中断屏蔽位 0：不屏蔽当 RGUF 位为'1'时发生的中断 1：屏蔽当 RGUF 位为'1'时发生的中断
16:7	保留	必须保持复位值。
6	RFAEIM	接收帧对齐错误中断屏蔽位 0：不屏蔽当 RFAE 位为'1'时发生的中断 1：屏蔽当 RFAE 位为'1'时发生的中断
5	RFCEIM	接收帧 CRC 错误中断屏蔽位 0：不屏蔽当 RFCE 位为'1'时发生的中断 1：屏蔽当 RFCE 位为'1'时发生的中断
4:0	保留	必须保持复位值。

32.4.27. MSC 发送中断屏蔽寄存器(ENET_MSC_TINTMSK)

地址偏移：0x0110
复位值：0x0000 0000

该寄存器可以设置相应中断的屏蔽位。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:22	保留	必须保持复位值。

21	TGFIM	发送"好"的帧的中断屏蔽位 0：不屏蔽当 TGF 位为'1'时发生的中断 1：屏蔽当 TGF 位为'1'时发生的中断
20:16	保留	必须保持复位值。
15	TGFMSCIM	遇到 1 个以上冲突后发送"好"帧中断屏蔽位 0：不屏蔽当 TGFMSC 位为'1'时发生的中断 1：屏蔽当 TGFMSC 位为'1'时发生的中断
14	TGFSCIM	仅遇到 1 个冲突后发送"好"帧中断屏蔽位 0：不屏蔽当 TFGSC 位为'1'时发生的中断 1：屏蔽当 TFGSC 位为'1'时发生的中断
13:0	保留	必须保持复位值。

32.4.28. MSC 1 次冲突后发送"好"帧的计数器寄存器(ENET_MSC_SCCNT)

地址偏移：0x014C
复位值：0x0000 0000

该寄存器统计在半双工模式下，在只遇到一次冲突后发送帧成功时的帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCC[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCC[15:0]															
r															

位/位域	名称	描述
31:0	SCC[31:0]	1 次冲突后发送好帧计数器 这些位是 1 次冲突后发送的"好"帧的计数器。

32.4.29. MSC 1 次以上冲突后发送"好"帧的计数器寄存器(ENET_MSC_MSCCNT)

地址偏移：0x0150
复位值：0x0000 0000

该寄存器统计在半双工模式下，遇到一次以上冲突后发送帧成功时的帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSCC[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSCC[15:0]															
r															

位/位域	名称	描述
31:0	MSCC[31:0]	1 次以上冲突后发送"好"帧计数器 这些位是 1 次以上冲突后发送"好"帧的计数器。

32.4.30. MSC 发送"好"帧计数器寄存器(ENET_MSC_TGFCNT)

地址偏移：0x0168
复位值：0x0000 0000

该寄存器统计发送"好"帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TGF[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGF[15:0]															
r															

位/位域	名称	描述
31:0	TGF[31:0]	发送"好"帧计数器 这些位是发送"好"帧的计数器。

32.4.31. MSC CRC 错误接收帧计数器寄存器(ENET_MSC_RFCECNT)

地址偏移：0x0194
复位值：0x0000 0000

该寄存器统计接收帧中有CRC错误的帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFCER[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFCER[15:0]															
r															

位/位域	名称	描述
31:0	RFCER[31:0]	CRC 错误接收帧计数器

这些位是接收帧中有 CRC 错误的帧的计数器。

32.4.32. MSC 对齐错误接收帧计数器寄存器(ENET_MSC_RFAECNT)

地址偏移：0x0198
复位值：0x0000 0000

该寄存器统计接收帧中有对齐错误帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFAER[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFAER[15:0]															
r															

位/位域	名称	描述
31:0	RFAER[31:0]	对齐错误接收帧计数器 这些位是接收帧中有对齐错误的帧的计数器。

32.4.33. MSC"好"单播帧接收帧计数器寄存器(ENET_MSC_RGUFCNT)

地址偏移：0x01C4
复位值：0x0000 0000

该寄存器统计接收到"好"单播帧的数目。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RGUF[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RGUF[15:0]															
r															

位/位域	名称	描述
31:0	RGUF[31:0]	"好"单播帧接收帧计数器 这些位是接收到"好"的单播帧的计数器。

32.4.34. PTP 时间戳控制寄存器(ENET_PTP_TSCTL)

地址偏移：0x0700
复位值：0x0000 2000

该寄存器用于配置时间戳的产生和更新。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留													MAFEN	CKNT[1:0]	
													rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MNMSEN	ETMSEN	IP4SEN	IP6SEN	ESEN	PFSV	SCROM	ARFSEN	保留		TMSARU	TMSITEN	TMSSTU	TMSSTI	TMSFCU	TMSEN
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:19	保留	必须保持复位值。
18	MAFEN	PTP 帧 MAC 地址过滤使能 0：无作用 1：当接收帧的类型域值为 0x88f7，则使能 MAC 地址 1-3 用于 PTP 帧过滤。
17:16	CKNT[1:0]	时间戳时钟节点类型 0x0：普通类型时钟 0x1：边界类型时钟 0x2：端对端透明类型时钟 0x3：点对点透明类型时钟
15	MNMSEN	接收主节点消息时时间戳快照使能 该位仅在 CKNT=0x0 或 0x1 时有效。 0：从节点消息时间戳快照使能 1：主节点消息时间戳快照使能
14	ETMSEN	接收事件类型的消息时时间戳快照使能 0：接收到除了 Announce，Management 和 Signaling 以外的所有其他类型的消息时，时间戳快照使能。 1：只有接收到事件类型的消息(SYNC，DELAY_REQ，PDELAY_REQ 和 PDELAY_RESP)时，时间戳快照使能。
13	IP4SEN	接收通过 IPv4-UDP 封装的 PTP 数据帧时时间戳使能 0：接收到通过 IPv4-UDP 封装的 PTP 数据帧时，时间戳失能。 1：接收到通过 IPv4-UDP 封装的 PTP 数据帧时，时间戳使能。
12	IP6SEN	接收通过 IPv6-UDP 封装的 PTP 数据帧时时间戳使能 0：接收到通过 IPv6-UDP 封装的 PTP 数据帧时，时间戳失能。 1：接收到通过 IPv6-UDP 封装的 PTP 数据帧时，时间戳使能。
11	ESEN	接收通过 Ethernet II 型封装的 PTP 数据帧时时间戳使能 0：接收到通过 Ethernet II 型封装的 PTP 数据帧时，时间戳失能。 1：接收到通过 Ethernet II 型封装的 PTP 数据帧时，时间戳使能。
10	PFSV	监听 PTP 帧版本 0：版本 1(版本为 IEEE STD. 1588-2002/1588-2008)

1：版本 2(版本为 IEEE STD. 1588-2008)

9	SCROM	亚秒计数器回转模式 0：二进制回转模式，亚秒计数器在达到 0x7FFF FFFF 以后重新从 0 计数。 1：十进制回转模式，亚秒计数器在达到 0x3B9A C9FF(0d999 999 999)以后重新从 0 计数。
8	ARFSEN	所有接收帧时间戳快照使能 0：不对所有接收帧使能时间戳功能 1：对所有接收帧使能时间戳功能
7:6	保留	必须保持复位值。
5	TMSARU	时间戳加数寄存器更新位 该位在更新完成后清'0'。该位在置位前必须确保读出为'0'。 0：不将时间戳加数寄存器的值更新到 PTP 模块进行精调 1：将时间戳加数寄存器的值更新到 PTP 模块进行精调
4	TMSITEN	时间戳中断触发使能 0：禁止时间戳中断 1：使能时间戳中断，当系统时间超过期望时间寄存器的值时将会产生中断。 **注意：**产生时间戳中断后，该位将会清'0'。
3	TMSSTU	时间戳系统时间更新位 置位该位之前，必须确保 TMSSTU 位和 TMSSTI 位读出为'0'。 0：系统时间保持不变 1：更新系统时间，在原有系统时间上加上或者减去时间戳高和低更新寄存器的值。完成更新后，硬件将会清除该位。
2	TMSSTI	时间戳系统时间初始化位 置位该位之前，必须确保该位读出为'0'。 0：系统时间保持不变 1：初始化系统时间，将原有系统时间替换为时间戳高和低更新寄存器的值。在初始化完成后，硬件将会清除该位。
1	TMSFCU	时间戳粗调或者精调更新位 0：用粗调的方式更新系统时间戳 1：用精调的方式更新系统时间戳
0	TMSEN	时间戳使能位 0：禁止时间戳功能 1：使能接收和发送帧的时间戳功能 **注意：**每次设置该位为'1'后，都需要重新初始化系统时间。

表 32-8. 支持的 PTP 时间戳及其寄存器配置

CKNT (位 17:16)	**0X**			**10**	**11**
MNMSEN (位 15)	X(*)	1	0	X	

ETMSEN (位 14)	0	1	1	0	1	0	1
支持的时间戳消息类型	SYNC, FOLLOW_UP, DELAY_REQ, DELAY_RESP	DELAY_REQ	SYNC	SYNC, FOLLOW_UP, DELAY_REQ, DELAY_RESP	SYNC, FOLLOW_UP	SYNC, FOLLOW_UP, DELAY_REQ, DELAY_RESP, PDELAY_REQ, PDELAY_RESP	SYNC, PDELAY_REQ, PDELAY_RESP

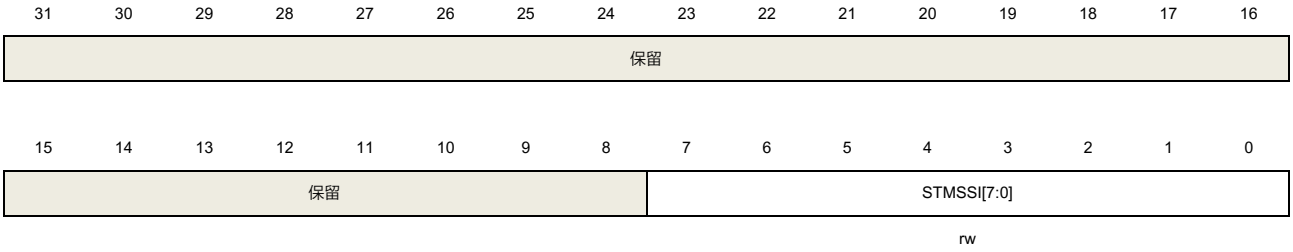
*：指无关值。

32.4.35. PTP 亚秒递增寄存器(ENET_PTP_SSINC)

地址偏移：0x0704
复位值：0x0000 0000

该寄存器用于配置亚秒递增寄存器的8位递增值。在粗调模式下，每个HCLK时钟周期，系统时间就加一次该寄存器的值。在精调模式下，在累加器溢出时，系统时间才加一次该寄存器的值。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

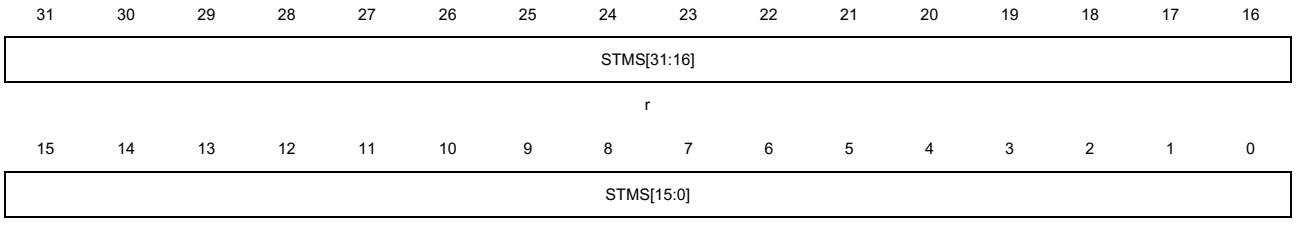


位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	STMSSI[7:0]	系统时间亚秒递增 在每次系统时间递增时，把这些位的值加到系统时间的亚秒值上。

32.4.36. PTP 时间戳高寄存器(ENET_PTP_TSH)

地址偏移：0x0708
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



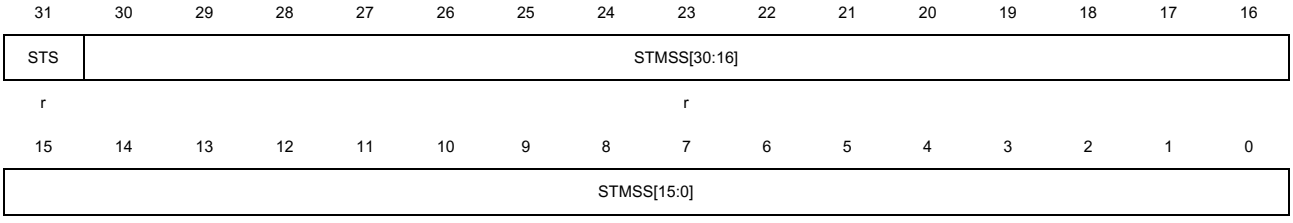
r

位/位域	名称	描述
31:0	STMS[31:0]	系统时间秒位 这些位表示了当前系统时间的秒值。

32.4.37. PTP 时间戳低寄存器(ENET_PTP_TSL)

地址偏移：0x070C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



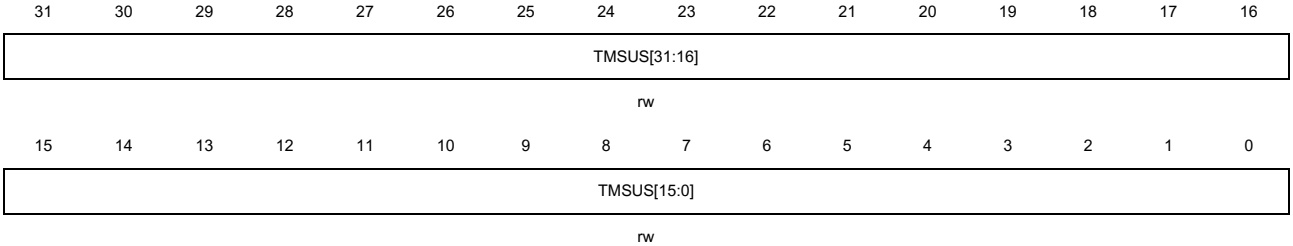
位/位域	名称	描述
31	STS	系统时间符号位 0：时间值是正的 1：时间值是负的
30:0	STMSS[30:0]	系统时间亚秒位 这些位表示了当前系统时间的亚秒值，亚秒精度为 0.46ns。

32.4.38. PTP 时间戳高更新寄存器(ENET_PTP_TSUH)

地址偏移：0x0710
复位值：0x0000 0000

使用该寄存器的值对当前系统时间替换、加或减。时间戳高和低更新寄存器可以用来初始化或更新MAC的当前系统时间。应当先写这2个寄存器，再置位时间戳控制寄存器的TMSSTI位或TMSSTU位。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:0	TMSUS[31:0]	时间戳秒更新位 这些位表示的值在初始化时用于替换系统时间，在更新时表示在系统时间上加上或减去的秒值。

32.4.39. PTP 时间戳低更新寄存器(ENET_PTP_TSUL)

地址偏移：0x0714
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMSUPNS	TMSUSS[30:16]														
rw	rw														

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMSUSS[15:0]															
rw															

位/位域	名称	描述
31	TMSUPNS	时间戳更新正或者负符号位 TMSSTI 位置'1'时，该位应当为'0'。 0：在系统时间上加上时间戳更新值 1：从系统时间中减去时间戳更新值
30:0	TMSUSS[30:0]	时间戳更新亚秒位 这些位表示的值在初始化时用于替换系统时间，在更新时表示在系统时间上加上或减去的亚秒值。

32.4.40. PTP 时间戳加数寄存器(ENET_PTP_TSADDEND)

地址偏移：0x0718
复位值：0x0000 0000

该寄存器只用于系统时间更新方式为精调模式。该寄存器的值在每个时钟周期都会累加到32位累加器上，一旦该累加器溢出就更新系统时间。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMSA[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMSA[15:0]															
rw															

位/位域	名称	描述
31:0	TMSA[31:0]	时间戳加数 这些位用于时钟同步时加到累加器上的值，以实现时间同步。

32.4.41. PTP 期望时间高寄存器(ENET_PTP_ETH)

地址偏移：0x071C
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETSH[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETSH[15:0]															
rw															

位/位域	名称	描述
31:0	ETSH[31:0]	期望时间戳高位 这些位表示了期望时间的秒值。

32.4.42. PTP 期望时间低寄存器(ENET_PTP_ETL)

地址偏移：0x0720
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETSL[31:16]															
rw															

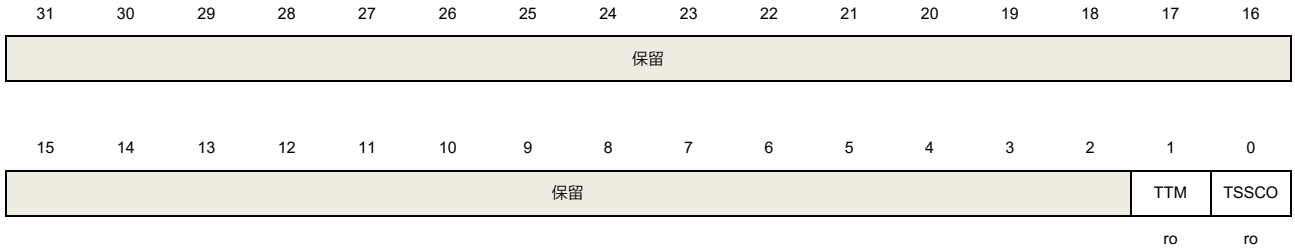
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETSL[15:0]															
rw															

位/位域	名称	描述
31:0	ETSL[31:0]	期望时间戳低位 这些位表示了期望时间的纳秒值。

32.4.43. PTP 时间戳标志寄存器(ENET_PTP_TSF)

地址偏移：0x0728
复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



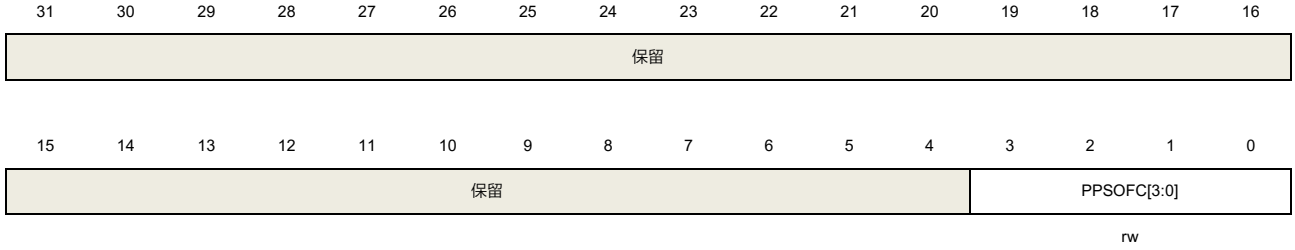
位/位域	名称	描述
31:2	保留	必须保持复位值。
1	TTM	期望时间比较位 0：系统时间小于期望时间 1：系统时间大于或等于期望时间 **注意：** 读 ENET_PTP_TSF 寄存器将清除该位。
0	TSSCO	时间戳秒计数器上溢位 0：时间戳秒计数器没有发生上溢 1：时间戳秒计数器值大于 0xFFFF FFFF

32.4.44. PTP PPS 控制寄存器(ENET_PTP_PPSCTL)

地址偏移：0x072C

复位值：0x0000 0000

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述
31:4	保留	必须保持复位值。
3:0	PPSOFC[3:0]	PPS 输出频率配置位 0x0：1Hz(脉冲宽度：二进制回转模式下为 125ms，十进制回转模式下为 100ms) 0x1：2Hz(脉冲宽度：二进制回转模式下 50%占空比) 0x2：4Hz(脉冲宽度：二进制回转模式下 50%占空比) …. 0xF：32768(2^{15})Hz(脉冲宽度：二进制回转模式下 50%占空比) **注意：** 如果选择的是十进制回转模式，则建议仅使用 PPSOFC=0。

32.4.45. DMA 总线控制寄存器(ENET_DMA_BCTL)

地址偏移：0x1000
复位值：0x0002 0101

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					MB	AA	FPBL	UIP	RXDP[5:0]						FB
					rw	rw	rw	rw	rw						rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTPR[1:0]		PGBL[5:0]						DFM	DPSL[4:0]					DAB	SWR
rw		rw						rw	rw					rw	rs

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	MB	混合传输位 0：AHB 主接口仅传输小于或等于 16 固定长度的传输 1：AHB 主接口将以 INCR 传输大于 16 长度的传输 **注意：** MB 和 FB 位应当且必须只有其中一位为'1'。
25	AA	地址对齐 0：关闭传输地址对齐功能 1：使能传输地址对齐，如果 FB 位为'1'，AHB 接口对齐所有连续传输至起始地址的 LS 位(位 1 到位 0)。如果 FB 位为'0'，除第一次 AHB 访问的地址(访问数据缓存的起始地址)不对齐，后续的传输与地址均对齐。
24	FPBL	4×PGBL 模式 0：PGBL 值(位[22:17]和位[13:8])作为 DMA 传输长度值 1：PGBL 值(位[22:17]和位[13:8])乘以 4 作为 DMA 传输长度值
23	UIP	使用分散 PGBL 0：PGBL 值(位[13:8])对 DMA 接收和发送控制器都有效 1：RXDP[5:0]位用于 RxDMA 的传输长度值，PGBL[5:0]位用于 TxDMA 的传输长度值。
22:17	RXDP[5:0]	RxDMA PGBL 位 如果 UIP=0，则这些位无效。仅当 UIP=1 时，这些位定义了一次 DMA 转发的最大数据传输次数。 0x01：最大数据传输次数为 1 0x02：最大数据传输次数为 2 0x04：最大数据传输次数为 4 0x08：最大数据传输次数为 8 0x10：最大数据传输次数为 16 0x20：最大数据传输次数为 32 其他：保留。

16	FB	固定传输位 0：AHB 在连续传输时，只用 SINGLE 和 INCR 数据传输操作。 1：AHB 在连续传输时，用 SINGLE，INCR4，INCR8 和 INCR16 数据传输操作。 **注意：** MB 和 FB 位应当且必须只有其中一位为'1'。
15:14	RTPR[1:0]	接收发送优先级比率 这些位表示 RxDMA 和 TxDMA 之间的访问优先级比率。 0x0：RxDMA：TxDMA = 1：1 0x1：RxDMA：TxDMA = 2：1 0x2：RxDMA：TxDMA = 3：1 0x3：RxDMA：TxDMA = 4：1 **注意：** 该位只在 DMA 仲裁模式为循环模式(DAB=0)时有效。
13:8	PGBL[5:0]	可编程的数据传输长度位 这些位定义了一次 DMA 转发的最大数据传输次数。如果 UIP=1，则这些位仅用于 TxDMA 传输。如果 UIP=0 时，则这些位同时用于 TxDMA 和 RxDMA 传输。 0x01：最大数据传输次数为 1 0x02：最大数据传输次数为 2 0x04：最大数据传输次数为 4 0x08：最大数据传输次数为 8 0x10：最大数据传输次数为 16 0x20：最大数据传输次数为 32 其他：保留。
7	DFM	描述符模式 0：常规描述符模式 1：增强描述符模式
6:2	DPSL[4:0]	描述符跳跃长度 这些位仅对于环模式的两个描述符有效，定义了两个无链接的描述符之间从当前描述符的结尾到下一个描述符开头的地址差值，单位为字(32 位)。若 DPSL 域为 0 则 DMA 认为描述符是相邻地连续排列的。
1	DAB	DMA 仲裁位 该位指示了 TxDMA 和 RxDMA 之间的仲裁模式。 0：根据 RTPR 位的值以循环方式仲裁 1：固定模式，接收的优先级高于发送
0	SWR	软件复位 在所有时钟域的复位操作完成之后，该位将由硬件清零。 **注意：** 在写任何 MAC 的寄存器前，应当确保该位为'0'。 0：MAC 内部寄存器正常工作 1：复位 MAC 所有内核寄存器

32.4.46. DMA 发送查询使能寄存器(ENET_DMA_TPEN)

地址偏移：0x1004

复位值：0x0000 0000

该寄存器用于TxDMA对发送描述符列表的查询。TxDMA通常因为发送帧的数据下溢错误或者描述符被CPU占有(DAV=0)而进入暂停状态。可以对该寄存器写任意值使能发送查询。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPE[31:16]															
rw_wt															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPE[15:0]															
rw_wt															

位/位域	名称	描述
31:0	TPE[31:0]	发送查询使能位 对这些位写任意值，DMA 使能发送查询，将查询当前描述符(描述符地址在ENET_DMA_CTDADDR 寄存器中)是否被 CPU 占有。如果不是(DAV=1)，则描述符可用，DMA 退出暂停状态并恢复工作。如果是(DAV=0)，则 TxDMA 回到暂停状态，并把 ENET_DMA_STAT 的位 TBU 置'1'。

32.4.47. DMA 接收查询使能寄存器(ENET_DMA_RPEN)

地址偏移：0x1008
复位值：0x0000 0000

该寄存器用于RxDMA对接收描述符列表的查询。对该寄存器写任意值可以使能接收查询。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RPE[31:16]															
rw_wt															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPE[15:0]															
rw_wt															

位/位域	名称	描述
31:0	RPE[31:0]	接收查询使能位 对这些位写任意值，DMA 使能接收查询，将查询当前描述符(描述符地址在ENET_DMA_CRDADDR 寄存器中)是否被 CPU 占有。如果不是(DAV=1)，则描述符可用，DMA 退出暂停状态并恢复工作。如果是(DAV=0)，则 TxDMA 回到暂停状态，并把 ENET_DMA_STAT 的位 RBU 置'1'。

32.4.48. DMA 接收描述符列表地址寄存器(ENET_DMA_RDTADDR)

地址偏移：0x100C
复位值：0x0000 0000

接收描述符列表寄存器指向接收描述符队列的开始。描述符队列位于物理内存，并且其地址必须字对齐。只有在接收停止的时候，才允许写该寄存器。在开启RxDMA接收流程之前，必须正确配置该寄存器。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SRT[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRT[15:0]															
rw															

位/位域	名称	描述
31:0	SRT[31:0]	接收队列基址 这些位包含了接收描述符队列第一个描述符的地址。SRT[1:0]的取值默认为'0'， 因此 SRT[1:0]这两个最低位是只读的。

32.4.49. DMA 发送描述符列表地址寄存器(ENET_DMA_TDTADDR)

地址偏移：0x1010
复位值：0x0000 0000

该寄存器指向发送描述符队列的起始。描述符队列位于物理内存，并且其地址必须字对齐。只有在发送停止的时候，才允许写该寄存器。在开启TxDMA发送流程之前，必须正确配置该寄存器。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STT[31:16]															
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STT[15:0]															
rw															

位/位域	名称	描述
31:0	STT[31:0]	发送队列基址 这些位包含了发送描述符列表第一个描述符的地址。STT[1:0]的取值默认为'0'，因此 STT[1:0]这两个最低位是只读的。

32.4.50. DMA 状态寄存器(ENET_DMA_STAT)

地址偏移：0x1014
复位值：0x0000 0000

该寄存器表示DMA的状态位。读ENET_DMA_STAT寄存器并不能清除其中的标志位。对寄存器位[16:0](除保留位)需要写'1'才能清除，而写'0'是无效的。通过设置ENET_DMA_INTEN寄存器里的相应位，可以屏蔽位[16:0]触发的中断。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		TST	WUM	MSC	保留	EB[2:0]			TP[2:0]			RP[2:0]			NI
		r	r	r		r			r			r			rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AI	ER	FBE	保留		ET	RWT	RPS	RBU	RS	TU	RO	TJT	TBU	TPS	TS
rc_w1	rc_w1	rc_w1			rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31:30	保留	必须保持复位值。
29	TST	时间戳触发状态 该位指示发生了一个时间戳中断事件。通过清除 TMST 标志，可以清零该位。当该位置'1'时，如果相应中断屏蔽位复位，则产生中断。 0：未发生时间戳中断事件 1：发生了时间戳中断事件
28	WUM	WUM 状态 该位指示发生了一个 WUM 事件。当两个事件触发源状态都被清除时，可以清零该位。当该位置'1'时，如果相应中断屏蔽位复位，则产生中断。 0：WUM 模块未发生中断事件 1：WUM 模块发生了中断事件
27	MSC	MSC 状态 该位指示发生了一个 MSC 事件。当所有事件触发源状态都被清除时，可以清零该位。当该位置'1'时，如果相应中断屏蔽位复位，则产生中断。 0：MSC 模块未发生中断事件 1：MSC 模块发生了中断事件
26	保留	必须保持复位值。
25:23	EB[2:0]	错误位状态 当 FBE=1 时，这些位将对 AHB 总线上的总线响应错误进行错误类型解析。 EB[0] 1：TxDMA 传输数据时出错 0：RxDMA 传输数据时出错 EB[1] 1：读数据转发时出错

		0：写数据转发时出错 EB[2] 1：访问描述符时出错 0：访问数据缓存时出错
22:20	TP[2:0]	发送流程状态 这些位表示 TxDMA 的状态。 0x0：停止，接到复位或者停止发送命令。 0x1：运行，正在取发送描述符。 0x2：运行，正在等待状态信息。 0x3：运行，正在读取内存中数据并存入 TxFIFO 中。 0x4，0x5：保留。 0x6：暂停，发送描述符不可用或发送缓存数据下溢。 0x7：运行，正在关闭发送描述符。
19:17	RP[2:0]	接收流程状态 这些位表示 RxDMA 的状态。 0x0：停止，接到复位或者停止接收命令。 0x1：运行，正在取接收描述符。 0x2：保留。 0x3：运行，正在等待接收数据包。 0x4：暂停，接收描述符不可用。 0x5：运行，正在关闭接收描述符。 0x6：保留。 0x7：运行，正在把接收到数据包从 RxFIFO 转发到内存中。
16	NI	正常中断汇总 该位是下列位在相应中断使能位(ENET_DMA_INTEN 寄存器)使能了的情况下，其各取值的逻辑或： TS：发送中断 TBU：发送缓存不可用 RS：接收中断 ER：提前接收中断 **注意：**该位置'1'后，只有把造成该位置'1'的位清'0'(写'1')，才能把该位清'0'。
15	AI	异常中断汇总 该位是下列位在相应中断使能位(ENET_DMA_INTEN 寄存器)使能了的情况下，其各取值的逻辑或： TPS：发送流程停止 TJT：发送 Jabber 超时 RO：RxFIFO 上溢 TU：发送数据下溢 RBU：接收缓存不可用 RPS：接收流程停止 RWT：接收看门狗超时 ET：提前发送中断

		FBE：总线致命错误 **注意：**该位置'1'后，只有把造成该位置'1'的位清'0'(写'1')，才能把该位清'0'。
14	ER	提前接收状态 在接收中断位 RS 置'1'时，该位自动清'0'。 0：未接收到帧数据 1：接收到的数据帧已由 DMA 填满了第一个缓存
13	FBE	总线致命错误状态 该位指示发生了一个 AHB 接口响应错误，其错误类型可以由 EB[2:0]位进行解释。 0：未发生总线错误 1：发生了总线错误，相应的 DMA 控制器停止所有操作。
12:11	保留	必须保持复位值。
10	ET	提前发送状态 0：发送的帧还未完全传输到 TxFIFO 中 1：发送的帧已经完全传输到 TxFIFO 中
9	RWT	接收看门狗超时状态 0：接收到的帧长度小于 2048 字节 1：接收到的帧长度超过 2048 字节
8	RPS	接收流程停止状态 0：接收流程未停止 1：接收流程进入停止状态
7	RBU	接收缓存不可用状态 0：下一个接收描述符的 DAV 位为'1' 1：下一个接收描述符的 DAV 位为'0'，RxDMA 进入暂停状态。
6	RS	接收状态 0：帧接收未完成 1：帧接收完成
5	TU	发送数据下溢状态 0：未发生发送数据下溢错误 1：发送帧的过程中发生数据下溢，同时发送进入暂停状态。
4	RO	接收上溢状态 0：未发生接收数据上溢错误 1：接收帧的过程中发生上溢错误。如果已有一部分帧数据转发到内存，则设置接收描述符 0 的上溢错误位 OERR 为'1'。
3	TJT	发送 Jabber 超时状态 0：未发生发送 Jabber 定时器超时事件 1：发送 Jabber 定时器超时。此时中止发送进程并进入停止状态，同时设置发送描述符 0 的 Jabber 超时位 JT 为'1'。
2	TBU	发送缓存不可用状态

0：下一个发送描述符的 DAV 位为'1'
1：下一个发送描述符的 DAV 位为'0'，TxDMA 进入暂停状态。

1	TPS	发送流程停止状态 0：发送未停止 1：发送停止
0	TS	发送状态 该位仅在发送描述符 0 中 LSG 和 INTC 位都置位时，才可被置位。 0：当前帧发送未完成 1：当前帧发送完成

32.4.51. DMA 控制寄存器(ENET_DMA_CTL)

地址偏移：0x1018
复位值：0x0000 0000

该寄存器设定了接收和发送的工作模式和命令。在整个DMA的初始化流程中，应当最后写该寄存器。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					DTCERFD	RSFD	DAFRF	保留		TSFD	FTF	保留			TTHC[2]
					rw	rw	rw			rw	rs				rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTHC[1:0]		STE	保留					FERF	FUF	保留	RTHC[1:0]		OSF	SRE	保留
rw		rw						rw	rw		rw		rw	rw	

位/位域	名称	描述
31:27	保留	必须保持复位值。
26	DTCERFD	不丢弃 TCP/IP 校验和错误帧 0：当 FERF 位为'0'，MAC 丢弃所有有错的帧。 1：当 FERF 位为'1'，接收到帧仅有校验和错误时，MAC 不会丢弃该帧。
25	RSFD	接收存储转发 0：RxFIFO 工作在直通模式，转发阈值由 RTHC 位决定。 1：RxFIFO 工作在存储转发模式，只有在帧完整写入 RxFIFO 后，RxDMA 才会把它转发给应用程序，此时 RTHC 位的取值会被忽略。
24	DAFRF	不清空接收帧 0：当接收描述符不可用时，RxDMA 就清空 RxFIFO 里的接收帧。 1：RxDMA 不清空接收帧，即使接收描述符不可用。
23:22	保留	必须保持复位值。
21	TSFD	发送存储转发 0：TxFIFO 工作在直通模式，发送阈值由 ENET_DMA_CTL 寄存器中的 TTHC 位决

		定。 1：TxFIFO 工作在存储转发模式，只有在帧完整写入 TxFIFO 后，MAC 才会把其发送出去，TTHC 位的取值会被忽略。 **注意：**在发送处于停止状态时，可以修改该位。
20	FTF	清空 TxFIFO 当此位为 1 时，TxFIFO 控制逻辑电路被复位到初始状态，TxFIFO 里所有的数据被清空/丢失。在清空操作完成后该位被自动清'0'。 **注意：**在该位为'0'之前，不允许写 ENET_DMA_CTL 寄存器。
19:17	保留	必须保持复位值。
16:14	TTHC[2:0]	发送阈值控制 这三位控制直通模式下 TxFIFO 的阈值。 当 TSFD=1 时，忽略这些位。 0x0：64 0x1：128 0x2：192 0x3：256 0x4：40 0x5：32 0x6：24 0x7：16
13	STE	开始/停止发送 0：在发送完当前帧或 TxDMA 进入暂停状态后，发送进程进入停止模式。保存发送描述符队列里下一发送描述符的位置，在传输重新开始时，这个描述符就变成当前描述符。 1：TxDMA 进入运行状态。DMA 获取当前发送描述符，发送帧描述符可从 ENET_DMA_TDTADDR 基址获取，若上一次发送为停止状态，则也可从发送描述符队列的指针位置获取。如果当前描述符的 DAV 位为'0'，则 TxDMA 进入暂停状态，并设置 TBU 位为'1'。如果在未设置完其他 DMA 寄存器的情况下就置位该位，则会引起不可预料的后果。
12:8	保留	必须保持复位值。
7	FERF	转发错误帧 0：当 RxFIFO 工作于直通模式(RSFD=0)时，如果在将 RxFIFO 数据转发到内存之前检测到了帧错误(CRC 错误、冲突错误、校验和错误、看门狗超时、溢出)，则 RxFIFO 会丢弃这个错误的帧。但如果在将 RxFIFO 数据转发到内存之后才检测到了帧错误，则就不会丢弃该帧。当 RxFIFO 工作于存储转发模式时，在接收过程中一旦检测到帧错误，就会丢弃该帧。 1：除了过短帧外的所有帧都会转发给 DMA
6	FUF	转发长度不够的"好"帧 0：RxFIFO 丢弃所有长度小于 64 字节的帧，但如果在检测到过短帧之前，帧已开始转发该帧给应用程序(例如在直通模式下，帧长小于接收阈值)，则将转发整个帧。

		1：RxFIFO 把长度不够的"好"帧(帧长小于 64 字节但没有错误)转发给应用程序
5	保留	必须保持复位值。
4:3	RTHC[1:0]	接收阈值控制 这两位设置了在直通模式下 RxFIFO 的阈值。 **注意：**只有在 RSFD 位(位 21)为'0'时，这些位才有效。在 RSFD 位为'1'时忽略这些位。 0x0：64 0x1：32 0x2：96 0x3：128
2	OSF	操作第二帧 0：TxDMA 仅在接收到前一个帧的发送状态信息后，才开始发送下一个帧的数据。 1：TxDMA 在前一帧数据全部存入到 TxFIFO 之后，在接收到前一个帧的发送状态信息前，就开始发送下一个帧的数据。
1	SRE	开始/停止接收 0：在转发完当前接收帧后，RxDMA 进入停止模式。保存接收描述符队列里下一接收描述符的位置，在传输重新开始时，这个描述符就变成当前描述符。只有在接收运行时或接收暂停时，可"停止接收"。 1：把接收进程置为运行状态，DMA 检查接收描述符队列的当前位置，用来处理下一个收到的帧。接收帧描述符可从 ENET_DMA_RDTADDR 基址获取，若上一次接收为停止状态，则也可从接收描述符队列的指针位置获取。如果获取的描述符 DAV=0，那么接收进程进入暂停状态，并设置 RBU 位为'1'。只有在接收停止时或接收暂停时，"开始接收"命令才有效。在未设置完所有其他 DMA 寄存器之前发出"开始接收"命令，会引起不可预料的后果。
0	保留	必须保持复位值。

32.4.52. DMA 中断使能寄存器(ENET_DMA_INTEN)

地址偏移：0x101C
复位值：0x0000 0000

该寄存器可以使能ENET_DMA_STAT寄存器反映的中断。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															NIE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIE	ERIE	FBEIE	保留		ETIE	RWTIE	RPSIE	RBUIE	RIEN	TUIE	ROIE	TJTIE	TBUIE	TPSIE	TIE
rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述

31:17	保留	必须保持复位值。
16	NIE	正常中断汇总使能 0：屏蔽正常中断 1：使能正常中断 该位使能下列位： TS：发送中断 TBU：发送缓存不可用 RS：接收中断 ER：提前接收中断
15	AIE	异常中断汇总使能 0：屏蔽异常中断 1：使能异常中断 该位使能下列位： TPS：发送流程停止 TJT：发送 Jabber 超时 RO：RxFIFO 上溢 TU：发送下溢 RBU：接收缓存不可用 RPS：接收流程停止 RWT：接收看门狗超时 ET：提前发送中断 FBE：总线致命错误
14	ERIE	提前接收中断使能 0：屏蔽提前接收中断 1：使能早接收中断
13	FBEIE	总线致命错误中断使能 0：屏蔽总线致命错误中断 1：使能总线致命错误中断
12:11	保留	必须保持复位值。
10	ETIE	提前发送中断使能 0：屏蔽提前发送中断 1：使能提前发送中断
9	RWTIE	接收看门狗超时中断使能 0：屏蔽接收看门狗超时中断 1：使能接收看门狗超时中断
8	RPSIE	接收流程停止中断使能 0：屏蔽接收流程停止中断 1：使能接收流程停止中断
7	RBUIE	接收缓存不可用中断使能 0：屏蔽接收缓存不可用中断

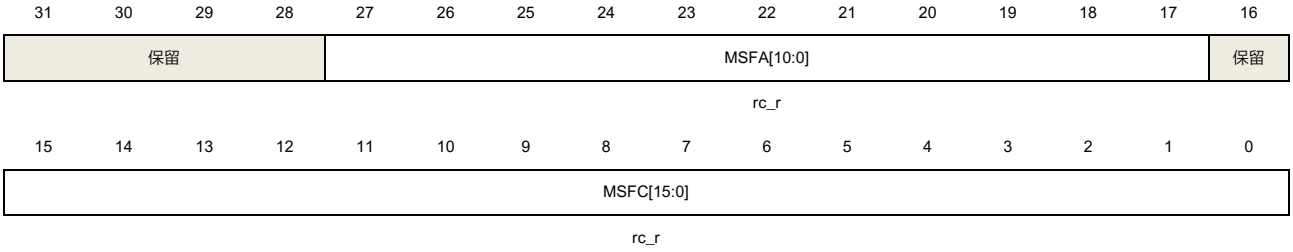
		1：使能接收缓存不可用中断
6	RIE	接收中断使能 0：屏蔽接收中断 1：使能接收中断
5	TUIE	发送下溢中断使能 0：屏蔽发送数据下溢中断 1：使能发送下溢中断
4	ROIE	接收上溢中断使能 0：屏蔽接收上溢中断 1：使能接收上溢中断
3	TJTIE	发送 Jabber 超时中断使能 0：屏蔽发送 Jabber 超时中断 1：使能发送 Jabber 超时中断
2	TBUIE	发送缓存不可用中断使能 0：屏蔽发送缓存不可用中断 1：使能发送缓存不可用中断
1	TPSIE	发送流程停止中断使能 0：屏蔽发送流程停止中断 1：使能发送流程停止中断
0	TIE	发送中断使能 0：屏蔽发送中断 1：使能发送中断

32.4.53. DMA 丢失帧和缓存溢出计数器寄存器(ENET_DMA_MFBOCNT)

地址偏移：0x1020
复位值：0x0000 0000

DMA有2个计数器，用来统计接收过程中丢失帧的数目。可通过读本寄存器来获取计数器的当前值。这个计数器通常用作故障诊断。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



位/位域	名称	描述

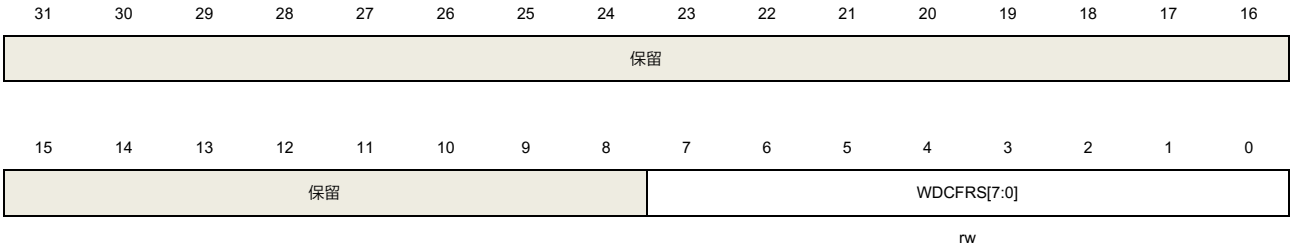
31:28	保留	必须保持复位值。
27:17	MSFA[10:0]	应用程序丢失的帧 这些位指示了 RxFIFO 丢失的帧数目。
16	保留	必须保持复位值。
15:0	MSFC[15:0]	控制器丢失的帧 这些位表示了由于 MCU 的接收缓存不可用而导致 RxDMA 丢失的帧的数目。每当 DMA 清空一个输入帧时，这个计数器加 1。

32.4.54. DMA 接收状态看门狗计数器寄存器(ENET_DMA_RSWDC)

地址偏移：0x1024
复位值：0x0000 0000

向该寄存器写入一个值，可在延时一段可配置的时间之后，使能针对RS位(ENET_DMA_STAT寄存器)的看门狗定时器。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



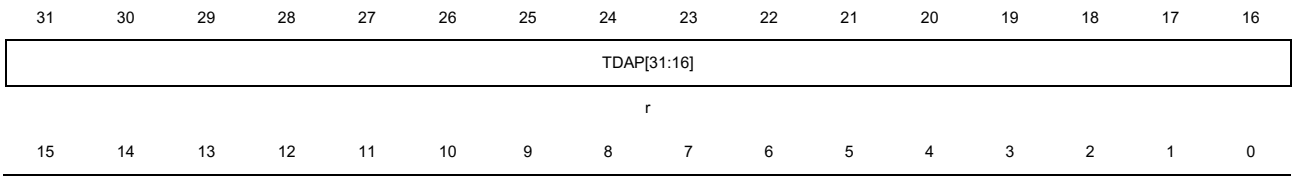
位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	WDCFRS[7:0]	接收状态看门狗计数器 这些位仅在接收描述符 1 的 DINTC 位置位时有效。当 DINTC=1 时，并接收到一个帧，则 RS 位会在接收完毕后延时 WDCFRS*256 个 HCLK 时钟周期再置位。

32.4.55. DMA 当前发送描述符地址寄存器(ENET_DMA_CTDADDR)

地址偏移：0x1048
复位值：0x0000 0000

当前发送描述符寄存器指向TxDMA正在读取的发送描述符起始地址。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。



TDAP[15:0]

r

位/位域	名称	描述
31:0	TDAP[31:0]	发送描述符地址指针 这些位在复位时清'0'，由 TxDMA 在操作过程中自动更新。

32.4.56. DMA 当前接收描述符地址寄存器(ENET_DMA_CRDADDR)

地址偏移：0x104C
复位值：0x0000 0000

当前接收描述符寄存器指向RxDMA正在读取的接收描述符起始地址。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDAP[31:16]															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDAP[15:0]															
r															

位/位域	名称	描述
31:0	RDAP[31:0]	接收描述符地址指针 这些位在复位时清'0'，由 RxDMA 在操作过程中自动更新。

32.4.57. DMA 当前发送缓存地址寄存器(ENET_DMA_CTBADDR)

地址偏移：0x1050
复位值：0x0000 0000

该寄存器指向TxDMA正在读取的发送缓存的地址。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TBAP[31:16]															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBAP[15:0]															
r															

位/位域	名称	描述
31:0	TBAP[31:0]	发送缓存地址指针 这些位在复位时清'0'，由 TxDMA 在工作过程中更新。

32.4.58. DMA 当前接收缓存地址寄存器(ENET_DMA_CRBADDR)

地址偏移：0x1054

复位值：0x0000 0000

该寄存器地址指向RxDMA正在读取的接收缓存地址。

该寄存器可以按字节(8位)、半字(16位)或字(32位)访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RBAP[31:16]															
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBAP[15:0]															
r															

位/位域	名称	描述
31:0	RBAP[31:0]	接收缓存地址指针 这些位在复位时清'0'，由 RxDMA 在工作过程中更新。

33. 通用串行总线全速接口(USBFS)

33.1. 概述

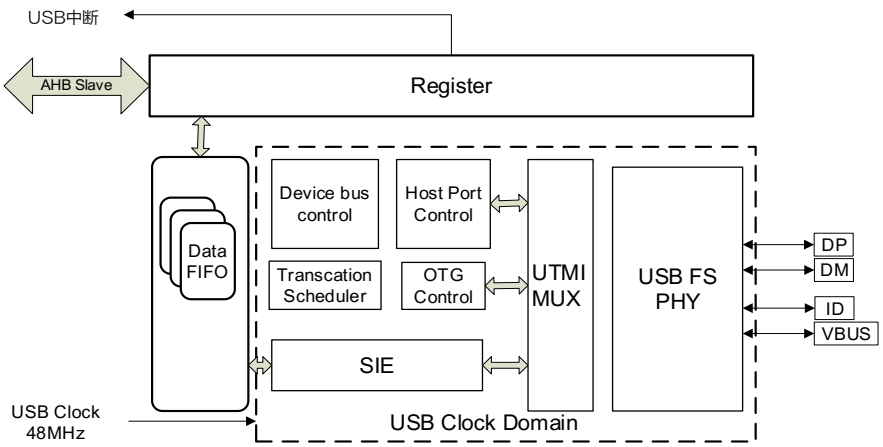
USB全速(USBFS)控制器为便携式设备提供了一套USB互联解决方案。USBFS不仅支持主机模式和设备模式，也支持遵循HNP(主机协商协议)和SRP(会话请求协议)的OTG模式。USBFS包含了一个内部的全速USB PHY，并且不再需要外部PHY芯片。USBFS可以支持USB 2.0协议所定义的所有四种传输方式(控制传输、批量传输、中断传输和同步传输)。

33.2. 主要特性

- 支持USB 2.0全速(12Mb/s)/低速(1.5Mb/s)主机模式；
- 支持USB 2.0全速(12Mb/s)设备模式；
- 支持遵循HNP(主机协商协议)和SRP(会话请求协议)的OTG协议；
- 支持所有的4种传输方式：控制传输、批量传输、中断传输和同步传输；
- 在主机模式下，包含USB事务调度器，用于有效地处理USB事务请求；
- 包含一个1.25KB的FIFO RAM；
- 在主机模式下，支持8个通道；
- 在主机模式下，包含2个发送FIFO(周期性发送FIFO和非周期性发送FIFO)和1个接收FIFO(由所有的通道共享)；
- 在设备模式下，包含4个发送FIFO(每个IN端点一个发送FIFO)和1个接收FIFO(由所有的OUT端点共享)；
- 在设备模式下，支持4个OUT端点和4个IN端点；
- 在设备模式下，支持远程唤醒功能；
- 包含一个支持USB协议的全速USB PHY；
- 在主机模式下，SOF的时间间隔可动态调节；
- 可将SOF脉冲输出到PAD；
- 可检测ID引脚电平和VBUS电压；
- 在主机模式或者OTG A设备模式下，需要外部部件为连接的USB设备提供电源。

33.3. 结构框图

图 33-1. USBFS 结构框图



33.4. 信号线描述

表 33-1. USBFS 信号线描述

I/O 端口	类型	描述
VBUS	输入	总线电源端口
DM	输入/输出	差分信号 D-端口
DP	输入/输出	差分信号 D+端口
ID	输入	USB 识别：微连接器识别接口

33.5. 功能描述

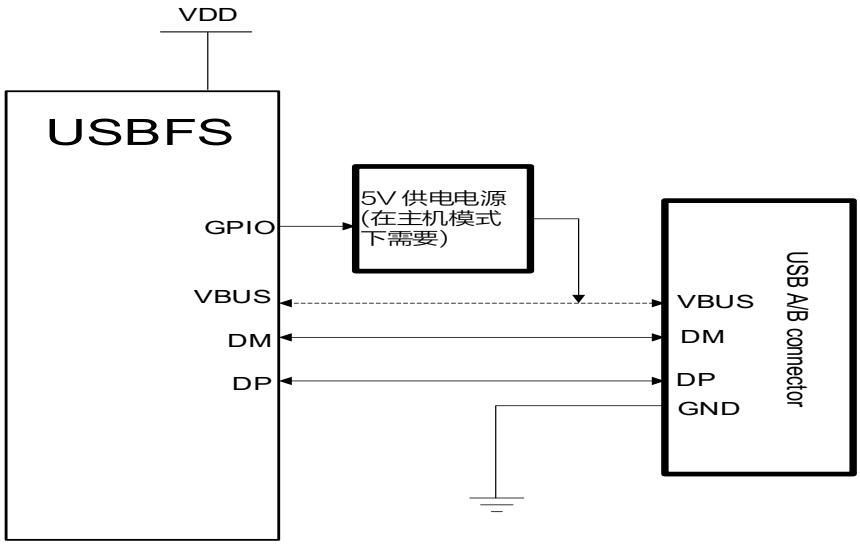
33.5.1. USBFS 时钟及工作模式

USBFS可以作为一个主机、一个设备或者一个DRD(双角色设备),并且包含一个内部全速PHY。USBFS可支持的最大速率为全速。

内部PHY支持全速和低速的主机模式、全速的设备模式以及具备HNP和SRP的OTG模式。USBFS所使用的USB时钟需要配置为48MHz。该48MHz USB时钟从系统内部时钟产生，并且其时钟源和分频器需要在RCU模块中配置。

上拉或下拉电阻已经集成在内部全速PHY的内部，并且USBFS可根据当前模式(主机、设备或OTG模式)和连接状态进行自动控制。一个利用内部全速PHY的典型连接示意图如*图33-2. 在主机或设备模式下连接示意图*所示。

图 33-2. 在主机或设备模式下连接示意图



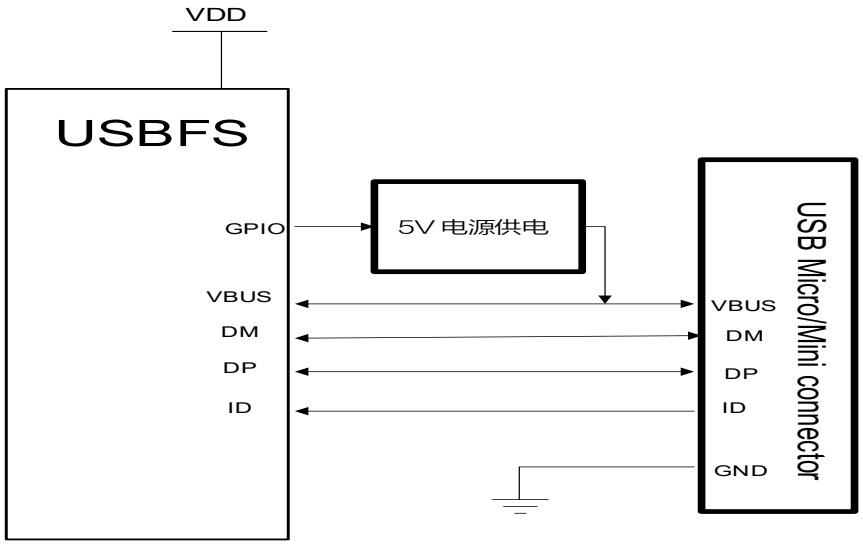
当USBFS工作在主机模式下时(FHM控制位置位、FDM控制位清除)，VBUS为USB协议所定义的5V电源检测引脚。内部PHY不能提供5V VBUS电源，仅在VBUS信号线上具有电压比较器和充电、放电电路。所以，如果应用需要提供VBUS电源，那么则需要一个外部的供电电源IC。在主机模式下，USBFS和USB连接头之间的VUBS连接可以被忽略，这是由于USBFS并不检测VBUS引脚的电平状态，并假定5V供电电源一直存在。

当USBFS工作在设备模式下时(FHM控制位清除、FDM控制位置位)，VBUS检测电路连接到一个特定的GPIO。USBFS持续监测该GPIO的VBUS电压，一旦VBUS的电压高于所需有效值，DP信号线上的上拉电阻将被立即打开，这样即会产生一个USB连接状态。而一旦VBUS电压降至所需有效值以下，DP信号线上的上拉电阻将会立即关闭，从而产生一个断开状态。

OTG 模式连接示意图如*图 33-3. OTG 模式下连接示意图*所示。当 USBFS 工作在 OTG 模式下时，USBFS_GUSBCS 寄存器内的 FHM、FDM 控制位和 USBFS_GCCFG 寄存器的 VBUSIG 位都应该被清除。在这种模式下，USBFS 需要以下四个引脚：DM、DP、VBUS 和 ID，并且需要使用若干个电压比较器检测这些引脚的电压。 USBFS 也包含 VBUS 充电和放电电路，用以完成 OTG 协议中所描述的 SRP 请求。OTG A 设备或 B 设备由 ID 引脚的电平状态所决

定。在实现 HNP 协议的过程中，USBFS 控制上拉和下拉电阻。

图 33-3. OTG 模式下连接示意图

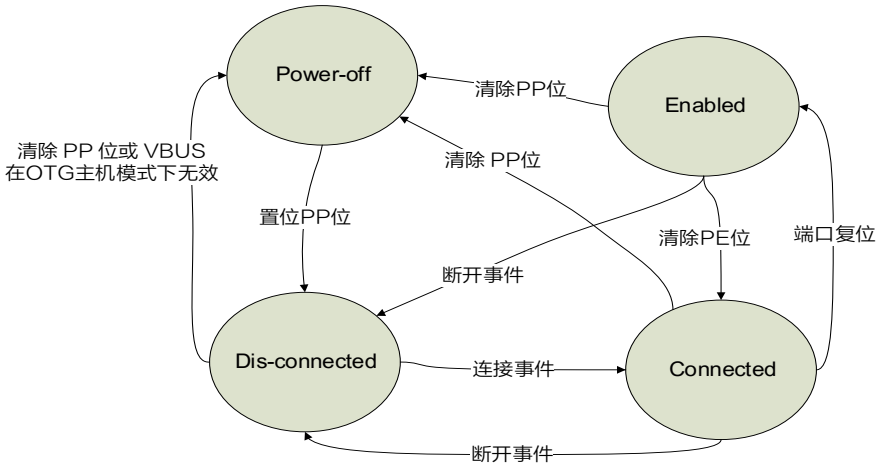


33.5.2. USB 主机功能

USB主机端口状态

主机应用可以通过USBFS_HPCS寄存器控制USB端口状态。系统初始化之后，USB端口保持掉电状态。通过软件置位PP控制位后，内部USB PHY将被上电，并且USB端口变为断开状态。检测到连接后，USB端口变为连接状态。在USB总线上产生一个复位后，USB端口将变为使能状态。

图 33-4. 主机端口状态转移图



连接、复位和速度识别

作为USB主机，在检测到一个连接事件后，USBFS会为应用触发一个连接标志；同样，若检测到一个断开事件后，将会触发一个断开标志。

PRST控制位用于实现USB复位序列。应用可以置位该控制位以启动一个USB复位序列，或者清除该控制位以结束USB复位序列。仅当端口在连接或使能状态时，该控制位有效。

USBFS在对设备连接和复位时执行速度检测，并且速度检测的结果会反馈在USBFS_HPCS寄存器的PS位域中。USBFS以DM或DP的电平状态确定设备速度，如USB协议所描述，全速设备上拉DP信号线，而低速设备上拉DM信号线。

挂起和复位

USBFS支持挂起和复位状态，当USBFS端口在使能状态时，向USBFS_HPCS寄存器的PSP控制位写1，USBFS会进入到挂起状态。在挂起状态下，USBFS停止在USB总线上发送SOF，并且这样会让所连接的USB设备在3ms后进入挂起状态。应用程序能够置位USBFS_HPCS寄存器中的PREM控制位以启动一个恢复序列，从而唤醒挂起的设备，当清除该控制位时，则可以停止恢复序列。如果主机在挂起状态下检测到一个远程唤醒信号，将会置位USBFS_GINTF寄存器的WKUPIF标志位，并且触发USBFS唤醒中断。

SOF产生器

在主机模式下，USBFS向USB总线发送SOF令牌包。如USB 2.0协议所描述，全速连接下，每毫秒产生一次SOF令牌包(由主机控制器或者HUB事务转换器产生)。

每当USBFS进入到使能状态后，它将会按照USB2.0所定义的周期发送SOF令牌包。然而，应用程序可以通过写USBFS_HFT寄存器中的FRI位来调整一帧的间隔。FRI位定义了在一帧中的USB时钟周期个数，并且应用程序应该基于USBFS所使用的USB时钟频率计算该值。FRT位显示当前帧剩余的时钟周期个数，并且在挂起状态时，该值将停止改变。

USBFS能够在每个SOF令牌包中产生一个脉冲信号，并且将其输出至一个引脚。该脉冲信号长度为12个HCLK周期。如果应用程序希望使用该功能，需要置位USBFS_GCCFG寄存器的SOFOEN控制位，并且配置相应的引脚寄存器为GPIO功能。

USB通道和事务

USBFS在主机模式下包含8个独立的通道。每个通道能够与一个USB设备端点通信。通道的传输类型、方向、数据包长和其他信息都在通道相应的寄存器中配置，例如USBFS_HCHxCTL和USBFS_HCHxLEN寄存器。

USBFS支持所有的四种传输类型：控制、批量、中断和同步。USB 2.0协议将这些传输类型划分为两类：非周期性传输(控制和批量)和周期性传输(中断和同步)。基于此，为了有效地进行事务调度，USBFS包含两种请求队列：周期性请求队列和非周期性请求队列。在上述请求队列中的请求条目可能代表一个USB事务请求或者一个通道操作请求。

如果应用程序想要在USB总线上启动一个OUT事务，需要通过AHB寄存器接口向数据FIFO中写入数据包。USBFS硬件会在整包数据写完后，自动产生一个事务请求并进入请求队列。

请求队列中的请求条目通过事务控制模块按顺序处理。USBFS通常首先尝试处理周期性请求队列，然后处理非周期性请求队列。

帧起始后，USBFS首先开始处理周期性队列，直到队列为空抑或当前周期性请求队列所需时间不够，然后处理非周期性队列。这种做法保证了一帧中周期性传输的带宽。每次USBFS从请求队列中读取并取出一个请求条目。如果取出的是通道禁用请求，这将直接禁用通道并准备处理下个条目。

如果当前请求是一个事务请求并且USB总线时间能够处理这个请求，USBFS会使用SIE在USB总线上产生该事务。

在当前帧内，当前请求所需的总线时间不足时，如果当前请求为周期性请求，USBFS停止处理该周期性请求队列，并启动处理非周期性请求。如果当前请求为非周期性请求，USBFS会停止处理任何队列，并等待直到当前帧结束。

33.5.3. USB 设备功能

USB设备连接

在设备模式下，USBFS在初始化后保持掉电状态。利用VBUS引脚上的5V电源连接USB主机后，USBFS将进入供电状态。USBFS首先打开DP信号线上的上拉电阻，之后主机将会检测到一个连接事件。

注意：为了检测有效的电压值，VBUS脚必须连接到PA9。

复位和速度识别

USB主机在检测到设备连接之后，总是会启动一个USB复位序列，并且在设备模式下，检测到USB总线复位事件后，USBFS会为软件触发一个复位中断。

在复位序列后，USBFS将会触发USBFS_GINTF寄存器中的ENUMF中断，并且利用USBFS_DSTAT寄存器内的ES标志位指示当前枚举设备速度，该位总是为0b '11'(全速)。

如USB 2.0协议所描述，USBFS在外设模式下不支持低速。

挂起和唤醒

USB总线保持IDLE状态并且数据线3毫秒无变化，USB设备将会进入挂起状态。当USB设备在挂起状态时，软件能够关闭大部分的时钟以节省电能。USB主机可以通过在USB总线上产生恢复信号，来唤醒挂起的设备。USBFS检测到恢复信号后，将置位USBFS_GINTF寄存器的WKUPIF标志位并且触发USBFS唤醒中断。

在挂起设备模式，USBFS也能够远程唤醒USB总线。软件可以通过置位USBFS_DCTL寄存器的RWKUP控制位来发送一个远程唤醒信号，并且如果USB主机支持远程唤醒，主机会在USB总线上启动发送一个恢复信号。

软件断开

USBFS支持软件断开。设备进入到供电状态后，USBFS会打开DP信号线的上拉电阻，并且这样主机会检测到设备连接。然后，软件可以通过置位USBFS_DCTL寄存器中SD控制位进行强制断开。在SD控制位被置位后，USBFS将会直接关闭上拉电阻。这样，USB主机将会在USB总线上检测到设备断开。

SOF跟踪

当USBFS在USB总线上接收到一个SOF令牌包时，将触发一个SOF中断，并且开始利用本地USB时钟计算总线时间。当前帧的帧号将会反应在USBFS_DSTAT寄存器的FNRSOF位域中。当USB总线时间达到EOF1或EOF2点(帧结束，在USB 2.0协议中描述)，USBFS会触发USBFS_GINTF寄存器中的EOPFIF中断。软件能够使用这些标志位和寄存器以获得当前总线

时间和位置信息。

33.5.4. OTG 功能概述

USBFS支持OTG协议1.3中所描述的OTG功能，OTG功能包括SRP和HNP。

A设备和B设备

当标准A或微型A插头插入相应的插座时，具有OTG能力的USB设备为A设备。A设备向VBUS供电，并且在会话开始时默认为主机。当标准B、微型B、迷你B插头插入相应的插座或采用一端为标准A插头的不可分离电缆时，具有OTG能力的USB设备为B设备。B设备在会话开始时默认为外设。USBFS使用ID引脚电平状态决定A设备或B设备。ID引脚状态反馈在USBFS_GOTGCS寄存器的IDPS状态位。为了了解A设备和B设备之间传输的详细状态，请参考OTG1.3协议。

HNP

主机协商协议(HNP)允许主机功能在两个直接连接的OTG设备之间转换，并且用户不需要为了设备之间通信控制的改变而切换电缆线的连接。典型地，HNP协议是由B设备上的用户或应用启动，HNP只能通过设备上的微型AB插座执行。

一旦OTG设备具有一个微型AB插座，该OTG设备可通过插入的插头类型决定默认为主机或设备(微型A插头插入为主机，微型B插头插入为设备)。通过使用主机协商协议(HNP)，一个默认为外设的OTG设备可以请求成为主机。主机角色切换的过程在下段中描述。此协议使用户不需要为了更改连接设备的角色而切换电缆线的连接。

当USBFS工作在OTG A主机模式时，并且其想放弃主机角色，可以首先置位USBFS_HPCS寄存器的PSP控制位来使USB总线进入挂起状态，然后B设备在3ms后进入挂起状态。如果B设备想要变为主机，软件需要置位USBFS_GOTGCS寄存器的HNPREQ控制位，然后USBFS会开始在总线上执行HNP协议，最后，HNP的结果会反馈在USBFS_GOTGCS寄存器的HNPS状态位。另外，软件总能从USBFS_GINTF寄存器的COPM状态位获取当前设备角色(主机或外设)。

SRP

会话请求协议(SRP)允许B设备请求A设备打开VBUS并启动一个会话。该协议允许A设备(或许是电池供电)当总线无活动时通过关闭VBUS以节省电能，并为B设备启动总线活动提供了一种方法。如OTG协议中所描述，OTG设备必须和几个阈值比较VBUS电压，并且将比较结果反馈在USBFS_GOTGCS寄存器的ASV和BSV状态位中。

当USBFS工作在B设备OTG模式时，软件可以通过置位USBFS_GOTGCS寄存器的SRPREQ控制位来启动一个SRP请求，并且如果SRP请求成功，USBFS会在USBFS_GOTGCS寄存器中产生一个成功标志位SRPS。

当USBFS工作在OTG A设备模式且从B设备检测到一个SRP请求时，USBFS将会置位USBFS_GINTF寄存器中的SESIF标志位。软件获取该标志位后，需要准备为VBUS引脚打开5V供电电源。

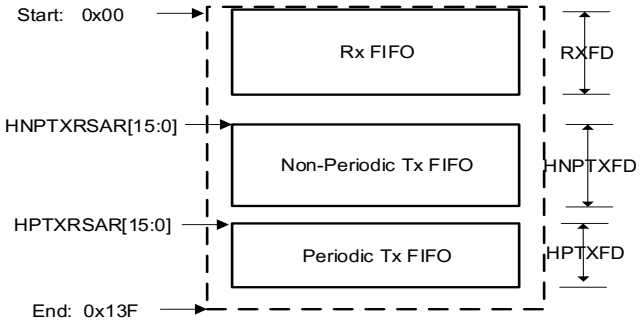
33.5.5. 数据 FIFO

USBFS中采用1.25K字节数据FIFO存储包数据，数据FIFO是通过USBFS的内部SRAM实现的。

主机模式

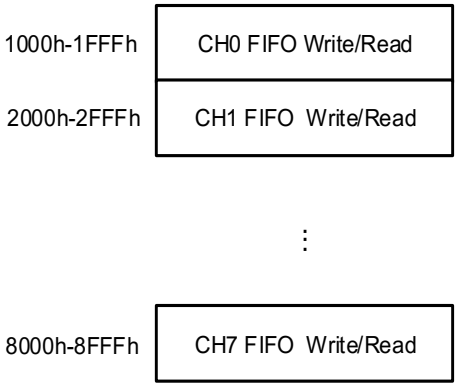
主机模式下，数据 FIFO 空间分为三个部分，分别是：用于接收数据包的 Rx FIFO、用于非周期性发送数据包的非周期性 Tx FIFO 和用于周期性发送数据包的周期性 Tx FIFO。所有的 IN 通道通过共享 Rx FIFO 接收数据。所有的周期性 OUT 通道通过共享周期性 Tx FIFO 来发送数据，所有的非周期性 OUT 通道通过共享非周期性 Tx FIFO 来发送数据。通过寄存器 USBFS_GRFLEN、USBFS_HNPTFLEN 和 USBFS_HPTFLEN，软件可以配置以上数据 FIFO 的大小和起始偏移地址。*图 33-5. 主机模式 FIFO 空间*所描述的是 SRAM 中各 FIFO 的结构，图中的数值是按照 32 位为单位写的。

图 33-5. 主机模式 FIFO 空间



USBFS 为程序提供了专有寄存器空间来读写数据 FIFO。*图 33-6. 主机模式 FIFO 访问寄存器映射表*所描述的是数据 FIFO 所访问的寄存器存储空间，图中的数值是以字节为单位寻址。尽管所有的非周期通道共享相同的 FIFO 以及所有的周期通道共享相同的 FIFO，每个通道都拥有它们的 FIFO 访问寄存器空间。对 USBFS 而言，获知当前压入数据包的通道号是非常重要的，通过寄存器 USBFS_GRXTATR/USBFS_GRSTATP 来访问数据包所从属的 Rx FIFO。

图 33-6. 主机模式 FIFO 访问寄存器映射表

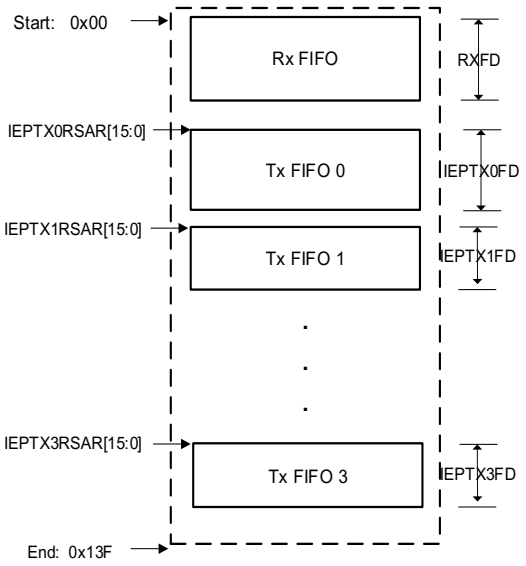


设备模式

在设备模式下，数据 FIFO 分为多个部分，其中包含 1 个 Rx FIFO 和 4 个 Tx FIFO，每个 Tx

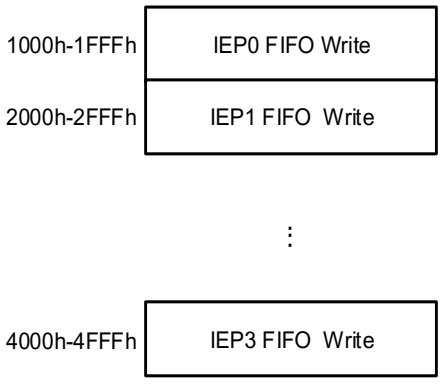
FIFO 对应着一个 IN 端点，所有的 OUT 端点通过共享 Rx FIFO 接收数据包。通过寄存器 USBFS_GRFLEN 和 USBFS_DIEPxTFLEN (x=0…3)，程序可配置数据 FIFO 的大小和起始偏移地址。*图 33-7. 设备模式 FIFO 空间*所描述的是 SRAM 中各 FIFO 的结构，图中的数值是以按照 32 位写的。

图 33-7. 设备模式 FIFO 空间



USBFS 为程序提供了专有寄存器空间来读写数据 FIFO。*图 33-8. 设备模式 FIFO 访问寄存器映射表*所描述的是数据 FIFO 所访问的寄存器存储空间，图中的数值是以字节为单位寻址。每个端点都拥有它们的 FIFO 访问寄存器空间。通过寄存器 USBFS_GRXTATR/USBFS_GRSTATP 来访问 Rx FIFO。

图 33-8. 设备模式 FIFO 访问寄存器映射表



33.5.6. 操作手册

该部分描述的是USBFS的操作手册。

主机模式

全局寄存器初始化顺序：

1、 根据应用的需求，如Tx FIFO的空阈值等，设置寄存器USBFS_GAHBCS，此时，GINTEN位需要保持清零状态；
2、 根据应用的需求，如操作模式(主机、设备或OTG)、某些OTG参数和USB协议，设置寄存器USBFS_GUSBCS；
3、 根据应用的需求，设置寄存器USBFS_GCCFG；
4、 根据应用的需求，设置寄存器USBFS_GRFLEN、USBFS_HNPTFLEN_DIEP0TFLEN、USBFS_HPTFLEN，配置数据FIFO；
5、 通过设置寄存器USBFS_GINTEN使能模式错误和主机端口中断，置位USBFS_GAHBCS寄存器的GINTEN位使能全局中断；
6、 设置寄存器USBFS_HPCS，置位PP位；
7、 等待设备连接，当设备连接后，触发寄存器USBFS_HPCS的PCD位，然后置位PRST位，执行一次端口复位，等待至少10毫秒后，清除PRST位；
8、 等待USBFS_HPCS寄存器的PEDC中断，然后读取PE位以确认端口被成功地使能，读取PS位以获取连接的设备速度，之后，如果软件需要改变SOF间隔，设置USBFS_HFT寄存器。

通道初始化和使能顺序：

1、 根据期望的传输类型、方向、包大小等信息，设置寄存器USBFS_HCHxCTL，在设置期间，要保证位CEN和CDIS保持清除；
2、 设置寄存器USBFS_HCHxINTEN，设置期望的中断使能位；
3、 设置寄存器USBFS_HCHxLEN，PCNT表示一次传输中的包数，TLEN表示一次传输中发送或接收的包数据的总字节数；
   对于OUT通道，如果PCNT为1，单包的大小等于TLEN。如果PCNT大于1，前PCNT-1个包被认定为最大包长度的包，其大小是由寄存器USBFS_HCHxCTL的位MPL所定义。最后一包的大小可通过PCNT、TLEN和MPL计算得到。如果程序想要发出一个零长度的包，应该设定TLEN为0，PCNT位1；
   对于IN通道，因为在IN事务结束之前，程序不知道实际接收的数据大小，程序可将TLEN设定为Rx FIFO所支持的最大值；
4、 置位寄存器USBFS_HCHxCTL中的CEN位以使能通道。

通道除能顺序：

程序可以通过同时置位CEN和CDIS除能通道。在寄存器操作后，USBFS将在请求队列中产生一个通道除能请求条目。当这个请求条目到达请求队列的顶部时，USBFS立即进行处理。

对于OUT通道而言，特定的通道将被立即除能。然后，会产生CH标志，USBFS将清除CEN和CDIS位。

对于IN通道而言，USBFS将通道除能状态条目压入Rx FIFO，然后，程序应该处理Rx FIFO非空事件：读和取出该状态条目，然后会产生CH标志，USBFS将清除CEN和CDIS位。

IN传输操作顺序：

1、 初始化USBFS全局寄存器；
2、 初始化相应的通道；
3、 使能相应的通道；
4、 通过软件使能IN通道后，USBFS在相应请求队列中生成一个Rx请求条目；
5、 当Rx请求条目到达请求队列的顶部时，USBFS开始执行该请求条目。对于由请求条目所指示的事务而言，如果总线时间足够，USBFS在USB总线上开始IN事务；
6、 当IN事务结束时(收到ACK握手包)，USBFS将接收到的数据包压入Rx FIFO，ACK标志位被触发，否则，状态标志(NAK)会指示事务结果；
7、 如果步骤5所描述的IN事务完成后，步骤2的PCNT的数值比1大，程序将会返回步骤3，继续接收剩下的数据包。如果步骤5中描述的IN事务没有成功完成，程序将会返回步骤3来再次发送该数据包；
8、 在所有的传输中的所有事务都被成功接收后，USBFS将TF状态条目压入Rx FIFO的最后的数据包的顶部，这样，软件在读取所有接收的数据包后，再读取TF状态条目。USBFS生成TF标志来指示传输成功结束；
9、 除能通道，当通道处于空闲状态，即可为其他传输做准备。

OUT传输操作顺序：

1、 初始化USBFS全局寄存器；
2、 初始化及使能相应通道；
3、 将数据包写入通道的Tx FIFO(周期性Tx FIFO或非周期性Tx FIFO)。在所有的数据包都被写入FIFO后，USBFS在相应的请求队列中产生一个Tx请求条目，并且将USBFS_HCHxTLEN中的TLEN值减少，减少的数值等于已写的包大小；
4、 当请求条目到达请求队列的顶部时，USBFS开始执行该请求条目。如果请求条目对应的事务的总线时间足够，USBFS在USB总线上开展OUT事务；
5、 当由请求条目所指示的OUT事务结束时，寄存器USBFS_HCHnTLEN的位PCNT减1。如果该事务完成(收到ACK握手包)，ACK标志位被触发，否则，状态标志(NAK)会指示事务结果；
6、 如果步骤5所描述的OUT事务完成后且步骤2的PCNT的数值比1大，程序将会返回步骤3，继续发送剩下的数据包。如果步骤5中描述的OUT事务没有成功完成，程序将会返回步骤3来再次发送该包；
7、 在所有的传输中的所有事务都被成功送达后，USBFS生成TF标志来指示传输成功结束；
8、 除能通道，当通道处于空闲状态，即可为其他传输做准备。

设备模式

全局寄存器初始化顺序：

1、 根据应用的需求，如Tx FIFO的空阈值等，设置寄存器USBFS_GAHBCS，此时，GINTEN位需要保持清零状态；
2、 根据应用的需求，如操作模式(主机、设备或OTG)、某些OTG参数、USB协议，设置寄存器USBFS_GUSBCS；
3、 根据应用的需求，设置寄存器USBFS_GCCFG；
4、 根据应用的需求，设置寄存器USBFS_GRFLEN、USBFS_HNPTFLEN_DIEP0TFLEN、USBFS_HPTFLEN，配置数据FIFO；
5、 通过设置寄存器USBFS_GINTEN使能模式错误、挂起、SOF、枚举完成和USB复位中断，

置位USBFS_GAHBCS寄存器的GINTEN位使能全局中断；
6、根据应用的需求，如设备的地址等，设置寄存器USBFS_DCFG；
7、在设备连接上主机上后，主机在USB总线上执行端口复位，触发寄存器USBFS_GINTF的RST中断；
8、等待寄存器USBFS_GINTF的ENUMF中断。

端点初始化和使能顺序：

1、根据预期的传输类型、包大小等信息，设置寄存器 USBFS_DIEPxCTL 或 USBFS_DOEPxCTL；

2、设定寄存器 USBFS_DIEPINTEN 或 USBFS_DOEPINTEN，置位相应中断使能位；

3、设定寄存器 USBFS_DIEPxLEN 或 USBFS_DOEPxLEN，PCNT 表示一次传输中的包数，TLEN 表示一次传输中发送或接收的数据包的总字节数；
对于 IN 端点，如果 PCNT 等于 1，单数据包的大小等于 TLEN。如果 PCNT 大于 1，前 PCNT-1 个包被认定为最大包长度的包，其大小是由寄存器 USBFS_DIEPxCTL 的位 MPL 所定义。最后一包的大小可通过 PCNT、TLEN 和 MPL 计算得到。如果程序想要发出一个零长度的包，应该设定 TLEN 为 0，PCNT 位 1；
对于 OUT 端点，因为在 IN 事务结束之前，程序不知道实际接收的数据大小，程序可将 TLEN 设定为 Rx FIFO 所支持的最大值；

4、置位 USBFS_DIEPxCTL 或 USBFS_DOEPxCTL 寄存器 EPEN 位使能端点。

端点除能顺序:
当USBFS_DIEPxCTL或USBFS_DOEPxCTL寄存器的EPEN位被清除时，程序可以在任何时候除能端点

IN传输操作顺序：

1、初始化USBFS全局寄存器；
2、初始化和使能IN端点；
3、将数据包写入端点的Tx FIFO，每当数据包写入FIFO，USBFS减少USBFS_DIEPxLEN寄存器的TLEN域的数值，其减少的数值等于已写的数据包大小；
4、当IN令牌接收后，USBFS发送数据包，在USB总线上的事务完成后，USBFS_DIEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果；
5、在一次传输的所有数据包都被成功发送，USBFS生成一个TF标志位以表明传输成功结束，除能相应IN端点。

OUT传输操作顺序(DMA除能)：

1、初始化USBFS全局寄存器；
2、初始化和使能端点；
3、当OUT令牌接收后，USBFS接收数据包或基于Rx FIFO状态和寄存器配置回复NAK握手包。如果事务成功完成(USBFS接收并保存数据到Rx FIFO，发送ACK握手包)，

USBFS_DOEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果；

4、 在一次传输的所有数据包都被成功接收，USBFS将TF状态条目压入Rx FIFO的最后的数据包的顶部，这样，软件在读取所有接收的数据包后，再读取TF状态条目。USBFS生成TF标志来指示传输成功结束。USBFS生成一个TF标志位以表明传输成功结束，除能相应OUT端点。

33.6. 中断

OTG 有两种中断：全局中断、唤醒中断。

全局中断是软件需要处理的主要中断，全局中断的标志位可在 USBFS_GINTF 寄存器读取，列举在*表 33-2. USBFS 全局中断*。

表 33-2. USBFS 全局中断

中断标志	描述	运行模式
SESIF	会话中断	主机或设备模式
DISCIF	断开连接中断标志	主机模式
IDPSC	ID 引脚状态变化	主机或设备模式
PTXFEIF	周期性 Tx FIFO 空中断标志	主机模式
HCIF	主机通道中断标志	主机模式
HPIF	主机端口中断	主机模式
PXNCIF/ ISOONCIF	周期性传输未完成中断标志 / 同步OUT传输未完成中断标志	主机或设备模式
ISOINCIF	同步 IN 传输未完成中断标志	设备模式
OEPIF	OUT 端点中断标志	设备模式
IEPIF	IN 端点中断标志	设备模式
EOPFIF	周期性帧尾中断标志	设备模式
ISOOPDIF	同步 OUT 丢包中断标志	设备模式
ENUMF	枚举完成	设备模式
RST	USB 复位	设备模式
SP	USB挂起	设备模式
ESP	早挂起	设备模式
GONAK	全局OUT NAK有效	设备模式
GNPINAK	全局非周期IN NAK有效	设备模式
NPTXFEIF	非周期Tx FIFO空中断标志	主机模式
RXFNEIF	Rx FIFO非空中断标志	主机或设备模式
SOF	帧首	主机或设备模式
OTGIF	OTG 中断标志	主机或设备模式
MFIF	模式错误中断标志	主机或设备模式

唤醒中断可以在 USBFS 处于挂起状态时触发，即使 USBFS 的时钟停止。寄存器 USBFS_GINTF 的位 WKUPIF 是唤醒源。

33.7. USBFS 寄存器

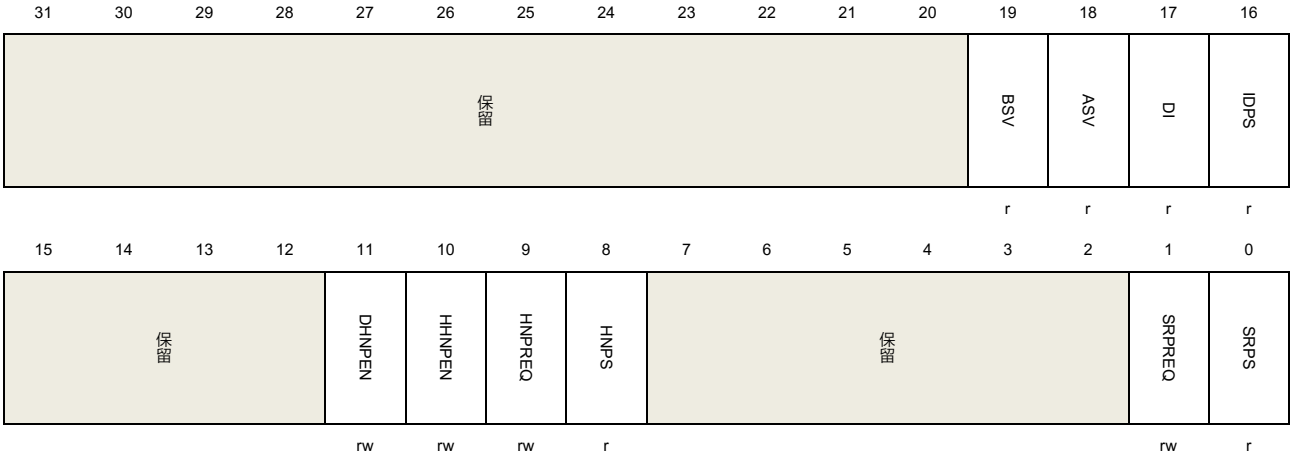
USBFS 基地址：0x5000 0000

33.7.1. 全局控制与状态寄存器组

全局 OTG 控制和状态寄存器 (USBFS_GOTGCS)

地址偏移：0x0000
复位值：0x0000 0800

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:20	保留	必须保持复位值。
19	BSV	B会话有效(在OTG协议中描述) 0：OTG B设备VBUS电压水平低于VBSESSVLD 1：OTG B设备VBUS电压水平不低于VBSESSVLD **注意**：仅在OTB B设备模式下可访问
18	ASV	A会话有效 A主机模式收发器状态 0：OTG A设备VBUS电压水平低于VASESSVLD 1：OTG A设备VBUS电压水平不低于VASESSVLD 在会话的开始，A设备默认是主机。 **注意**：仅在OTG A设备模式下可访问
17	DI	去抖动间隔 检测到连接的去抖动间隔。 0：当USB总线上发生插入和连接时，表示长去抖动间隔 1：当HNP协议中使用一个软连接时，指示短去抖动间隔

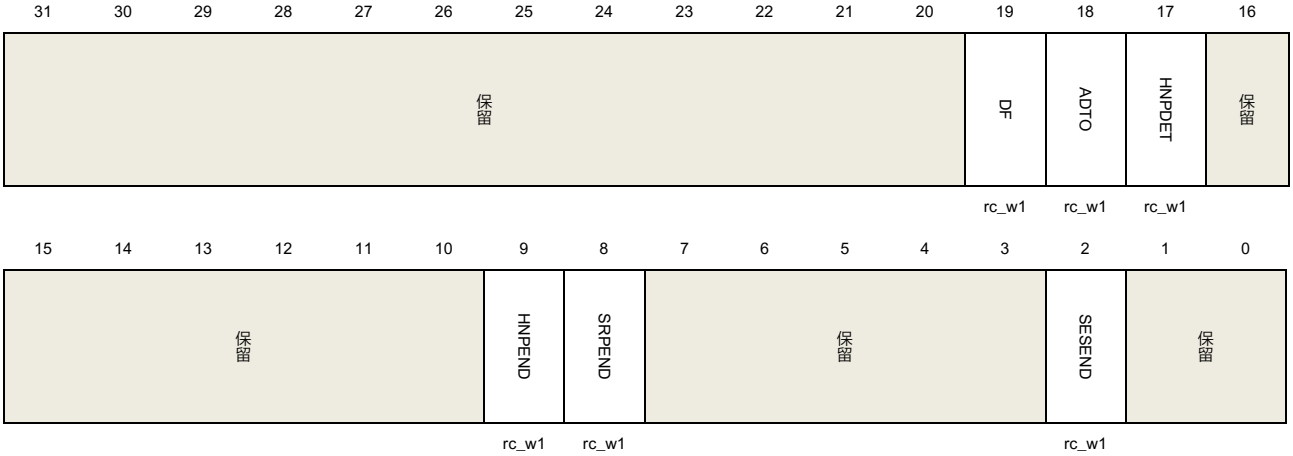
		注意：仅在主机模式下可访问
16	IDPS	ID引脚状态 连接器ID引脚的电压水平 0：USBFS工作在A设备模式 1：USBFS工作在B设备模式 **注意**：在设备和主机模式下均可访问
15:12	保留	必须保持复位值。
11	DHNPEN	设备HNP使能 使能B设备HNP功能。如果该控制位清除，当应用置位USBFS_GOTGCS寄存器中的HNPREQ控制位c时，USBFS并不启动HNP协议。 0：HNP功能不使能 1：HNP功能使能 **注意**：仅在设备模式下访问
10	HHNPEN	主机HNP使能 使能A设备HNP功能。如果该控制位清除，USBFS不能够响应B设备的HNP请求。 0：HNP功能不使能 1：HNP功能使能 **注意**：仅在主机模式下访问
9	HNPREQ	HNP请求 软件通过置位该控制位在USB总线上启动一个HNP。当USBFS_GOTGINTF寄存器中HNPEND控制位置位时，软件可以通过向该控制位写0或者清除USBFS_GOTGINTF寄存器中的HNPEND控制位来清除该控制位。 0：不发送HNP请求 1：发送HNP请求 **注意**：仅在设备模式下访问
8	HNPS	HNP成功标志位 当HNP成功时，该标志位由内核置位。当HNPREQ置位时，该控制位被清除。 0：HNP失败 1：HNP成功 **注意**：仅在设备模式下访问
7:2	保留	必须保持复位值。
1	SRPREQ	SRP请求 软件通过置位该控制位在USB总线上启动一个SRP会话请求。当USBFS_GOTGINTF寄存器中的SRPEND控制位置位时，软件可以通过向该控制位写0或者清除USBFS_GOTGINTF寄存器中的SRPEND控制位来清除该控制位。 0：没有会话请求 1：会话请求 **注意**：仅在设备模式下访问
0	SRPS	SRP会话请求成功 当SRP会话请求成功时，该标志位由内核置位。当SRPREQ控制位被置位时，该标

志位被清除。
0：SRP会话请求失败
1：SRP会话请求成功
注意：仅在设备模式下访问

全局 OTG 中断状态寄存器 (USBFS_GOTGINTF)

地址偏移：0x0004
复位值：0x0000 0000

该寄存器只能按字(32位)访问



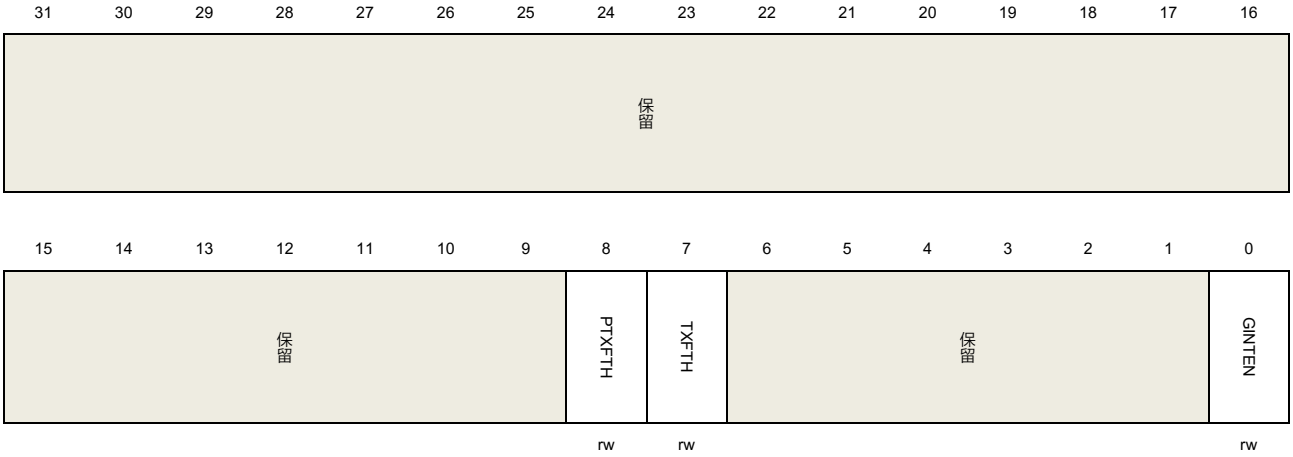
位/位域	名称	描述
31:20	保留	必须保持复位值。
19	DF	去抖动完成 当设备连接去抖动完成时，USBFS置位该控制位 **注意**：仅在主机模式下可访问
18	ADTO	A设备超时 当A设备等待B设备连接发生超时，USBFS置位该控制位 **注意**：在设备和主机模式下，均可访问
17	HNPDET	检测到主机协商请求 当A设备检测到一个HNP请求时，USBFS置位该标志位 **注意**：在设备和主机模式下，均可访问
16:10	保留	必须保持复位值。
9	HNPEND	HNP结束 当一个HNP结束时，内核置位该标志位。软件应该读取USBFS_GOTGCS寄存器中HNPS标志位，以获取HNP结果。 **注意**：在设备和主机模式下，均可访问。
8	SRPEND	SRPEND

		当一个SRP结束时，内核置位该标志位。软件应该读取USBFS_GOTGCS寄存器中SRPS标志位，以获取SRP结果。 **注意**：在设备和主机模式下，均可访问。
7:3	保留	必须保持复位值。
2	SESEND	会话结束 当VBUS电压低于Vb_ses_vld时，内核置位该标志位。
1:0	保留	必须保留复位值。

全局 AHB 控制和状态寄存器 (USBFS_GAHBCS)

地址偏移：0x0008
复位值：0x0000 0000

该寄存器只能按字(32位)访问

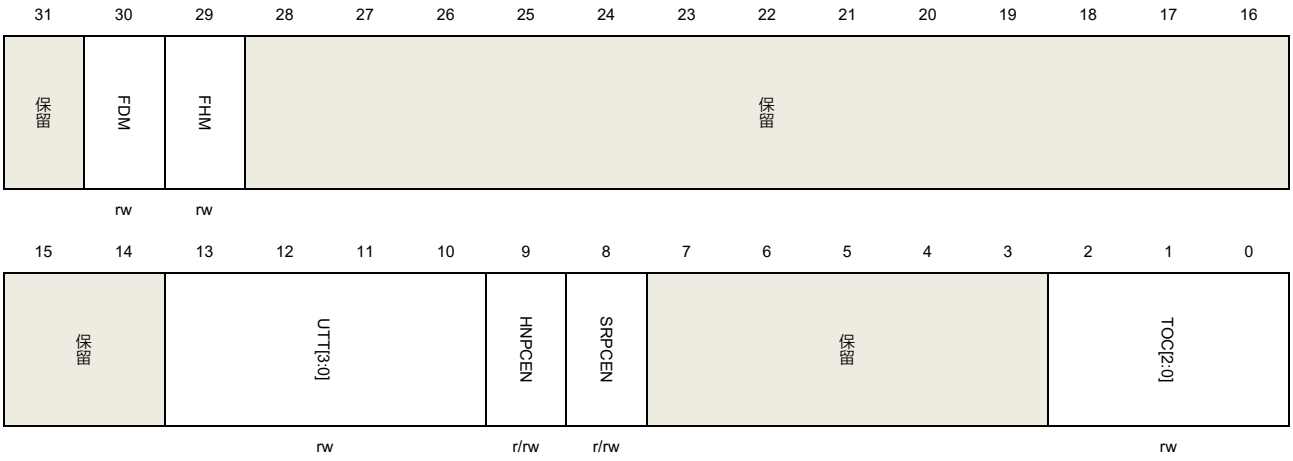


位/位域	名称	描述
31:9	保留	必须保持复位值。
8	PTXFTH	周期性Tx FIFO阈值 0：当周期性发送FIFO半空时，将触发PTXFEIF标志位 1：当周期性发送FIFO全空时，将触发PTXFEIF标志位 **注意**：只在主机模式下访问
7	TXFTH	Tx FIFO 阈值 设备模式： 0：当IN端点发送FIFO半空时，将触发TXFEIF标志位 1：当IN端点发送FIFO全空时，将触发TXFEIF标志位 主机模式： 0：当非周期性发送FIFO半空时，将触发NPTXFEIF标志位 1：当非周期性发送FIFO全空时，将触发NPTXFEIF标志位

6:1	保留	必须保持复位值。
0	GINTEN	全局中断使能 0：全局中断不使能 1：全局中断使能 **注意**：在主机和设备模式下，均可访问

全局 USB 控制和状态寄存器 (USBFS_GUSBCS)

地址偏移：0x000C
复位值：0x0000 0A80
该寄存器只能按字(32位)访问



位/位域	名称	描述
31	保留	必须保持复位值。
30	FDM	强制设备模式 通过置位该控制位，可强制USB内核为设备模式，并且忽略USBFS ID引脚的输入状态 0：正常模式 1：设备模式 设置该控制位后，应用必须等待至少25ms，让变化产生作用。 **注意**：在设备和主机模式下，均可访问。
29	FHM	强制主机模式 通过置位该控制位，可强制USB内核为主机模式，并且忽略USBFS ID引脚的输入状态 0：正常模式 1：主机模式 设置该控制位后，应用必须等待至少25ms，让变化产生作用。 **注意**：在设备和主机模式下，均可访问
28:14	保留	必须保持复位值。

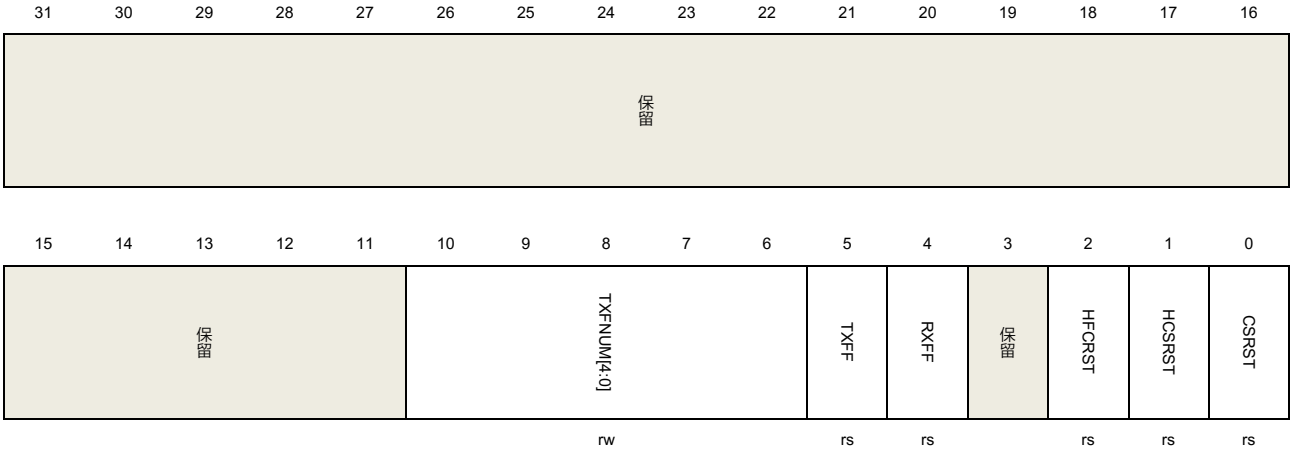
13:10	UTT[3:0]	USB运转时间 以物理时钟数来设定运转时间 **注意**：仅在设备模式下访问
9	HNPCEN	HNP能力使能 控制HNP能力是否使能 0：HNP能力禁用 1：HNP能力使能 **注意**：在设备和主机模式下，均可访问
8	SRPCEN	SRP能力使能 控制SRP能力是否使能 0：SRP能力禁用 1：SRP能力使能 **注意**：在设备和主机模式下，均可访问
7:3	保留	必须保持复位值。
2:0	TOC[2:0]	超时校准 当等待一个包时，USBFS需要使用USB2.0协议中需要的超时数值。应用可以使用TOC[2:0]增加该数值(以PHY时钟为单位)。PHY时钟频率为48MHz。

全局复位控制寄存器 (USBFS_GRSTCTL)

地址偏移：0x0010
复位值：0x8000 0000

应用通过该寄存器来复位内核的不同硬件特性。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:11	保留	必须保持复位值。
10:6	TXFNUM[4:0]	Tx FIFO数目

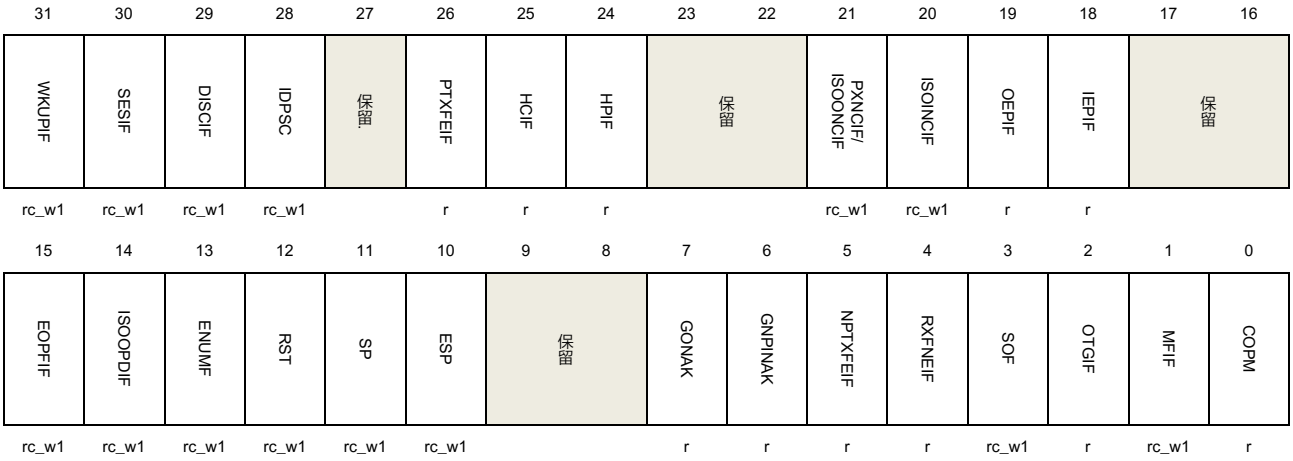
		当本寄存器中TXFF控制位置位时，该标志位决定那个Tx FIFO会被冲刷 主机模式： 00000：仅非周期性Tx FIFO被冲刷 00001：仅周期性Tx FIFO被冲刷 1xxxx：周期性和非周期性Tx FIFO均被冲刷 其他：没有数据被冲刷 设备模式： 00000：仅Tx FIFO0被冲刷 00001：仅Tx FIFO1被冲刷 … 00011：仅Tx FIFO3被冲刷 1XXXX：所有的Tx FIFO均被冲刷 其他：没有数据被冲刷
5	TXFF	Tx FIFO冲刷控制位 应用通过置位该控制位来冲刷Tx FIFO数据，并且TXFNUM[4:0]决定冲刷的FIFO数目。当冲刷完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBFS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
4	RXFF	Rx FIFO冲刷控制位 应用通过置位该控制位来冲刷Rx FIFO数据。当冲刷完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBFS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
3	保留	必须保持复位值。
2	HFCRST	主机帧计数器复位 应用通过置位该控制位来复位USBFS内的帧计数器。该控制位置位后，接下来SOF的帧计数器将变为0。当复位操作完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBFS不应有其他操作。 **注意**：仅在主机模式下访问
1	HCSRST	HCLK软件复位 应用通过置位该控制位来复位ABH时钟域电路 在复位操作完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBFS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
0	CSRST	USB内核软件复位 复位AHB和USB时钟域电路，以及大多数的寄存器。

全局中断标志寄存器 (USBFS_GINTF)

地址偏移：0x0014

复位值：0x0400 0021

该寄存器只能按字(32位)访问



位/位域	名称	描述
31	WKUPIF	唤醒中断标志位 当在USB总线上检测到一个恢复信号(在设备模式下)或者一个远程唤醒信号(在主机模式下)，硬件将置位该中断标志位。 **注意**：在设备和主机模式下，均可访问
30	SESIF	会话中断标志位 当在A设备模式下检测到一个SRP会话请求或在B设备模式下B设备的Vbus变为可用时，硬件将置位该中断标志位 **注意**：在设备和主机模式下，均可访问
29	DISCIF	断开中断标志位 当设备断开后，将触发该标志位。 **注意**：仅在主机模式下访问
28	IDPSC	ID引脚状态改变中断标志位 当ID引脚状态改变时，内核将置位该标志位 **注意**：在设备和主机模式下，均可访问
27	保留	必须保持复位值。
26	PTXFEIF	周期性Tx FIFO空中断标志位 当周期性发送FIFO半空或全空时，将触发该标志位。空阈值由USBFS_GAHBCS寄存器中周期性Tx FIFO空等级控制位(PTXFTH)决定。 **注意**：仅在主机模式下访问
25	HCIF	主机通道中断标志位 当在主机模式下其中一个通道挂起一个中断时，USBFS将置位该标志位。软件应该首先读取USBFS_HACHINT寄存器以获取通道号，然后读取相应的USBFS_HCHxINTF寄存器以获取产生中断的通道标志位。当产生通道中断的独立通道标志位被清除后，该中断标志位将自动清除。

		注意：仅在主机模式下访问
24	HPIF	主机端口中断标志位 当USBFS在主机模式下检测到端口状态改变时，USB内核将置位该标志位。软件应该读取USBFS_HPCS寄存器以获取该中断源。当产生端口中断的标志被清除后，该中断标志位将自动清除。 **注意**：仅在主机模式下访问
23:22	保留	必须保持复位值。
21	PXNCIF	周期性传输未完成中断标志位 在当前帧内，当帧结束时，周期性传输未完成，USBFS将置位该标志位(主机模式)。
	ISOONCIF	同步OUT传输未完成中断标志位 在周期性帧结束时(由USBFS_DCFG寄存器的EOPFT控制位定义)，如果仍有同步OUT端点未完成传输，USBFS将置位该标志位(设备模式)。
20	ISOINCIF	同步IN传输未完成中断标志位 在周期性帧结束时(由USBFS_DCFG寄存器的EOPFT控制位定义)，如果仍有同步IN端点未完成传输，USBFS将置位该标志位(设备模式)。 **注意**：仅在设备模式下访问
19	OEPIF	OUT端点中断标志位 当在设备模式下，其中一个OUT端点挂起一个中断时，USBFS将置位该中断标志位。软件应该首先读取USBFS_DAEPINT寄存器以获取设备号，然后读取相应的USBFS_ DOEPxINTF寄存器以获取产生中断的端点标志位。当产生中断的相应端点标志位被清除后，该中断标志位被自动清除。 **注意**：仅在设备模式下访问
18	IEPIF	IN端点中断标志位 当在设备模式下，其中一个IN端点挂起一个中断时，USBFS将置位该标志位。软件应该首先读取USBFS_DAEPINT寄存器以获取设备号，然后读取相应的USBFS_DIEPxINTF寄存器以获取产生中断的端点标志位。当相应产生中断的端点标志位被清除后，该中断标志位被自动清除。
17:16	保留	必须保持复位值。
15	EOPFIF	周期性帧结束中断标志位 当一帧内USB总线时间已经达到USBFS_DCFG寄存器中EOPFT控制位所定义的数值时，USBFS将置位该中断标志位。 **注意**：仅在设备模式下访问
14	ISOOPDIF	同步OUT包丢失中断标志位 如果USBFS接收到一个同步OUT包，但是Rx FIFO没有足够的空间来接收该OUT包，USBFS将置位该标志位。 **注意**：仅在设备模式下访问
13	ENUMF	枚举完成中断标志位 在速度枚举完成后，USBFS将置位该中断标志位。软件能够读取USBFS_DSTAT寄

		存器以获取当前设备速度。 **注意**：仅在设备模式下访问
12	RST	USB复位中断标志位 当USBFS在USB总线上检测到一个USB复位信号后，USBFS将置位该中断标志位。 **注意**：仅在设备模式下访问
11	SP	USB挂起中断标志位 当USBFS检测到USB总线空闲3ms并且进入挂起状态，USBFS将置位该中断标志位。 **注意**：仅在设备模式下访问
10	ESP	早期挂起中断标志位 当USBFS检测到USB总线空闲3ms时，USBFS将置位该中断标志位。
9:8	保留	必须保持复位值。
7	GONAK	全局OUT NAK有效标志位 软件能够向USBFS_DCTL寄存器的SGONAK控制位写1，并且USBFS将会在SGONAK写入有效后，置位GONAK标志位。 注意：仅在设备模式下可访问
6	GNPINAK	全局非周期性IN NAK有效标志位 软件能够向USBFS_DCTL寄存器中的SGINAK控制位写1，并且USBFS将会在SGINAK写入有效后，置位GNPINAK标志位 **注意**：仅在设备模式下可访问
5	NPTXFEIF	非周期性Tx FIFO空中断标志位 当非周期性Tx FIFO为半空或全空时，将置位该中断标志位。该阈值由USBFS_GAHBCS寄存器中的非周期Tx FIFO空等级控制位(TXFTH)决定。 **注意**：仅在主机模式下访问
4	RXFNEIF	Rx FIFO非空中断标志位 当至少有一个包或状态条目在Rx FIFO中时，USBFS将置位该标志位。 **注意**：在主机和设备模式下，均可访问
3	SOF	帧起始中断标志位 主机模式： 当准备在USB总线上发送一个SOF或保持有效信号，USBFS将置位该中断标志位。软件可以通过写1清除该中断标志位。 设备模式： 当USBFS接收到一个SOF令牌包后，USBFS置位该标志位。应用可以读取设备状态寄存器以获取当前帧号。软件可以通过写1清除该中断标志位。 **注意**：在设备和主机模式下，均可访问
2	OTGIF	OTG中断标志位 当USBFS_GOTGINTF寄存器中标志位产生一个中断时，USBFS置位该中断标志位。软件应该读取USBFS_GOTGINTF寄存器以获取产生该中断的信号源，当

		USBFS_GOTGINTF寄存器中产生该中断的标志位被清除后，该中断标志位也被自动清除。 **注意**：在设备和主机模式下，均可访问
1	MFIF	模式错误中断标志位 如果软件在设备模式下操作仅主机可访问的寄存器或者在主机模式下操作仅设备可访问的寄存器，USBFS将置位该中断标志位。这些错误操作不会产生作用。 **注意**：在主机和设备模式下，均可访问
0	COPM	当前操作模式 0：设备模式 1：主机模式 **注意**：在主机和设备模式下，均可访问

全局中断使能寄存器 (USBFS_GINTEN)

地址偏移：0x0018
复位值：0x0000 0000

这个寄存器同全局中断标志寄存器(USBFS_GINTF)一起工作来中断应用程序。当中断使能位被禁止后，相应的中断就不会产生。然而，相应的全局中断标志位依然会被置位。

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WKUPIE	SESIE	DISCIE	IDPSCIE	保留	PTXFEIE	HCIE	HPIE	保留		PXNCIE/ ISOONCIE	ISOINCIE	OEPIE	IEPIE	保留	
rw	rw	rw	rw		rw	rw	r			rw	rw	rw	rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOPFIE	ISOOPDIE	ENUMFIE	RSTIE	SPIE	ESPIE	保留		GONAKIE	GNPINAKIE	NPTXFEIE	RXFNEIE	SOFIE	OTGIE	MFIE	保留
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	

位/位域	名称	描述
31	WKUPIE	唤醒中断使能 0：禁用唤醒中断 1：使能唤醒中断 **注意**：在主机和设备模式下，均可访问
30	SESIE	会话中断使能 0：禁用会话中断 1：使能会话中断 **注意**：在主机和设备模式下，均可访问

29	DISCIE	断开中断使能 0：禁用断开中断 1：使能断开中断 **注意**：仅在设备模式下使用
28	IDPSCIE	ID引脚状态改变中断使能 0：禁用连接器ID引脚状态中断 1：使能连接器ID引脚状态中断 **注意**：在主机和设备模式下，均可访问
27	保留	必须保持复位值。
26	PTXFEIE	周期性Tx FIFO空中断使能 0：禁用周期性Tx FIFO空中断 1：使能周期性Tx FIFO空中断 **注意**：仅在主机模式下访问
25	HCIE	主机通道中断使能 0：禁用主机通道中断 1：使能主机通道中断 **注意**：仅在主机模式下访问
24	HPIE	主机端口中断使能 0：禁止主机端口中断 1：使能主机端口中断 **注意**：仅在主机模式下访问
23:22	保留	必须保持复位值。
21	PXNCIE	周期性传输未完成中断使能 0：禁止周期性未完成传输中断 1：使能周期性未完成传输中断 **注意**：仅在主机模式下访问
	ISOONCIE	同步OUT传输未完成中断使能 0：禁止同步OUT传输未完成中断 1：使能同步OUT传输未完成中断 **注意**：仅在设备模式下访问
20	ISOINCIE	同步IN传输未完成中断使能 0：禁止同步IN传输未完成中断 1：使能同步IN传输未完成中断 **注意**：仅在设备模式下访问
19	OEPIE	OUT端点中断使能 0：禁止OUT端点中断 1：使能OUT端点中断 **注意**：仅在设备模式下访问
18	IEPIE	IN端点中断使能

		0：禁止IN端点中断 1：使能IN端点中断 **注意**：仅在设备模式下访问
17:16	保留	必须保持复位值。
15	EOPFIE	周期性帧结束中断使能 0：禁止周期性帧结束中断 1：使能周期性帧结束中断 **注意**：仅在设备模式下访问
14	ISOOPDIE	同步OUT包丢失中断使能 0：禁止同步OUT包丢失中断 1：使能同步OUT包丢失中断 **注意**：仅在设备模式下访问
13	ENUMFIE	枚举完成中断使能 0：禁止枚举完成中断 1：使能枚举完成中断 **注意**：仅在设备模式下访问
12	RSTIE	USB复位中断使能 0：禁止USB复位中断 1：使能USB复位中断 **注意**：仅在设备模式下访问
11	SPIE	USB挂起中断使能 0：禁止USB挂起中断 1：使能USB挂起中断 **注意**：仅在设备模式下访问
10	ESPIE	早期挂起中断使能 0：禁止早期挂起中断 1：使能早期挂起中断 **注意**：仅在设备模式下访问
9:8	保留	必须保持复位值。
7	GONAKIE	全局OUT NAK有效中断使能 0：禁止全局OUT NAK有效中断 1：使能全局OUT NAK有效中断 **注意**：仅在设备模式下访问
6	GNPINAKIE	全局非周期性IN NAK有效中断使能 0：禁止全局非周期性IN NAK有效中断 1：使能全局非周期性IN NAK有效中断 **注意**：仅在设备模式下访问
5	NPTXFEIE	非周期性发送FIFO空中断使能 0：禁止非周期性发送FIFO空中断

		1：使能非周期性发送FIFO空中断 **注意**：仅在主机模式下访问
4	RXFNEIE	接收FIFO非空中断使能 0：禁止接收FIFO非空中断 1：使能接收FIFO非空中断 **注意**：在设备模式与主机模式下，均可访问
3	SOFIE	帧首中断使能 0：禁止帧首中断 1：使能帧首中断 **注意**：在设备模式下与主机模式下，均可访问
2	OTGIE	OTG中断使能 0：禁止OTG中断 1：使能OTG中断 **注意**：在设备模式下与主机模式下，均可访问
1	MFIE	模式错误中断使能 0：禁止模式错误中断 1：使能模式错误中断 **注意**：在设备模式下与主机模式下，均可访问
0	保留	必须保持复位值。

全局接收状态读取/接收状态读取和弹出寄存器 (USBFS_GRSTATR/USBFS_GRSTATP)

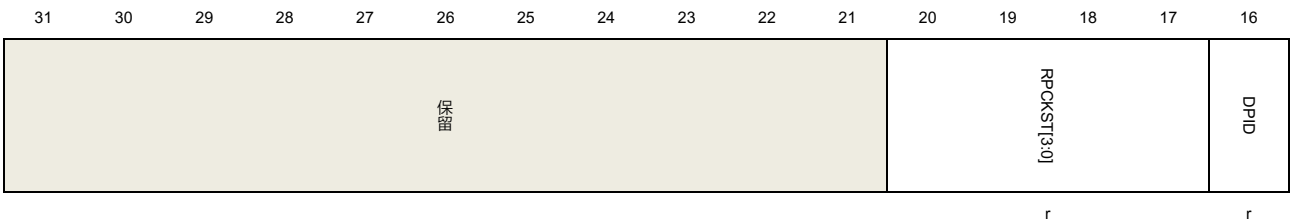
读地址偏移：0x001C
弹出地址偏移：0x0020
复位值：0x0000 0000

对接收状态读寄存器的读操作，将返回接收FIFO中顶部的条目。对接收状态读取和弹出寄存器的读操作，将额外的弹出Rx FIFO的顶部条目。

在主机模式和设备模式下，Rx FIFO中的条目具有不同的含义。当全局中断标志寄存器(USBFS_GINTF)中的接收FIFO非空中断标志位(RXFNEIF)置位后，软件应该读取该寄存器。

该寄存器只能按字(32位)访问

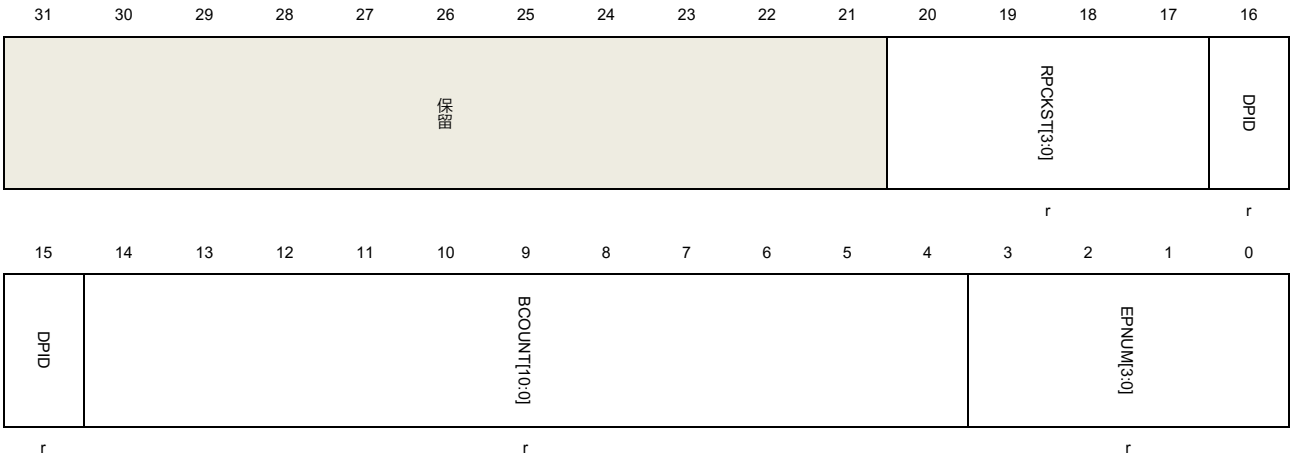
主机模式：





位/位域	名称	描述
31:21	保留	必须保持复位值。
20:17	RPCKST[3:0]	接收包状态 0010：接收到IN数据包 0011：IN传输完成(如果取出，触发一个中断) 0101：数据翻转错误(如果取出，触发一个中断) 0111：通道中止(如果取出，触发一个中断) 其他：保留
16:15	DPID[1:0]	数据PID 接收包的数据PID 00：DATA0 10：DATA1 其他：保留
14:4	BCOUNT[10:0]	字节数 接收IN数据包字节数。
3:0	CNUM[3:0]	通道数 当前接收包所属通道编号。

设备模式：



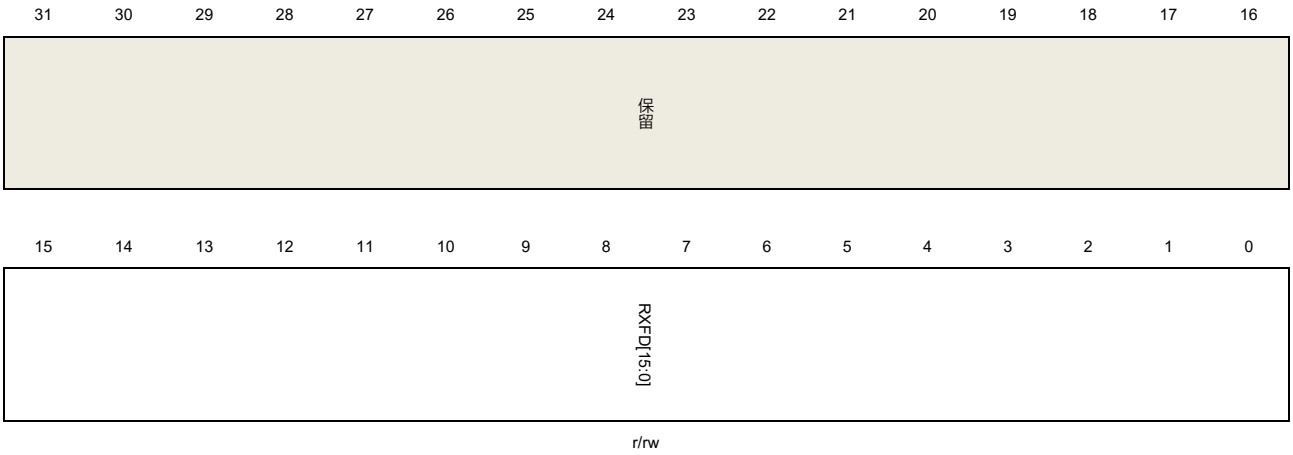
位/位域	名称	描述
31:21	保留	必须保持复位值。
20:17	RPCKST[3:0]	接收包状态

		0001：全局OUT NAK(产生一个中断) 0010：接收到OUT数据包 0011：OUT传输完成(产生一个中断) 0100：SETUP传输完成(产生一个中断) 0110：接收到SETUP数据包 其他：保留
16:15	DPID[1:0]	数据PID 接收到OUT数据包的数据PID 00：DATA0 10：DATA1 其他：保留
14:4	BCOUNT[10:0]	字节数 接收数据包的字节数
3:0	EPNUM[3:0]	端点号 当前接收包所属端点编号

全局接收 FIFO 长度寄存器 (USBFS_GRFLEN)

地址偏移：0x0024
复位值：0x0000 0200

该寄存器只能按字(32位)访问

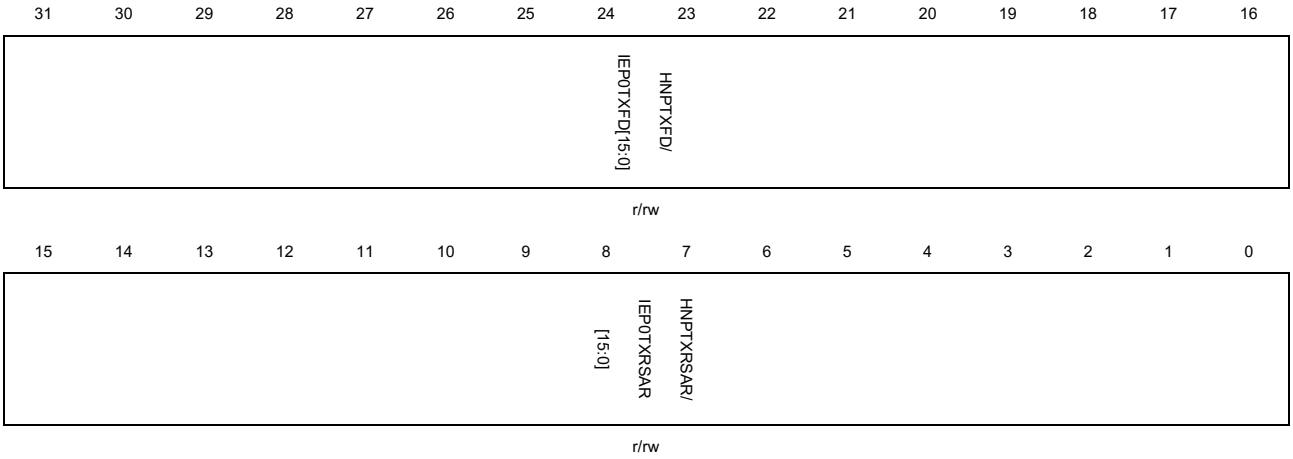


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	RXFD[15:0]	Rx FIFO 深度 以32位字计数 1<=RXFD<=1024

主机非周期性发送 FIFO 长度寄存器/设备 IN 端点 0 发送 FIFO 长度寄存器 (USBFS_HNPTFLEN_DIEP0TFLEN)

地址偏移：0x0028
复位值：0x0200 0200

该寄存器只能按字(32位)访问



主机模式下：

位/位域	名称	描述
31:16	HNPTXFD[15:0]	主机非周期性Tx FIFO深度 以32位字计数 1<=HNPTXFD<=1024
15:0	HNPTXRSAR[15:0]	主机非周期性Tx RAM起始地址 非周期性发送FIFO RAM的起始地址

设备模式下：

位/位域	名称	描述
31:16	IEP0TXFD[15:0]	输入端点0 Tx FIFO深度 以32位字计数 16<=IEP0TXFD<=140
15:0	IEP0TXRSAR[15:0]	输入端点0 TX RAM起始地址 端点0发送FIFO RAM的起始地址

主机非周期性发送 FIFO/队列状态寄存器 (USBFS_HNPTFQSTAT)

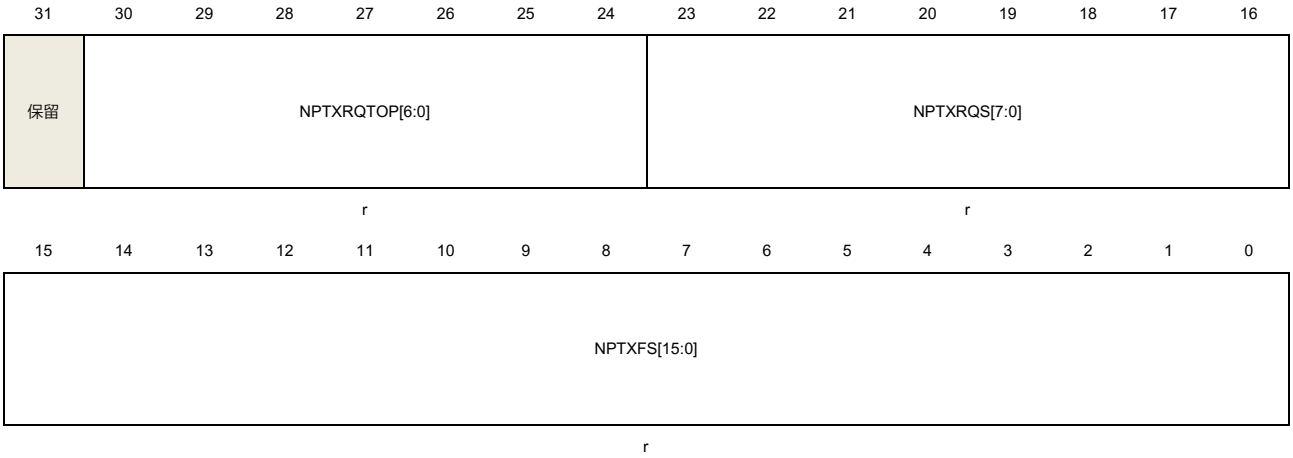
地址偏移：0x002C
复位值：0x0008 0200

该寄存器反映了非周期性Tx FIFO和请求队列的当前状态。

请求队列包括在主机模式下的IN、OUT或其他请求条目。

注意：在设备模式下，该寄存器不可用。

该寄存器只能按字(32位)访问

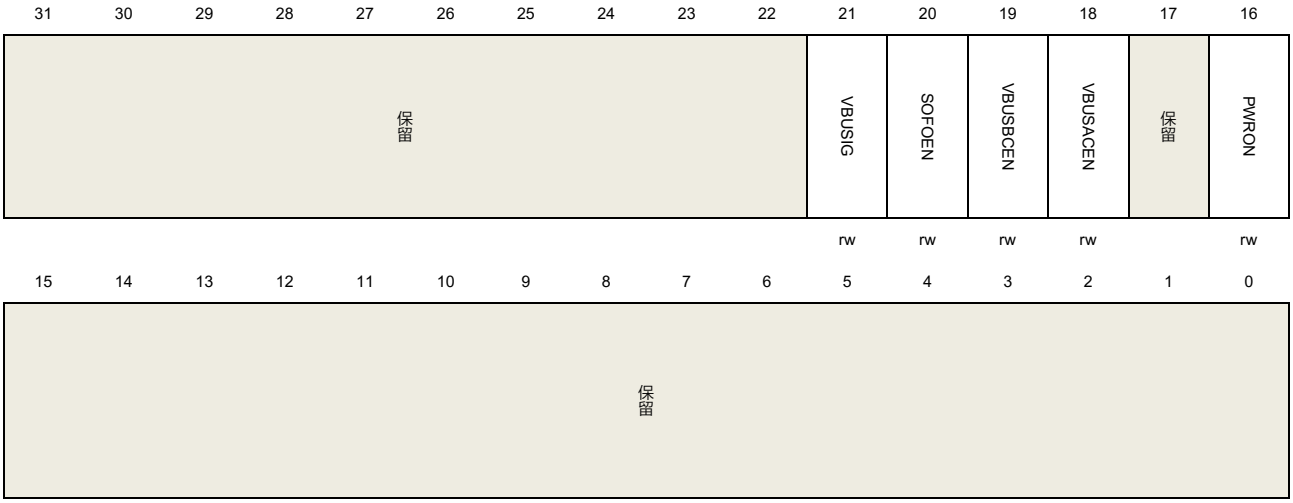


位/位域	名称	描述
31	保留	必须保持复位值。
30:24	NPTXRQTOP[6:0]	非周期性发送请求队列的顶部条目 在非周期性传输请求队列中的条目。 位30:27：通道号 位26:25： - 00：IN/OUT令牌 - 01：0长度OUT包 - 11：通道中止请求 位24：结束标志位，表明所选通道的最后一个条目
23:16	NPTXRQS[7:0]	非周期性发送请求队列空间 非周期性请求队列的剩余空间 0：请求队列空 1：1个条目 2：2个条目 … n：n个条目 (0<=n<=8) 其他：保留
15:0	NPTXFS[15:0]	非周期性Tx FIFO空间 非周期性发送FIFO剩余空间 以32位字计数 0：非周期性Tx FIFO为空 1：1个字 2：2个字 n：n个字(0<=n<=NPTXFD) 其他：保留

全局内核配置寄存器 (USBFS_GCCFG)

地址偏移：0x0038
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:22	保留	必须保持复位值。
21	VBUSIG	V_{BUS}忽略 当该控制位被置位，USBFS并不监测V_{BUS}引脚电压，并且认为在主机和设备模式下，V_{BUS}电压一直有效，然后可释放V_{BUS}引脚作为其他用途。 0：V_{BUS}不被忽略 1：V_{BUS}被忽略，并认为V_{BUS}电压一直有效
20	SOFOEN	SOF输出使能 0：SOF脉冲输出禁止 1：SOF脉冲输出使能
19	VBUSBCEN	V_{BUS} B设备比较器使能 0：V_{BUS} B设备比较器禁止 1：V_{BUS} B设备比较器使能
18	VBUSACEN	VBUS A设备比较器使能 0：V_{BUS} A设备比较器禁止 1：V_{BUS} A设备比较器使能
17	保留	必须保持复位值。
16	PWRON	上电 该控制位为内部嵌入式全速PHY的电源开关 0：嵌入式全速PHY掉电

1：嵌入式全速PHY上电

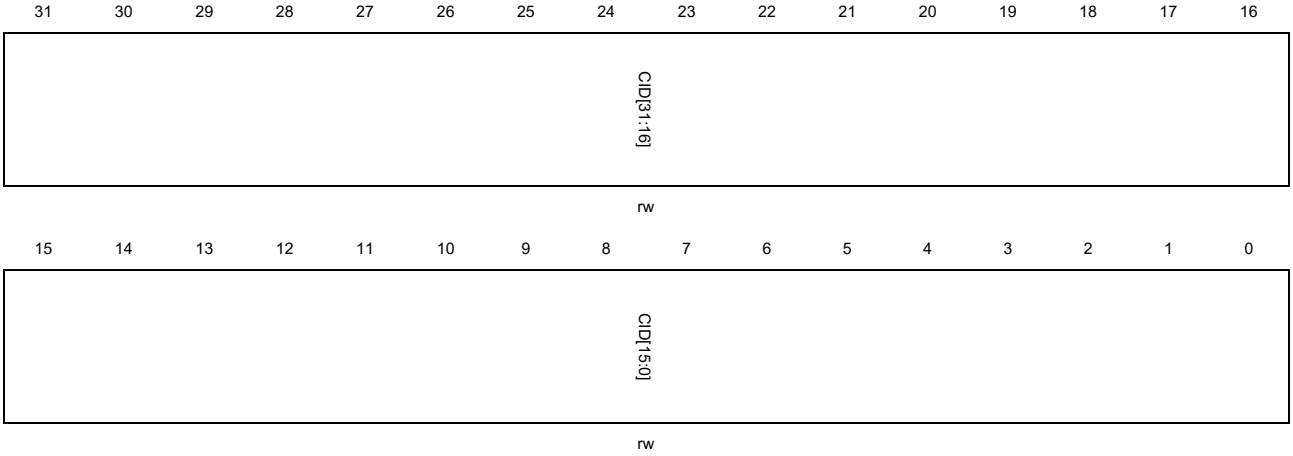
15:0	保留	必须保持复位值。

内核 ID 寄存器 (USBFS_CID)

地址偏移：0x003C
复位值：0x0000 1000

该寄存器包含产品ID

该寄存器只能按字(32位)访问

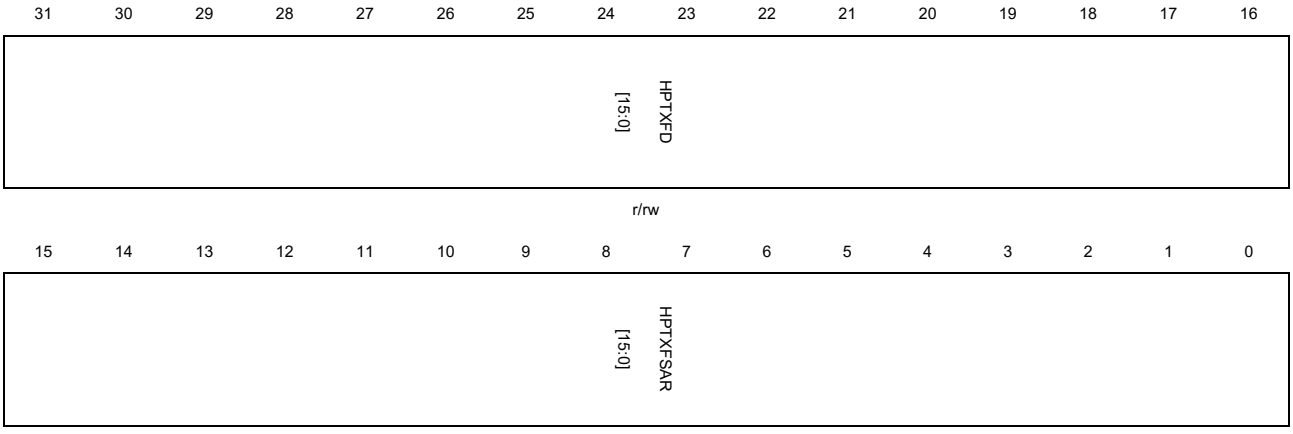


位/位域	名称	描述
31:0	CID[31:0]	内核ID 软件能够写入或读取该域值，并利用该域值为应用产生一个唯一ID。

主机周期性发送 FIFO 长度寄存器 (USBFS_HPTFLEN)

地址偏移：0x0100
复位值：0x0200 0600

该寄存器只能按字(32位)访问



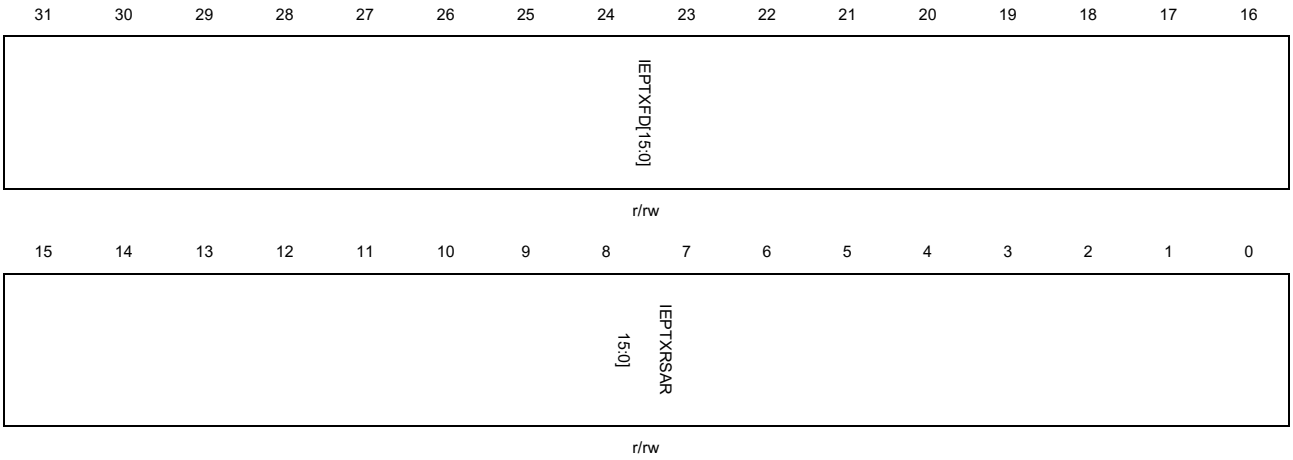
r/rw

位/位域	名称	描述
31:16	HPTXFD[15:0]	主机周期性Tx FIFO深度 以32位字计数 1<=HPTXFD<=1024
15:0	HPTXFSAR[15:0]	主机周期性Tx RAM起始地址 主机周期性发送FIFO RAM起始地址

设备 IN 端点发送 FIFO 长度寄存器 (USBFS_DIEPxTFLEN) (x = 1..3，其中 x 为 FIFO 编号)

地址偏移：0x0104 + (FIFO编号-1) × 0x04
复位值：0x0200 0400

该寄存器只能按字(32位)访问

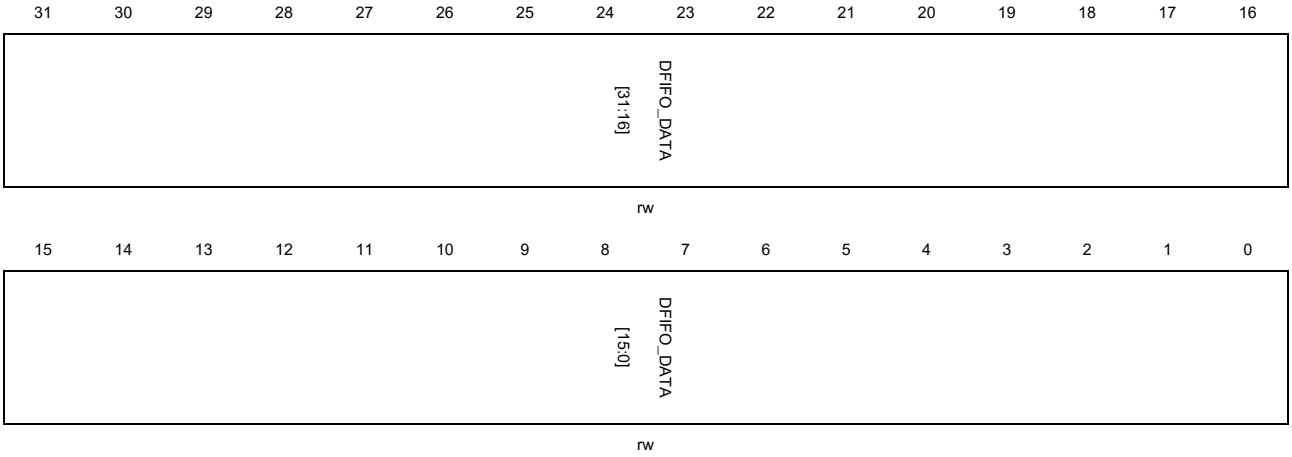


位/位域	名称	描述
31:16	IEPTXFD[15:0]	IN端点Tx FIFO深度 以32位字计数 1<=HPTXFD<=1024
15:0	IEPTXRSAR[15:0]	IN端点FIFOx Tx RAM起始地址 以32位字为单位的IN端点发送FIFOx起始地址

数据 FIFO 寄存器(USBFS_DFIFO)

地址偏移：0x1000
主机模式下：写地址范围：[0x1000,0x8FFF]，读地址范围：[0x1000,0xFFFF]
设备模式下：写地址范围：[0x1000,0x4FFF]，读地址范围：[0x1000,0xFFFF]

复位值：0x0000 0000



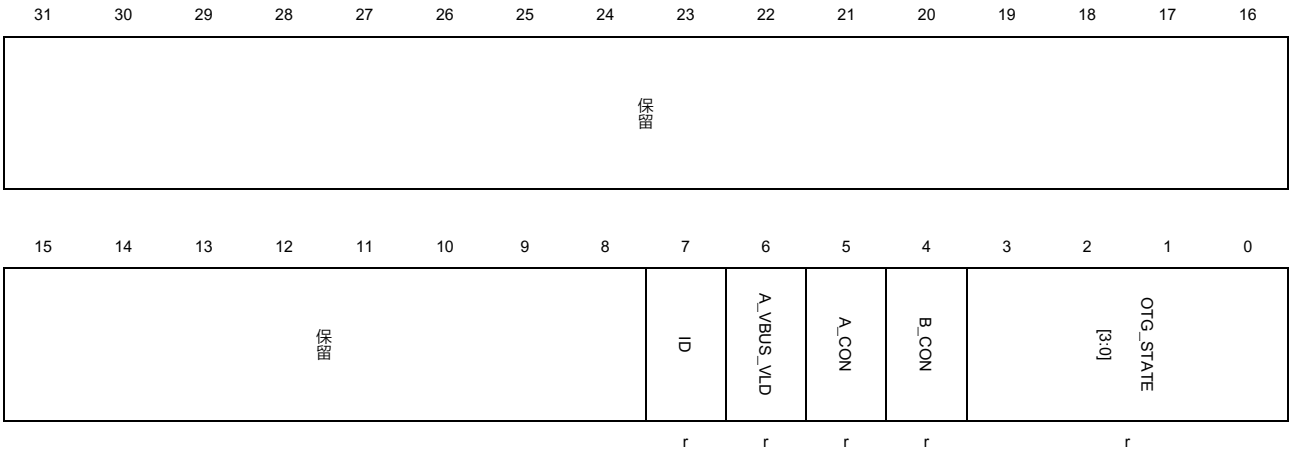
位/位域	名称	描述
31:0	DFIFO_DATA [31:0]	写该地址会将data push到相应的data FIFO中 读该地址会从相应的RX FIFO中pop出data值，读溢出的地址会读到上次pop的最新值。

USBFS 调试寄存器(USBFS_DBG)

地址偏移：0x10000

地址范围：[0x10000,0x1FFFF]

复位值：0x0000 0000

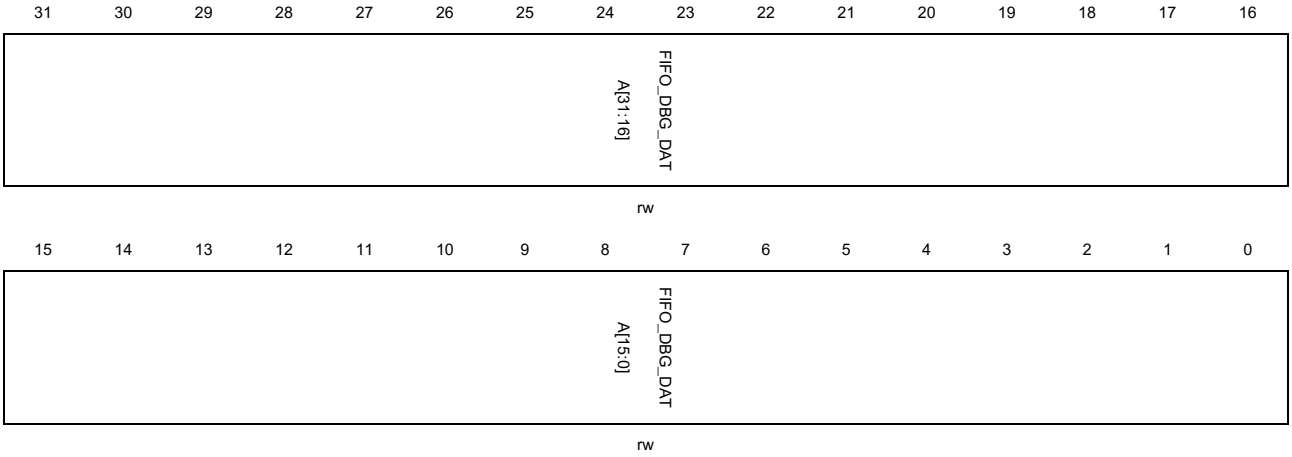


位/位域	名称	描述
31:8	保留	必须保持复位值。
7	ID	ID信号
6	A_VBUS_VLD	检测到VBUS电压超过valid阈值
5	A_CON	检测到A设备连接

4	B_CON	检测到B设备连接
3:0	OTG_STATE[3:0]	内部OTG状态机的状态

数据 FIFO 调试寄存器(USBFS_DFIFODBG)

地址偏移：0x20000
写地址范围：[0x20000,0x204FF]，读地址范围：[0x20000,0x2FFFF]
复位值：0x0000 0000



位/位域	名称	描述
31:0	FIFO_DBG_DATA [31:0]	该寄存器用于debug FIFO中的数据，不推荐用户使用 写该地址会将data写到相应的data FIFO中 读该地址会从对应的地址中读出data值，读溢出的地址会读到上次读到的最新值。

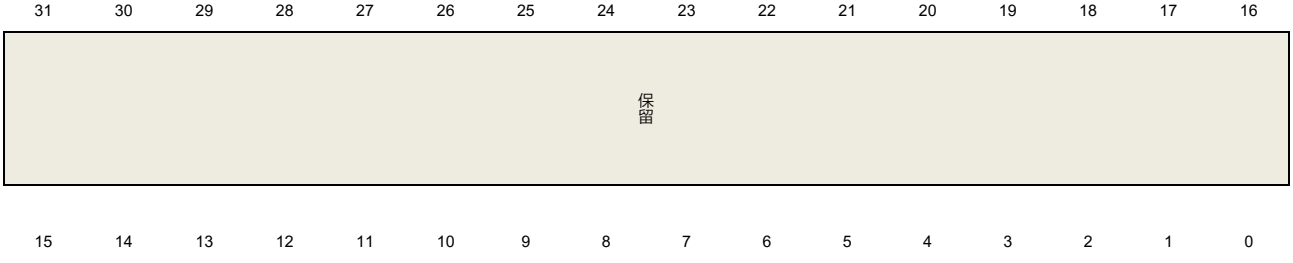
33.7.2. 主机控制和状态寄存器组

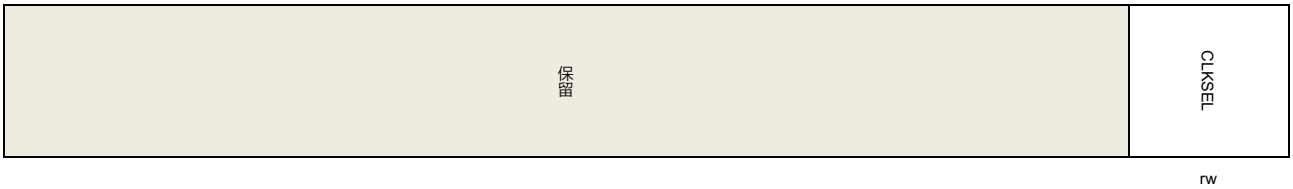
主机控制寄存器 (USBFS_HCTL)

地址偏移：0x0400
复位值：0x0000 0000

在主机模式下，上电后，该寄存器有USB内核配置。主机初始化后，无需修改。

该寄存器只能按字(32位)访问





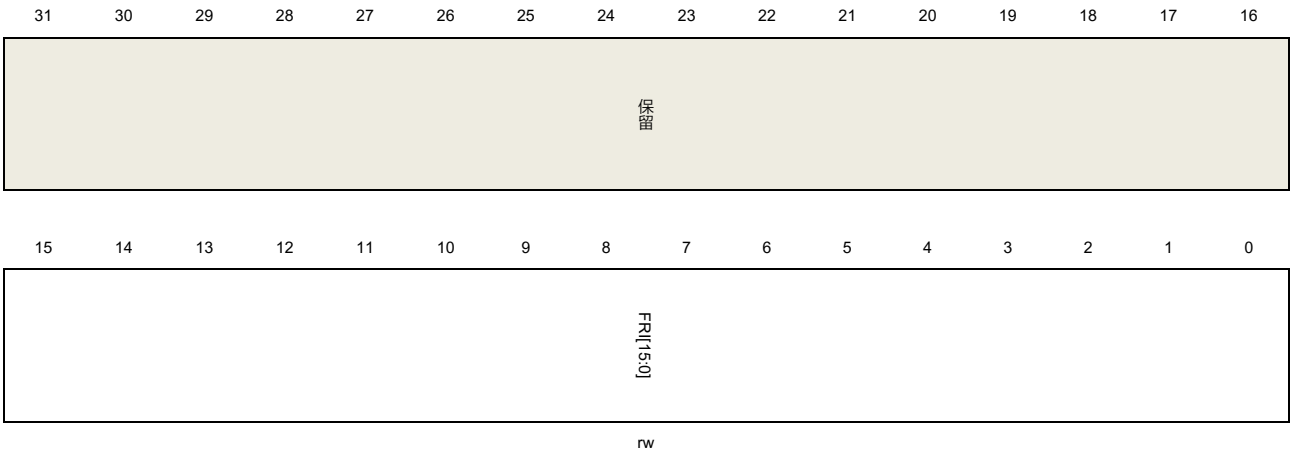
位/位域	名称	描述
31:2	保留	必须保持复位值。
1:0	CLKSEL[1:0]	USB时钟选择 01：48MHz时钟 其他：保留

主机帧间隔寄存器 (USBFS_HFT)

地址偏移：0x0404
复位值：0x0000 BB80

当USBFS控制器正在枚举中时，该寄存器为当前枚举速度设置帧间隔。

该寄存器只能按字(32位)访问

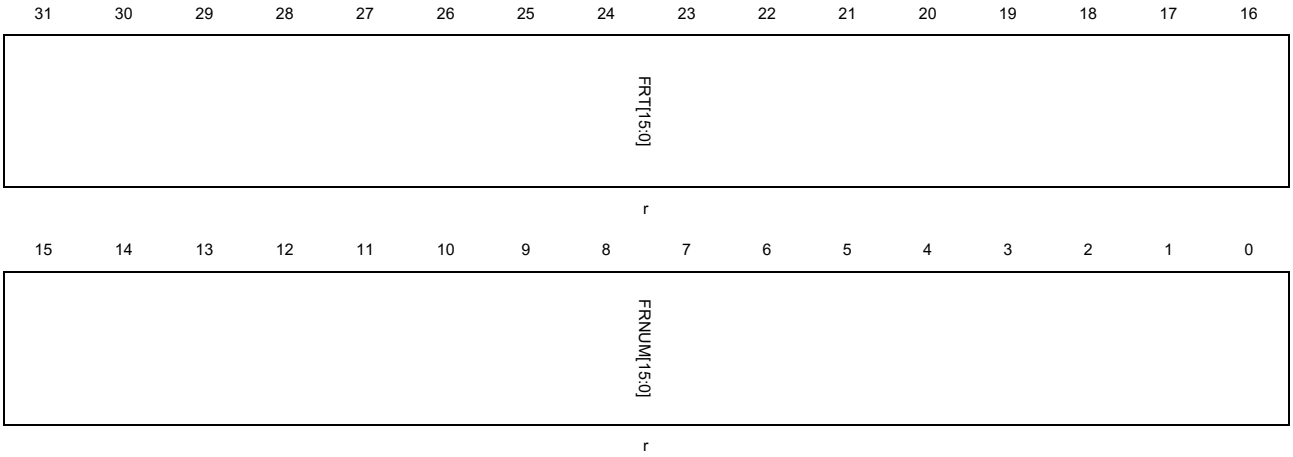


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	FRI[15:0]	帧间隔 该值描述了以PHY时钟为单位的帧周期。每次端口复位操作后，端口被使能，USBFS根据当前速度，采用一个固有值，并且软件可以向该位域写值以改变该固有值。该值需要采用以下描述的频率来进行计算： 全速：48MHz 低速：6MHz

主机帧信息保持寄存器 (USBFS_HFINFR)

地址偏移：0x0408
复位值：0xBB80 0000

该寄存器只能按字(32位)访问



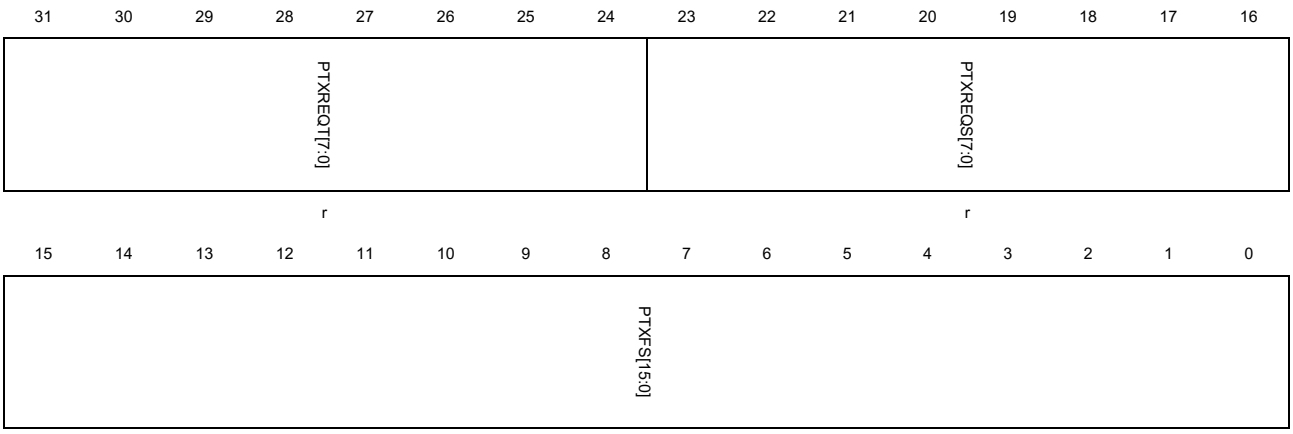
位/位域	名称	描述
31:16	FRT[15:0]	帧剩余时间 该位域以PHY时钟为单位反映了当前帧剩余时间。
15:0	FRNUM[15:0]	帧号 该位域反映了当前帧的帧号，当其增加到0x3FFF后，其值变为0。

主机周期性发送 FIFO/队列状态寄存器 (USBFS_HPTFQSTAT)

地址偏移：0x0410
复位值：0x0008 0200

该寄存器反映了主机周期性Tx FIFO和请求队列的当前状态。请求队列包括在主机模式下的IN、OUT或其他请求条目。

该寄存器只能按字(32位)访问



r

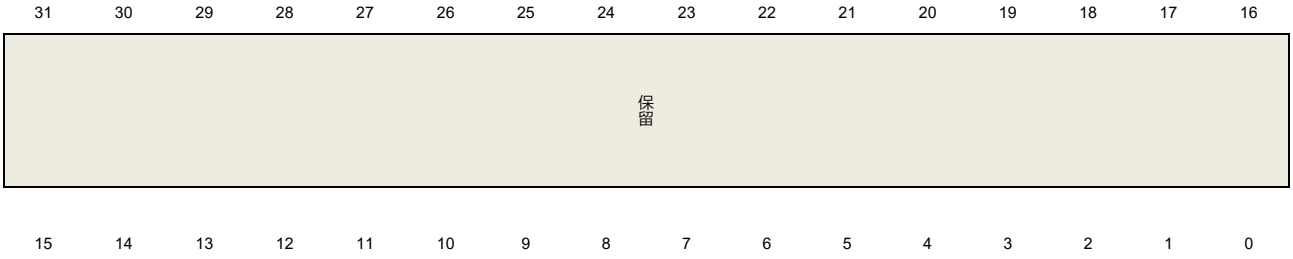
位/位域	名称	描述
31:24	PTXREQT[7:0]	周期性Tx 请求队列的顶部条目 在周期性发送请求队列中的条目 位30:27：通道号 位26:25： - 00：IN/OUT 令牌 - 01：0长度OUT包 - 11：通道中止请求 位24：中止标志，指示所选通道的最后一个条目
23:16	PTXREQS[7:0]	周期性发送请求队列空间 周期性发送请求队列剩余空间 0：请求队列为空 1：1个条目 2：2个条目 … n：n个条目 (0<=n<=8) 其他：保留
15:0	PTXFS[15:0]	周期性发送FIFO空间 周期性发送FIFO剩余空间 以32位字计数 0：周期性发送FIFO为空 1：1个字 2：2个字 n：n个字(0<=n<=PTXFD)) 其他：保留

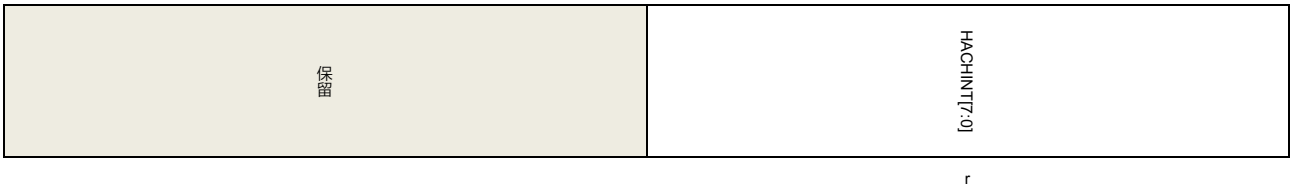
主机所有通道中断寄存器 (USBFS_HACHINT)

地址偏移：0x0414
复位值：0x0000 0000

当触发一个通道中断时，USBFS在该寄存器中置位相应的位，并且软件可以读取该寄存器以获取产生中断的通道。

该寄存器只能按字(32位)访问





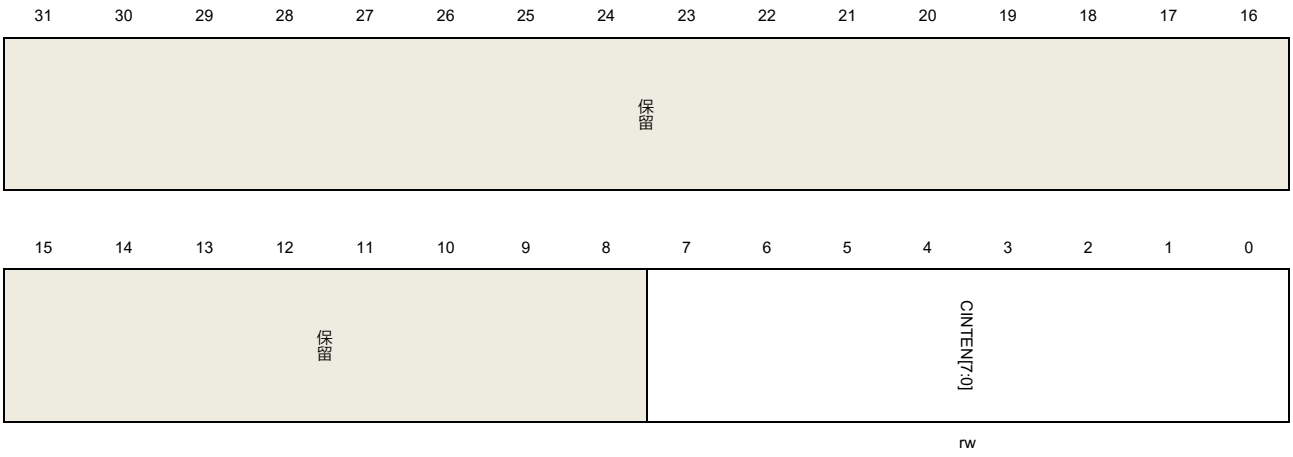
位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	HACHINT[7:0]	主机所有通道中断 每一位表示一个通道：位0代表通道0，位7表示通道7

主机所有通道中断使能寄存器（USBFS_HACHINTEN)

地址偏移：0x0418
复位值：0x0000 0000

软件可以使用该寄存器使能或禁用一个通道的中断。只有该寄存器中相应通道的中断使能控制位被置位，USBFS_GINTF寄存器中的通道中断标志位HCIF标志位才可产生。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:8	保留	必须保持复位值。
7:0	CINTEN	通道中断使能 0：禁用通道n中断 1：使能通道n中断 每一位表示一个通道：位0代表通道0，位7代表通道7

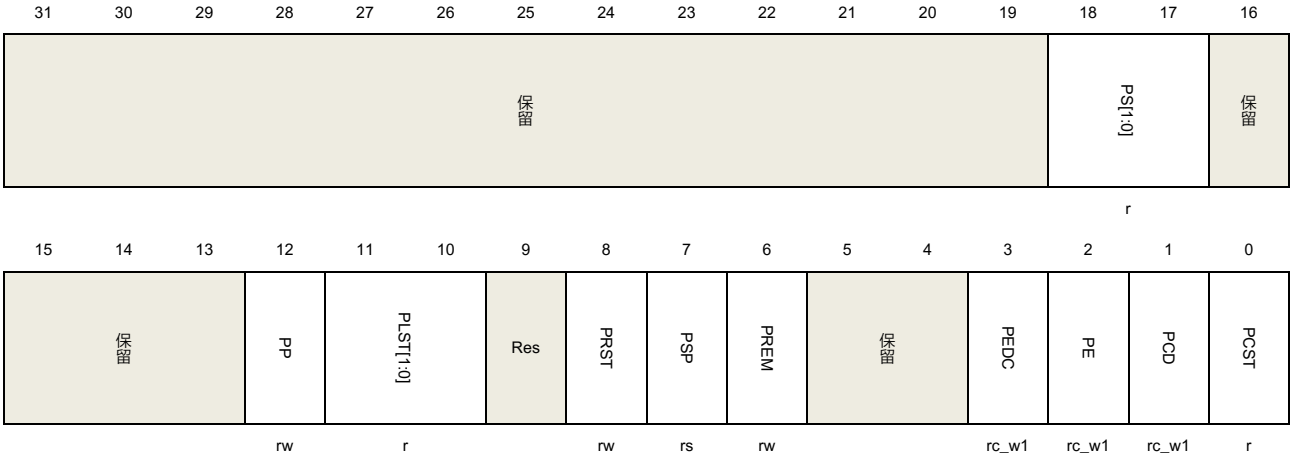
主机端口控制和状态寄存器（USBFS_HPCS)

地址偏移：0x0440

复位值：0x0000 0000

该寄存器控制端口行为，并且也包含一些反映端口状态的标志位。如果本寄存器中的PRST、PEDC和PCD标志位被USBFS置位的话，USBFS_GINTF寄存器中的HPIF标志位会被置位。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:19	保留	必须保持复位值。
18:17	PS[1:0]	端口速度 反映连接到该端口的设备的枚举速度。 01：全速 10：低速 其他：保留
16:13	保留	必须保持复位值。
12	PP	端口供电 在端口被使用后，该控制位应该被置位。由于USBFS不具有电源供应能力，它只能使用该控制位以获取该端口是否在供电状态。软件应该在设置该控制位之前，保证在VBUS引脚上具有电源供应。 0：端口掉电 1：端口供电
11:10	PLST[1:0]	端口线状态 反映USB数据线当前状态 位10：DP线状态 位11：DM线状态
9	保留	必须保持复位值。
8	PRST	端口复位 应用通过设置该控制位以在USB端口上启动一个复位信号。当应用希望停止复位信号时，应用应该清除该控制位。 0：端口不在复位状态

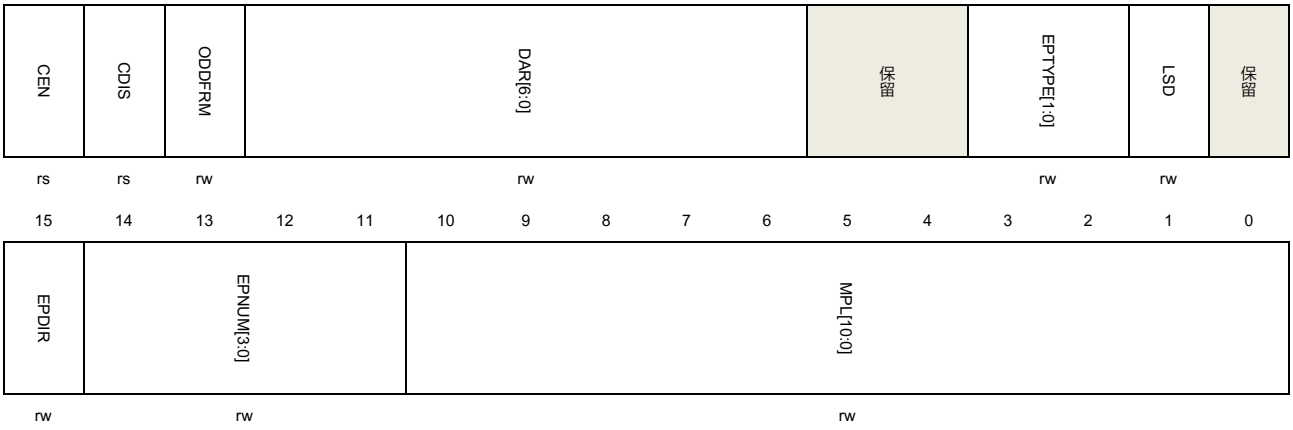
		1：端口处于复位状态
7	PSP	端口挂起 应用设置该控制位来将端口进入挂起状态。当该控制位被置位后，端口停止发送SOF令牌包。该控制位只能够通过以下操作清除。 – 应用置位该寄存器中的PRST控制位 – 置位该寄存器中的PREM控制位 – 检测到一个远程唤醒信号 – 检测到一个设备断开 0：端口不在挂起状态 1：端口处于挂起状态
6	PREM	端口恢复 应用通过置位该控制位以在USB端口上启动一个恢复信号。当应用希望停止恢复信号时，应用可以清除该控制位。 0：无恢复驱动 1：恢复驱动
5:4	保留	必须保持复位值。
3	PEDC	端口使能/禁止更改 当该寄存器中的位2端口使能控制位更改时，USB内核置位该标志位。
2	PE	端口使能 当USB复位信号完成后，USBFS自动置位该位，并且该位不可由软件置位。 该位可通过以下事件清除： – 一个断开状态 – 软件清除该位 0：端口禁止 1：端口使能
1	PCD	端口连接检测 当检测到设备连接时，USBFS置位该标志位。可通过向该位写1清除该标志位。
0	PCST	端口连接状态 0：设备没有连接到该端口 1：设备连接到该端口

主机通道 x 控制寄存器 (USBFS_HCHxCTL) (x = 0…7，其中 x 为通道号)

地址偏移：0x0500 +(通道号 × 0x20)
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16



位/位域	名称	描述
31	CEN	通道使能 由应用设置，并且由USBFS清除 0：通道禁止 1：通道使能 软件应该遵循操作指南来禁用或者使能一个通道
30	CDIS	通道禁止 软件可以置位该控制位，来从处理事务中禁用该通道。软件应该遵循操作指南来禁用或者使能一个通道。
29	ODDFRM	奇偶帧控制 对于周期性传输(中断或同步传输)，该位控制将要处理的通道事务为奇数帧还是偶数帧。
28:22	DAR[1:0]	设备地址 与该通道通信的USB设备地址。
21:20	保留	必须保持复位值。
19:18	EPTYPE	端点类型 与该通道通信的端点的传输类型 00：控制 01：同步 10：批量 11：中断
17	LSD	低速设备 与该通道通信的设备是一个低速设备。
16	保留	必须保持复位值。
15	EPDIR	端点方向 与该通道通信的端点的传输方向 0：OUT 1：IN

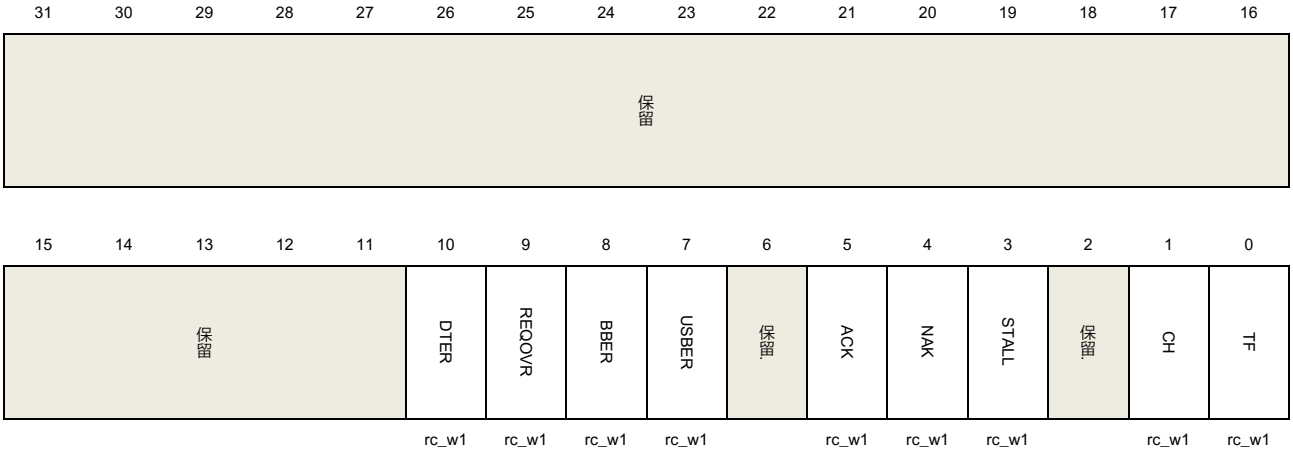
14:11	EPNUM[3:0]	端点号 与该通道通信的端点号
10:0	MPL[10:0]	最大包长 目标端点的最大包长

主机通道 x 中断标志寄存器 (USBFS_HCHxINTF) (x = 0…7，其中 x = 通道号)

地址偏移：0x0508 +(通道号 × 0x20)
复位值：0x0000 0000

该寄存器包含一个通道的状态和事件，当软件获取一个通道中断时，软件需要为相应通道读取该寄存器以获取产生中断的中断源。该寄存器中的标志位均由硬件置位，并且写1清除。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:11	保留	必须保持复位值。
10	DTER	数据切换错误 IN事务获取一个数据包，但是该包的PID和USBFS_HCHxLEN寄存器中的DPID[1:0]控制位不匹配。
9	REQOVR	请求队列上溢 当软件启动新的传输时，请求队列上溢。
8	BBER	串扰错误 USB总线上发生一个串扰事件。产生串扰事件的典型原因是端点发送了一个数据包，但是数据包长度超过了端点的最大包长。
7	USBER	USB总线错误 当在接收一个数据包的过程中，发生以下事件时，将置位USB总线错误标志位： 接收包有一个错误的CRC域 在USB总线上检测到填充错误 当等待一个响应包时，超时

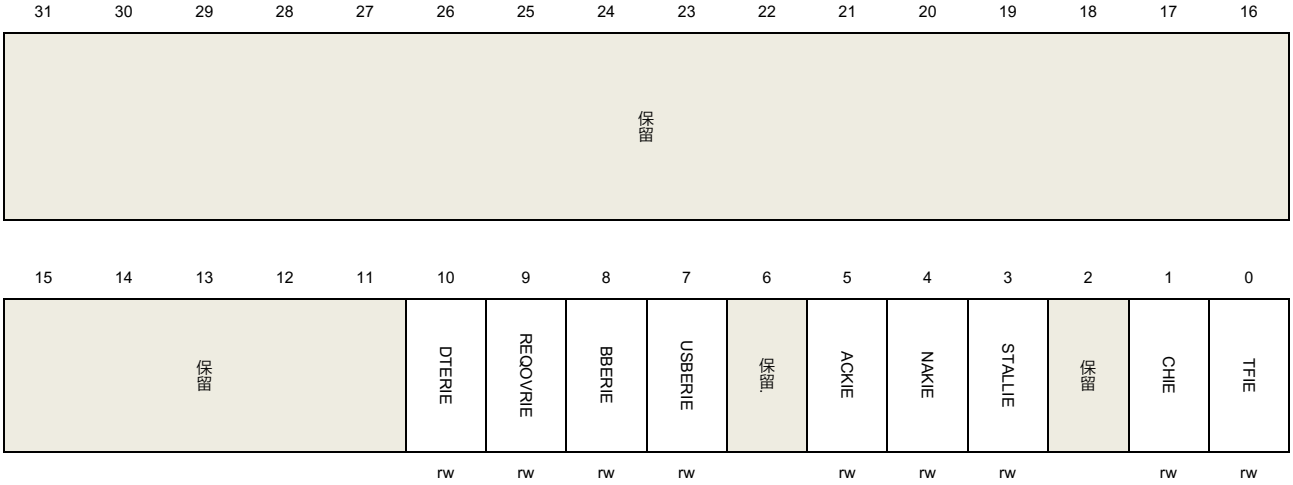
6	保留	必须保持复位值。
5	ACK	ACK 接收或者发送一个ACK响应包
4	NAK	NAK 接收到一个NAK响应包
3	STALL	STALL 接收到一个STALL响应包
2	保留	必须保持复位值。
1	CH	通道中止 通道被当前请求所禁用，在当前请求处理的过程中，并不响应其他请求处理。
0	TF	发送完成 该通道所有的事务成功完成并且无错误发生。 对于IN通道，在USBFS_HCHxLEN寄存器的PCNT位减到0后，该标志位被置位。 对于OUT通道，当软件从RxFIFO中读取和取出一个TF状态条目时，该标志位被置位。

主机通道 x 中断使能寄存器 (USBFS_HCHxINTEN) (x = 0…7，其中 x = 通道号)

地址偏移：0x050C +(通道号 × 0x20)
复位值：0x0000 0000

该寄存器包含USBFS_HCHxINTF寄存器内中断标志位的中断使能位。如果该寄存器的某位被软件置位，USBFS_HCHxINTF寄存器内的相应位能够触发一个通道中断。该寄存器内的位可由软件置位和清除。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:11	保留	必须保持复位值。

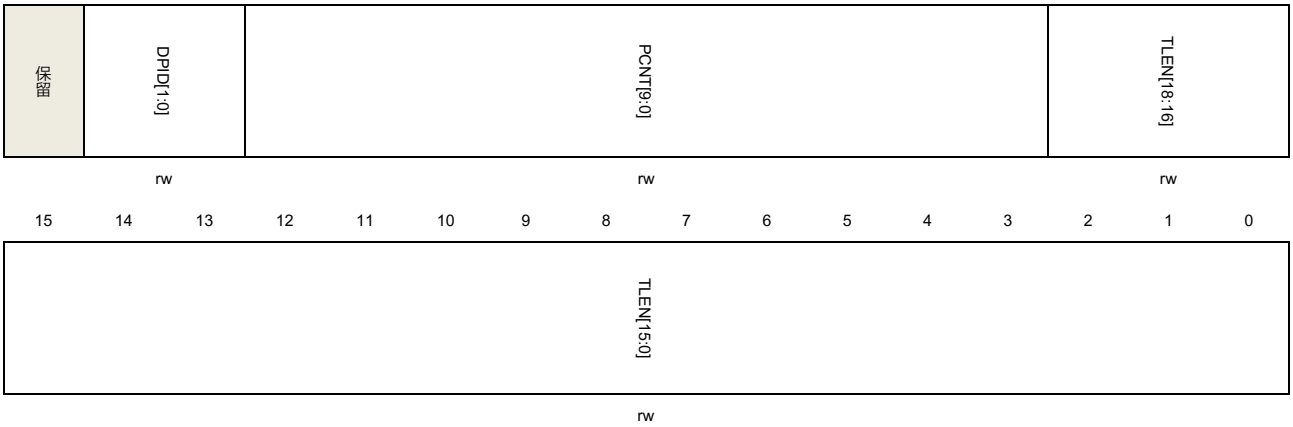
10	DTERIE	数据切换错误中断使能 0：禁用数据切换错误中断 1：使能数据切换错误中断
9	REQOVRIE	请求队列上溢中断使能 0：禁用请求队列上溢中断 1：使能请求队列上溢中断
8	BBERIE	串扰错误中断使能 0：禁用串扰错误中断 1：使能串扰错误中断
7	USBERIE	USB总线错误中断使能 0：禁用USB总线错误中断 1：使能USB总线错误中断
6	保留	必须保持复位值。
5	ACKIE	ACK中断使能 0：禁用ACK中断 1：使能ACK中断
4	NAKIE	NAK中断使能 0：禁用NAK中断 1：使能NAK中断
3	STALLIE	STALL中断使能 0：禁用STALL中断 1：使能STALL中断
2	保留	必须保持复位值。
1	CHIE	通道中止中断使能 0：禁用通道中止中断 1：使能通道中止中断
0	TFIE	传输完成中断使能 0：禁用传输完成中断 1：使能传输完成中断

主机通道 x 长度寄存器 (USBFS_HCHxLEN) (x = 0…7，其中 x = 通道号)

地址偏移：0x0510 +(通道号 × 0x20)
复位值：0x0000 0000

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16



位/位域	名称	描述
31	保留	必须保持复位值。
30:29	DPID[1:0]	数据PID 软件应该在传输起始之前写该段位域。对于OUT传输，该位域包含第一个传输包的数据PID。对于IN传输，该位域包含第一个接收包的数据PID，并且如果数据PID不匹配的话，将会触发DTER标志位。在传输开始之后，USBFS遵循USB协议自动改变和切换该位域。 00：DATA0 10：DATA1 11：SETUP(仅对于控制传输) 01：保留
28:19	PCNT[9:0]	包计数 在一个传输中希望发送(OUT)或接收(IN)的数据包个数。 软件应该在通道使能之前写该位域。在传输启动之后，该位域在USBFS正确传输每个数据包后，自动减少。
18:0	TLEN[18:0]	传输长度 一次传输的总数据字节数。 对于OUT传输，该位域为OUT传输中期望发送的所有数据包总数据字节数。软件应该在通道使能之前写该位域。当软件或DMA正确向通道的数据FIFO中写入一个包时，该位域以包中字节大小进行减少。 对于IN传输，每次软件或DMA从RxFIFO中读取一个包后，该位域也以包中字节大小进行减少。

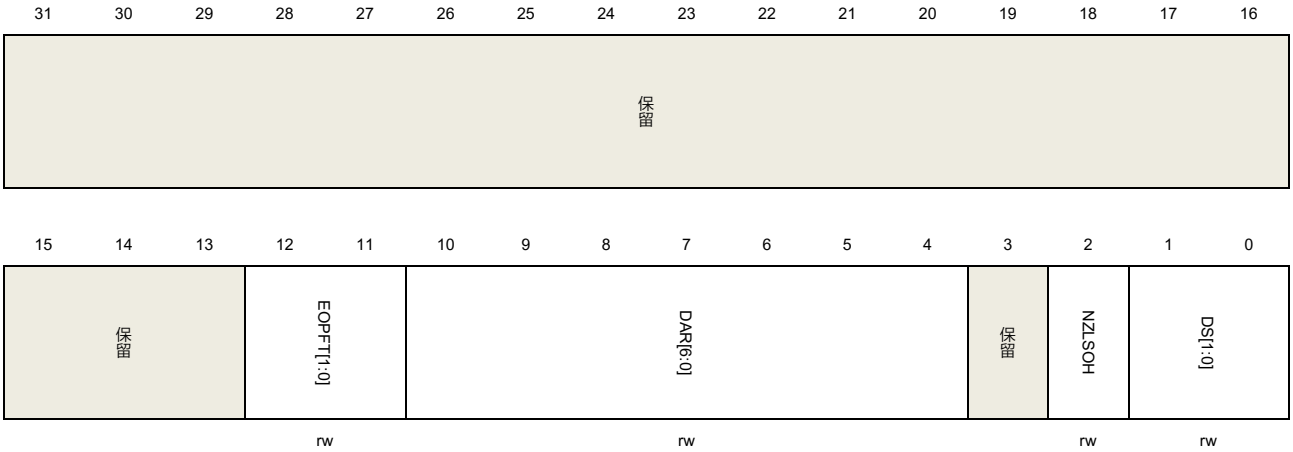
33.7.3. 设备控制和状态寄存器组

设备配置寄存器 (USBFS_DCFG)

地址偏移：0x0800
复位值：0x0000 0000

在上电、枚举或执行某些控制命令后，该寄存器配置内核为设备模式。在设备初始化后，不可以改变该寄存器值。

该寄存器采用字(32位)访问

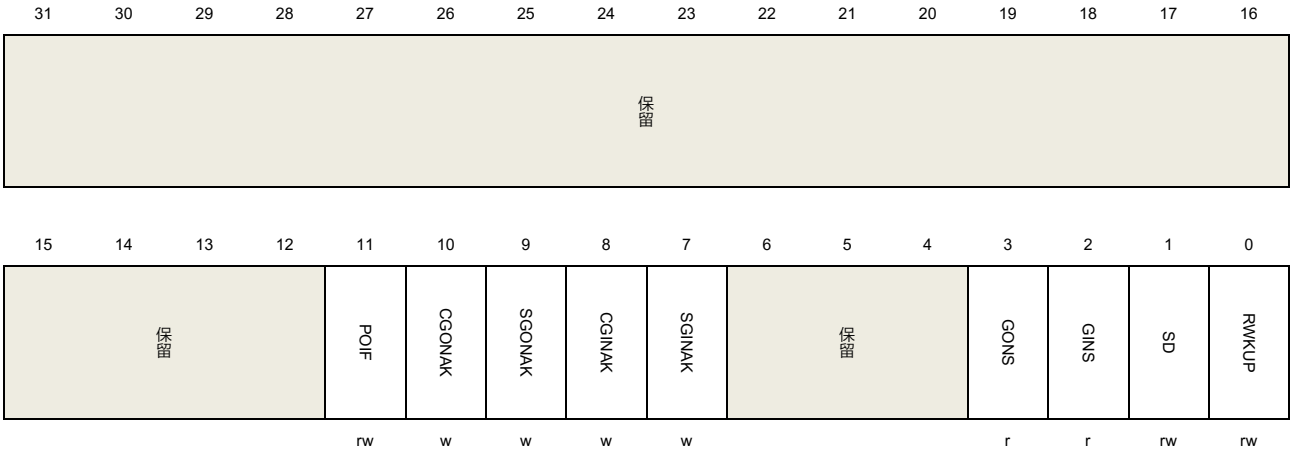


位/位域	名称	描述
31:13	保留	必须保留为复位值。
12:11	EOPFT[1:0]	周期性帧尾时间 该域定义周期性帧时间的帧尾标志触发的时间点 00：80%的帧时间 01：85%的帧时间 10：90%的帧时间 11：95%的帧时间
10:4	DAR[6:0]	设备地址 该位定义USB设备地址，USBFS采用该位匹配接收的设备令牌地址域，在接收到来自主机的设置地址的命令后，软件设置该域
3	保留	必须保留为复位值。
2	NZLSOH	非零长度OUT状态阶段握手 在控制传输的OUT状态阶段，当USB设备接收到一个非零长度数据包时，该域控制控制USBFS是接收该包，还是用STALL握手信号拒绝该包。 0：把该包视为正常包，根据设备OUT端点控制寄存器的NAKS和STALL位，回复握手相应握手包 1：发送STALL握手，不保存接收到的OUT数据包
1:0	DS[1:0]	设备速度 该域控制设备连入主机后的设备速度 11：全速 其他：保留

设备控制寄存器 (USBFS_DCTL)

地址偏移：0x0804
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31:12	保留	必须保留为复位值。
11	POIF	上电初始化完成 软件通过设置该位，通知USBFS寄存器在从掉电模式下唤醒，然后完成初始化。
10	CGONAK	清零全局OUT NAK 软件设置该位从而清零该寄存器的GONS位
9	SGONAK	设置全局OUT NAK 软件设置该位从而实现该寄存器的位GONS置位。 当GONS位为零，设置该位会引起USBFS_GINTF寄存器的GONAK标志触发，软件应该在再写该位前清除GONAK标志。
8	CGINAK	清零全局IN NAK 软件设置该位从而清零该寄存器的GINS位
7	SGINAK	设置全局IN NAK 软件设置该位从而实现该寄存器的位GINS置位 当GINS位为零，设置该位会引起USBFS_GINTF寄存器的GINAK标志触发，软件应该在再写该位前清除GINAK标志。
6:4	保留	必须保留为复位值。
3	GONS	全局OUT NAK状态 0：USBFS回复OUT事务的握手信号以及是否保存OUT数据包由Rx FIFO状态、端点的NAKS、STALL位确定。 1：USBFS回复OUT事务NAK握手信号，不保存接收的OUT数据包。
2	GINS	全局IN NAK状态

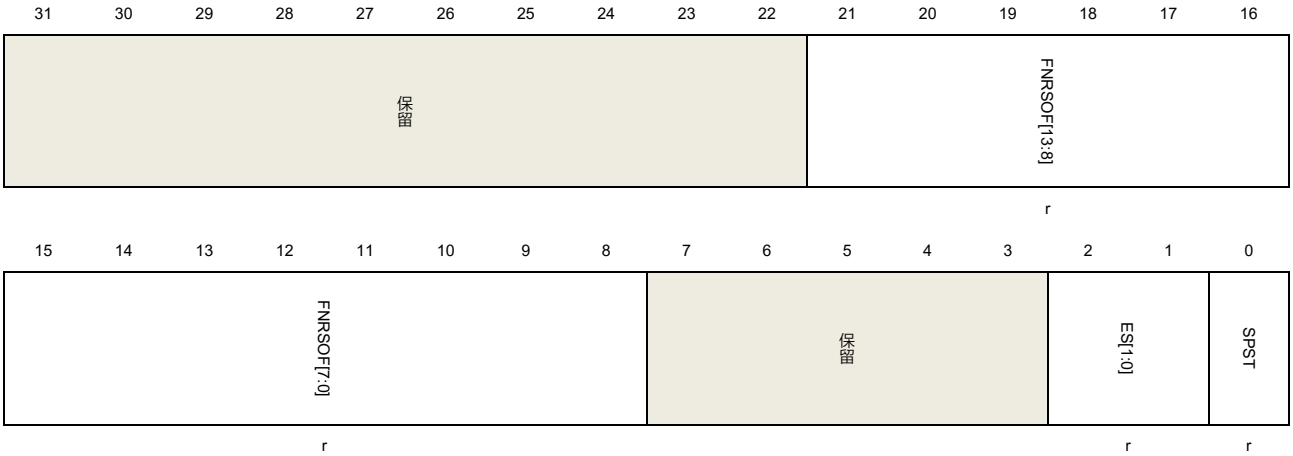
		0：USBFS回复IN事务的握手信号由Tx FIFO状态、端点的NAKS、STALL位确定。 1：USBFS通常回复IN事务NAK握手信号
1	SD	软断开 软件可实现USB总线上的软断开，在置1该位后，关掉DP线上的上拉电阻，从而引起主机检测设备的断开。 0：没有软断开生成 1：生成软断开
0	RWKUP	远程唤醒 在挂起状态，软件可通过该位来生成一个远程唤醒信号来通知主机恢复USB总线 0：没有远程唤醒信号生成 1：生成远程唤醒信号

设备状态寄存器 (USBFS_DSTAT)

地址偏移：0x0808
复位值：0x0000 0000

该寄存器包含设备模式下的USBFS的状态和信息。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:22	保留	必须保留为复位值。
21:8	FNRSOF[13:0]	所接收的SOF帧编号 USBFS会在接收到一个SOF令牌后更新该域。
7:3	保留	必须保留为复位值。
2:1	ES[1:0]	枚举速度 该域指示所枚举的设备速度，在寄存器USBFS_GINTF的ENUMF标志触发后，软件可以读取该域。 11：全速

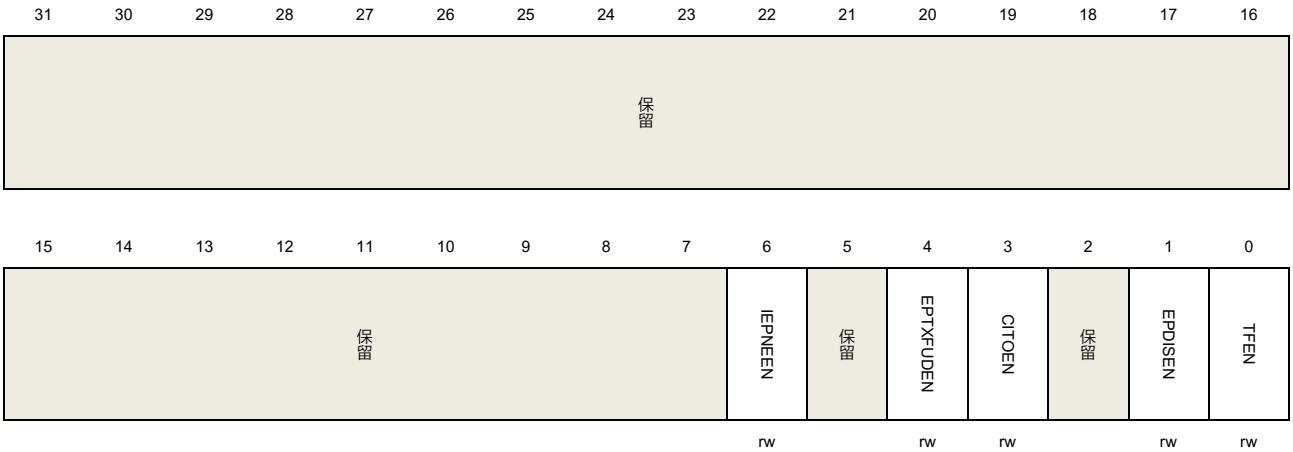
		其他：保留
0	SPST	挂起状态 该位指示设备是否处于挂起状态。 0：设备不在挂起状态 1：设备在挂起状态

设备 IN 端点通用中断使能寄存器（USBFS_DIEPINTEN)

地址偏移：0x810
复位值：0x0000 0000

该寄存器包含寄存器USBFS_DIEPxINTF中的标志的中断使能位，如果软件置1某位，其在寄存器USBFS_DIEPxINTF中对应的位可以触发一个寄存器USBFS_DAEPINT端点中断。该位可以通过软件置位和清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:7	保留	必须保留为复位值。
6	IEPNEEN	IN端点NAK有效中断使能位 0：除能中断 1：使能中断
5	保留	必须保留为复位值。
4	EPTXFUDEN	端点Tx FIFO下溢中断使能位 0：除能中断 1：使能中断
3	CITOEN	控制IN事务超时中断使能位 0：除能中断 1：使能中断

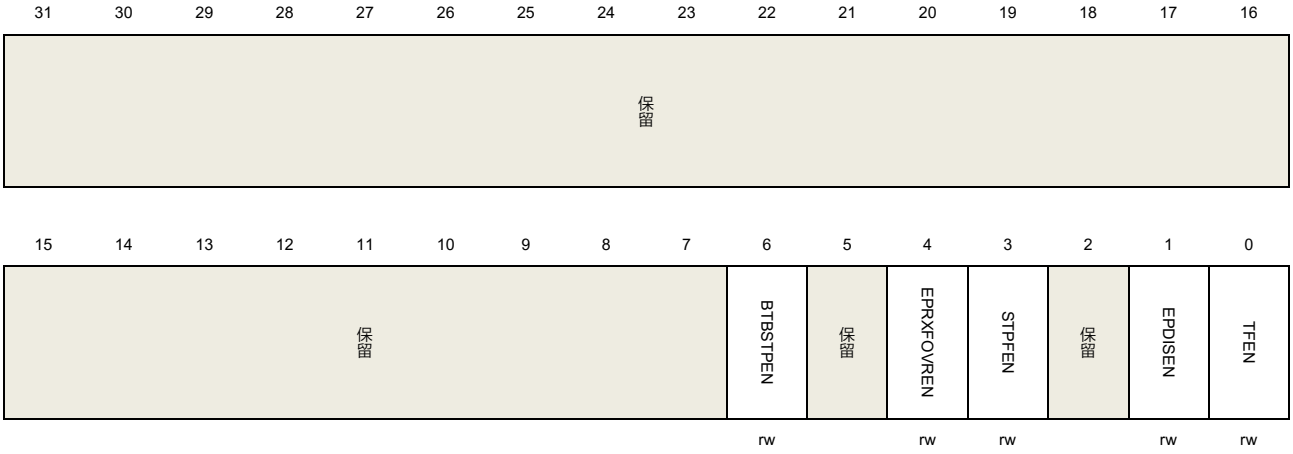
2	保留	必须保留为复位值。
1	EPDISEN	端点除能中断使能位 0：除能中断 1：使能中断
0	TFEN	传输完成中断使能位 0：除能中断 1：使能中断

设备 OUT 端点通用中断使能寄存器 (USBFS_DOEPINTEN)

地址偏移：0x0814
复位值：0x0000 0000

该寄存器包含寄存器USBFS_DOEPxINTF中的标志的中断使能位，如果软件置1某位，其在寄存器USBFS_DOEPxINTF中对应的位可以触发一个寄存器USBFS_DAEPINT端点中断。该位可以通过软件置位和清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:7	保留	必须保留为复位值。
6	BTBSTPEN	连续SETUP包中断使能位(仅适用于控制OUT端点) 0：除能中断 1：使能中断
5	保留	必须保留为复位值。
4	EPRXFOVREN	端点Rx FIFO上溢中断使能位 0：除能中断 1：使能中断
3	STPFEN	SETUP阶段完成中断使能位(仅适用于控制OUT端点) 0：除能中断

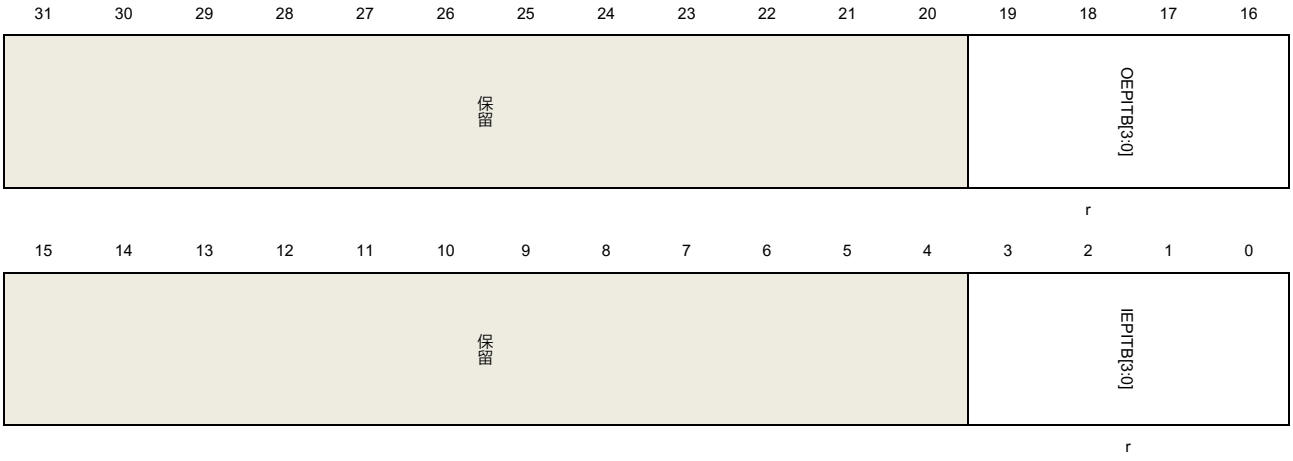
		1：使能中断
2	保留	必须保留为复位值。
1	EPDISEN	端点除能中断使能位 0：除能中断 1：使能中断
0	TFEN	传输完成中断使能位 0：除能中断 1：使能中断

设备端点中断寄存器 (USBFS_DAEPINT)

地址偏移：0x0818
复位值：0x0000 0000

当一个端点的中断被触发，USBFS置1该寄存器的相应位，软件可通过该寄存器知道在本次中断中的端点号。

该寄存器采用字(32位)访问



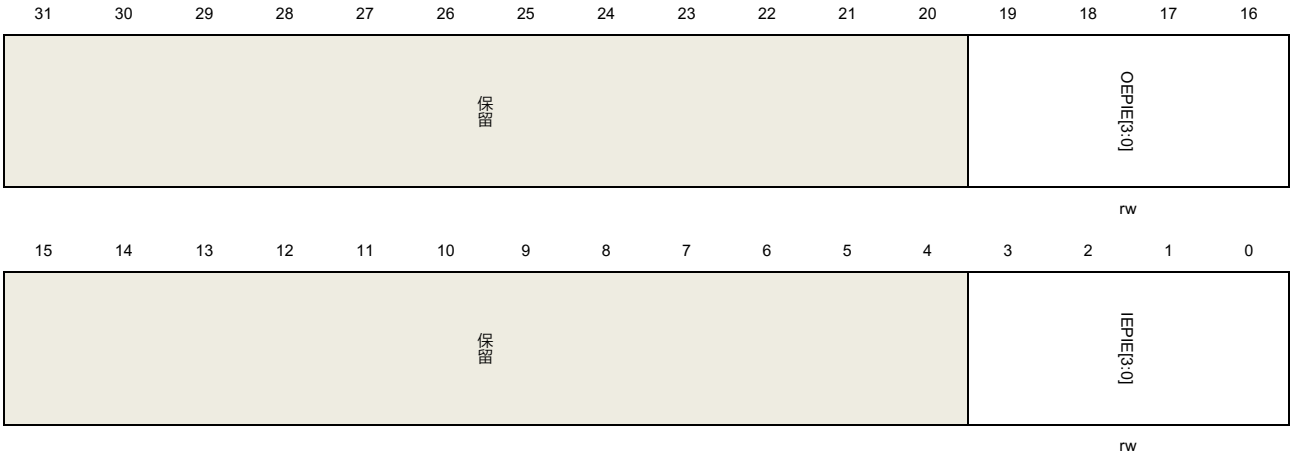
位/位域	名称	描述
31:20	保留	必须保留为复位值。
19:16	OEPITB[3:0]	设备OUT端点中断位 每个位代表一个OUT端点：Bit16代表OUT端点0，Bit19代表OUT端点3
15:4	保留	必须保留为复位值。
3:0	IEPITB[3:0]	设备IN端点中断位 每个位代表一个IN端点：Bit0代表IN端点0，Bit3代表IN端点3

设备端点中断使能寄存器 (USBFS_DAEPINTEN)

地址偏移：0x081C
复位值：0x0000 0000

该寄存器可通过软件使能或除能端点的中断，只有当端点在该寄存器中相应位被置1才能触发寄存器USBFS_GINTF的端点中断标志OEPIF或IEPIF。

该寄存器采用字(32位)访问



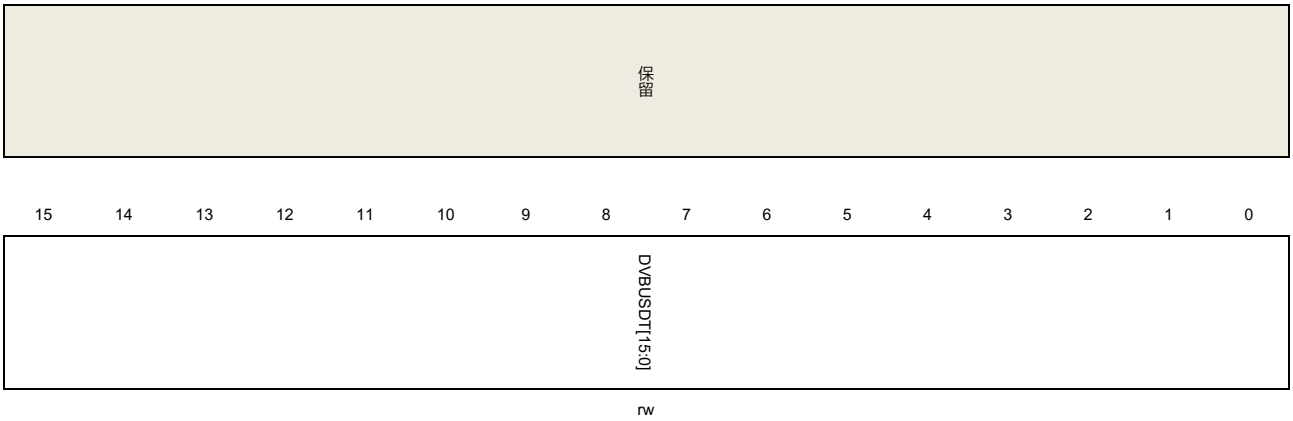
位/位域	名称	描述
31:20	保留	必须保留为复位值。
19:16	OEPIE[3:0]	OUT端点中断使能位 0：除能OUT端点n中断 1：使能OUT端点n中断 每个位代表一个OUT端点：Bit16对应OUT端点0，Bit19对应OUT端点3
15:4	保留	必须保留为复位值。
3:0	IEPIE[3:0]	IN端点中断使能位 0：除能IN端点n中断 1：使能IN端点n中断 每个位代表一个IN端点：Bit0对应IN端点0，Bit3对应IN端点3

设备 VBUS 放电时间寄存器 (USBFS_DVBUSDT)

地址偏移：0x0828
复位值：0x0000 17D7

该寄存器采用字(32位)访问



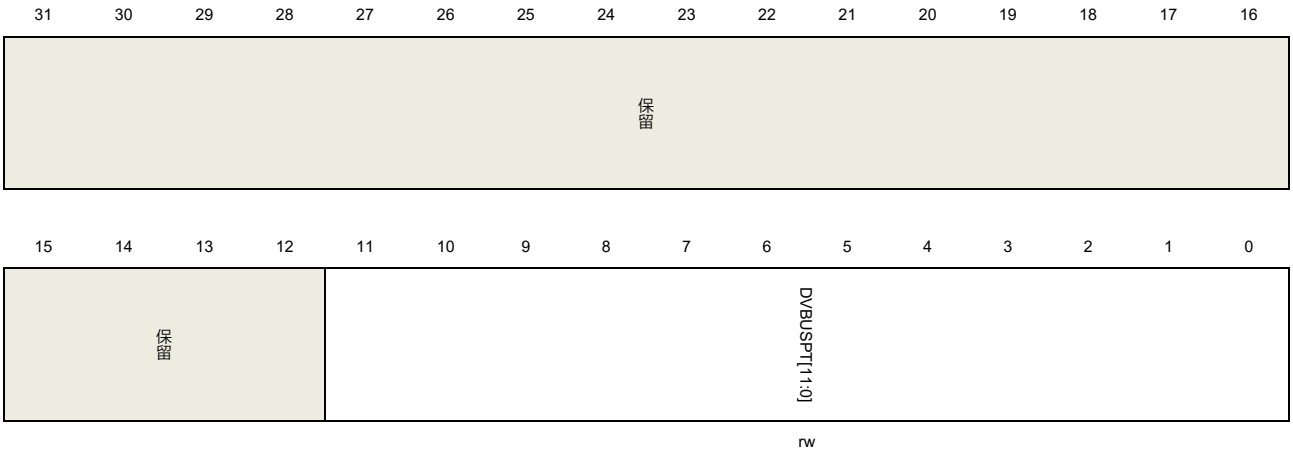


位/位域	名称	描述
31:16	保留	必须保留为复位值。
15:0	DVBUSDT[15:0]	设备V_{BUS}放电时间 在SRP协议中，在V_{BUS}脉冲产生后，有一个放电过程，该域定义了V_{BUS}的放电时间，真正的放电时间是1024*DVBUSDT[15:0] *$T_{USBCLOCK}$，$T_{USBCLOCK}$是USB时钟周期时间。

设备 VBUS 脉冲时间寄存器 (USBFS_DVBUSPT)

地址偏移：0x082C
复位值：0x0000 05B8

该寄存器采用字(32位)访问



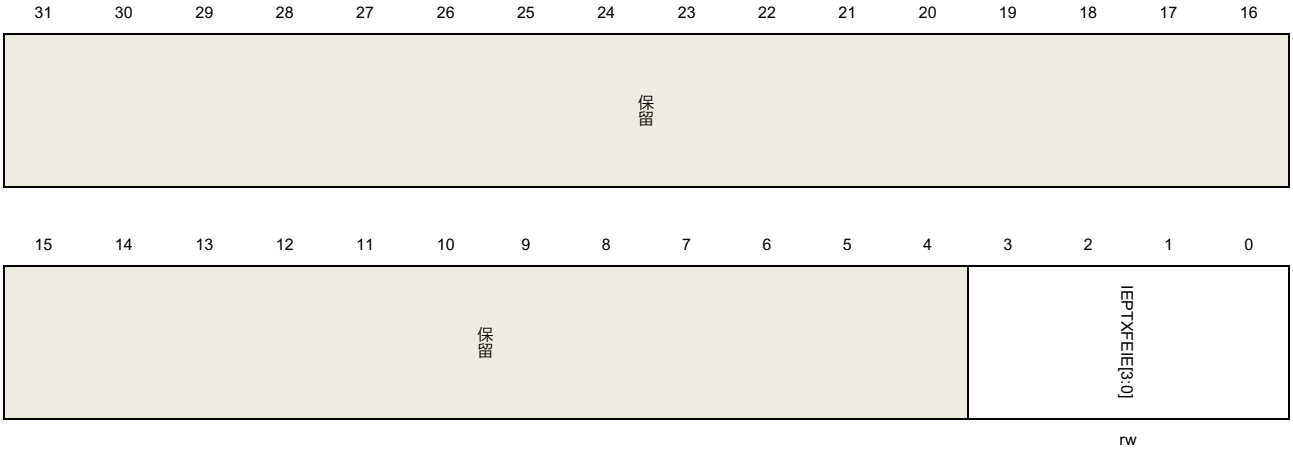
位/位域	名称	描述
31:12	保留	必须保留为复位值。
11:0	DVBUSPT[11:0]	设备V_{BUS}脉冲时间 该域定义V_{BUS}的脉冲时间，真正的充电时间是1024*DVBUSPT[15:0] *$T_{USBCLOCK}$，$T_{USBCLOCK}$是USB时钟周期时间

设备 IN 端点 FIFO 空中断使能寄存器 (USBFS_DIEPFEINTEN)

地址偏移：0x0834
复位值：0x0000 0000

该寄存器包含IN端点Tx FIFO空中断的使能位

寄存器采用字(32位)访问

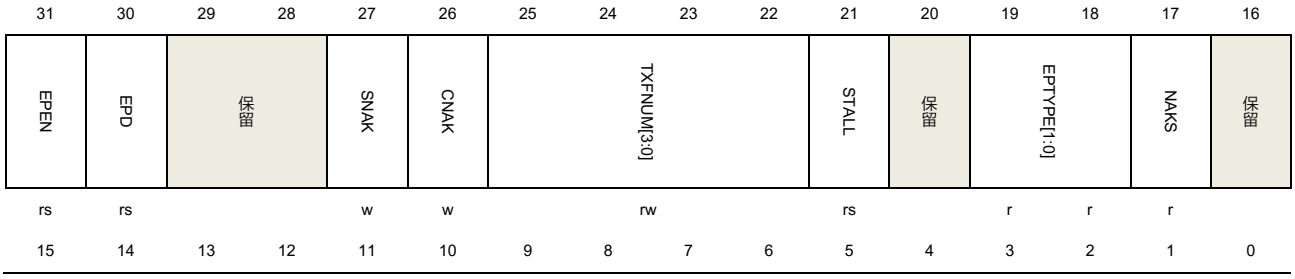


位/位域	名称	描述
31:4	保留	必须保留为复位值。
3:0	IEPTXFEIE[3:0]	IN端点Tx FIFO空中断的使能位 该域控制着USBFS_DIEPxINTF寄存器的TXFE位能否生成一个寄存器USBFS_DAEPINT的端点中断位 Bit0对应IN端点0，Bit5对应IN端点5 0：除能FIFO空中断 1：使能FIFO空中断

设备 IN 端点 0 控制寄存器 (USBFS_DIEP0CTL)

地址偏移：0x0900
复位值：0x0000 8000

该寄存器采用字(32位)访问





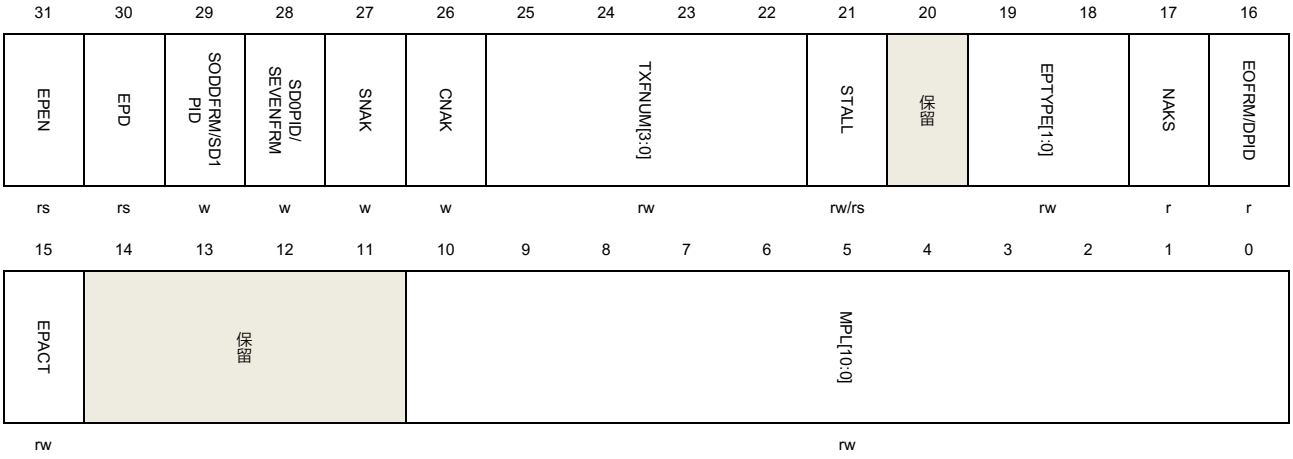
位/位域	名称	描述
31	EPEN	端点使能 软件置位、USBFS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点
30	EPD	端点除能 软件可通过置位该位从而除能端点，软件应该按照操作指南使能或除能端点。
29:28	保留	必须保留为复位值。
27	SNAK	置位NAK 软件置位该位来设置该寄存器的NAKS位
26	CNAK	清零NAK 软件置位该位来清零该寄存器的NAKS位
25:22	TXFNUM[3:0]	Tx FIFO编号 定义IN端点0的Tx FIFO编号
21	STALL	STALL握手 当接收IN令牌时，软件可以通过置1该位发送STALL握手包，对于相应的OUT端点0，在接收SETUP令牌后，USBFS清除此位。该位比该寄存器的NAKS位和寄存器USBFS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。
20	保留	必须保留为复位值。
19:18	EPTYPE[1:0]	端点类型 该域固定为'00',控制端点。
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBFS_DCTL的位GINS被清零，该位控制USBFS的NAK状态。 0：根据端点Tx FIFO的状态，USBFS发送数据或握手包 1：USBFS总为IN令牌发送NAK握手包 该位是只读位，可以通过该寄存器的位CNAK和位SNAK控制该位
16	保留	必须保留为复位值。
15	EPACT	端点激活 对于端点0来说，该域固定为'1'

14:2	保留	必须保留为复位值。
1:0	MPL[1:0]	最大包长 域定义了控制数据包的最大包长，如USB 2.0协议所描述，对控制传输而言，有四种包长度： 00：64字节 01：32字节 10：16字节 11：8字节

设备 IN 端点 x 控制寄存器 (USBFS_DIEPxCTL) (x = 1..3, 3 是端点编号)

地址偏移：0x0900 + (端点编号 * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBFS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点
30	EPD	端点除能 软件可通过置位该位从而除能端点，软件应该按照操作指南使能或除能端点。
29	SODDFRM	设置奇数帧(适用于同步IN端点) 软件通过置1该位置1该寄存器的EOFRM位
	SD1PID	设置DATA1 PID(适用于中断和大容量IN端点) 软件可通过置1该位置1该寄存器的DPID位
28	SEVENFRM	设置偶数帧(适用于同步IN端点)

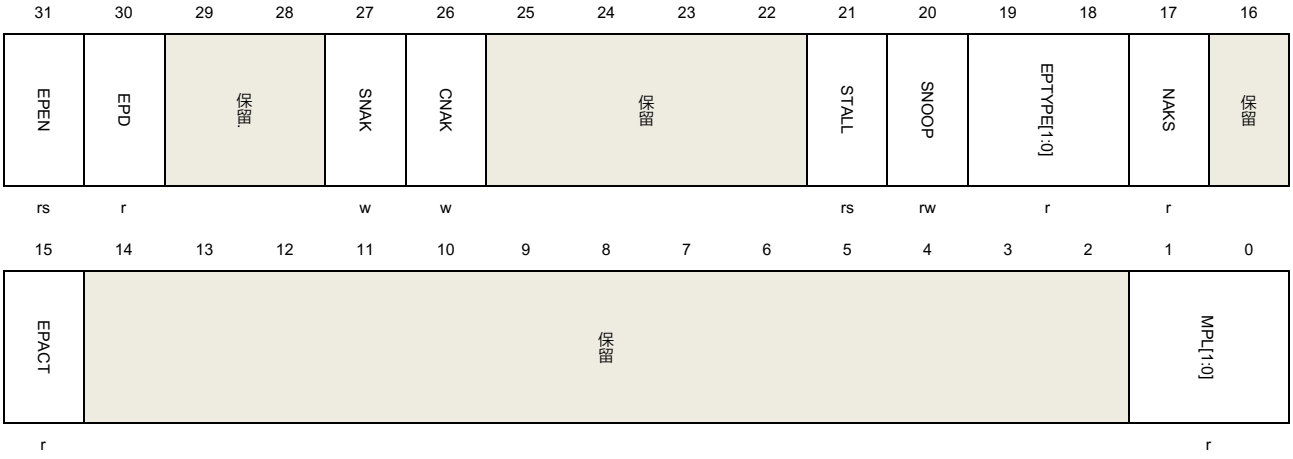
		软件通过置1该位清零该寄存器的EOFRM位
	SD0PID	设置DATA1(适用于中断和大容量IN端点) 软件可通过置1该位清零该寄存器的DPID位
27	SNAK	设置NAK 软件置1该位置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位清零该寄存器的NAKS位
25:22	TXFNUM[3:0]	Tx FIFO编号 该位定义了IN端点的Tx FIFO编号
21	STALL	STALL握手 当接收IN令牌时，软件可以通过置1该位发送STALL握手包。该位比该寄存器的NAKS位和寄存器USBFS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。 对于控制IN端点： 当对应的OUT端点接收到SETUP令牌时，只有USBFS可以清零此位，软件不可清除此位。 对于中断或大容量IN端点： 只有软件可以清零此位。
20	保留	必须保留为复位值。
19:18	EPTYPE[1:0]	端点类型 该域定义端点的传输类型： 00：控制 01：同步 10：大容量 11：中断
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBFS_DCTL的位GINS被清零，该位控制USBFS的NAK状态： 0：根据端点Tx FIFO的状态，USBFS发送数据或握手包 1：USBFS总为IN令牌发送NAK握手包 该位是只读位，可以通过该寄存器的位CNAK和位SNAK控制该位
16	EOFRM	奇偶帧(适用于同步IN端点) 对于同步传输，软件通过使用该位控制USBFS只在奇数帧或偶数帧为IN事务发送数据包，如果当前帧号的奇偶性不匹配该位，USBFS回复一个零长度的包： 0：只在偶数帧发送数据 1：只在奇数帧发送数据
	DPID	端点数据PID(适用于中断或大容量IN端点) 在端点或大容量传输中，有数据PID翻转机制，在传输开始之前，软件通过设定SD0PID来设置此位，按照USB协议中描述的数据PID翻转机制，USBFS在传输过

		程中保持该位。 0：数据包的PID是DATA0 1：数据包的PID是DATA1
15	EPACT	端点激活 该位控制端点是否激活，当端点没有激活，忽略任何令牌，不做任何回复。
14:11	保留	必须保留为复位值。
10:0	MPL[10:0]	该域定义最大包长

设备 OUT 端点 0 控制寄存器 (USBFS_DOEP0CTL)

地址偏移: 0x0B00
复位值: 0x0000 8000

该寄存器采用字(32位)访问



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBFS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点。
30	EPD	端点除能 对于OUT端点0，该位固定为0
29:28	保留	必须保留为复位值。
27	SNAK	设置NAK 软件置1该位置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位清零该寄存器的NAKS位

25:22	保留	必须保留为复位值。
21	STALL	STALL握手 在OUT事务中，软件可以通过置1该位发送STALL握手包，对于OUT端点0，在接收SETUP令牌后，USBFS清除此位。该位比该寄存器的NAKS位和寄存器USBFS_DCTL的GINS位优先级要高，即如果STALL和NAKS位都被置位，STALL位生效。
20	SNOOP	调查模式 该位控制OUT端点的调查模式，在调查模式中，USBFS不再检查接收数据包的CRC值 0：调查模式除能 1：调查模式使能
19:18	EPTYPE[1:0]	端点类型 对于控制端点，该位固定为"00"
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBFS_DCTL的位GINS被清零，该位控制USBFS的NAK状态： 0：根据端点Rx FIFO的状态，USBFS发送数据或握手包 1：USBFS为OUT事务发NAK握手包 该位是只读位，通过该寄存器的CNAK和SNAK位控制该位
16	保留	必须保留为复位值。
15	EPACT	端点激活 对于端点0，该域固定为1
14:2	保留	必须保留为复位值。
1:0	MPL[1:0]	最大包长 该位是只读位，其数值来自于寄存器USBFS_DIEP0CTL的位MPL： 00：64字节 01：32字节 10：16字节 11：8字节

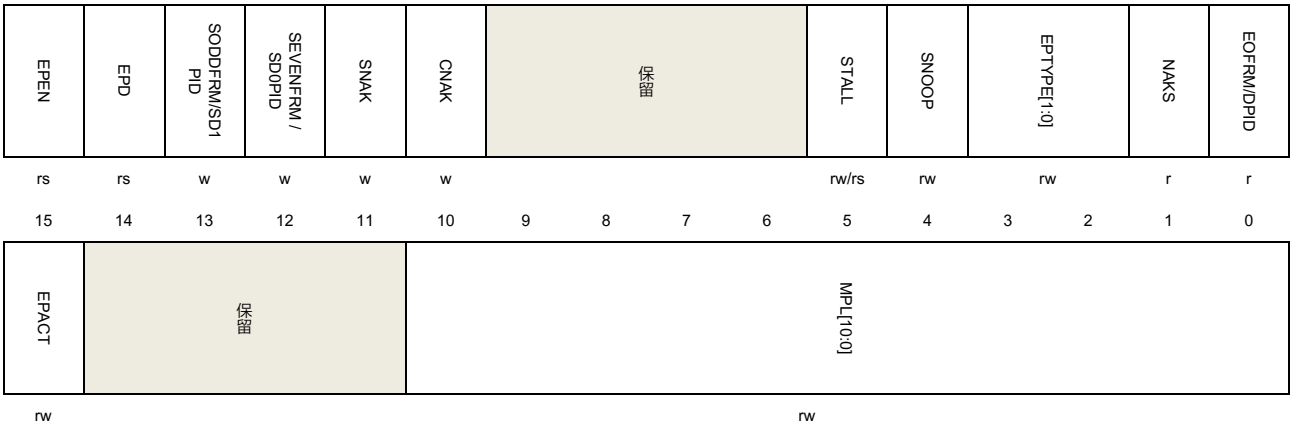
设备 OUT 端点 x 控制寄存器 (USBFS_DOEPxCTL) (x= 1..3, x 是端点编号)

地址偏移：0x0B00 + (x * 0x20)
复位值：0x0000 0000

软件用该寄存器控制OUT端点0以外的每个逻辑OUT端点

该寄存器采用字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBFS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点。
30	EPD	端点除能 软件通过置1该位除能端点，软件应该按照操作指南使能或除能端点。
29	SODDFRM	设置奇数帧(适用于同步OUT端点) 该位只针对同步OUT端点有效 软件置1该位来置位该寄存器的EOFRM位
	SD1PID	设置DATA1 PID(适用于中断和大容量OUT端点) 软件置1该位来置位该寄存器的DPID位
28	SEVENFRM	设置偶数帧(适用于同步OUT端点) 软件置1该位来清零该寄存器的EOFRM位
	SD0PID	设置DATA0 PID(适用于中断和大容量OUT端点) 软件置1该位来清零该寄存器的DPID位
27	SNAK	设置NAK 软件置1该位从而置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位从而清零该寄存器的NAKS位
25:22	保留	必须保留为复位值。
21	STALL	STALL握手 在OUT事务中，软件可以通过置1该位发送STALL握手包。该位比该寄存器的NAKS位和寄存器USBFS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。 对于控制OUT端点： 当OUT端点接收SETUP令牌时，只有USBFS可以清零该位，软件不可清零此位。

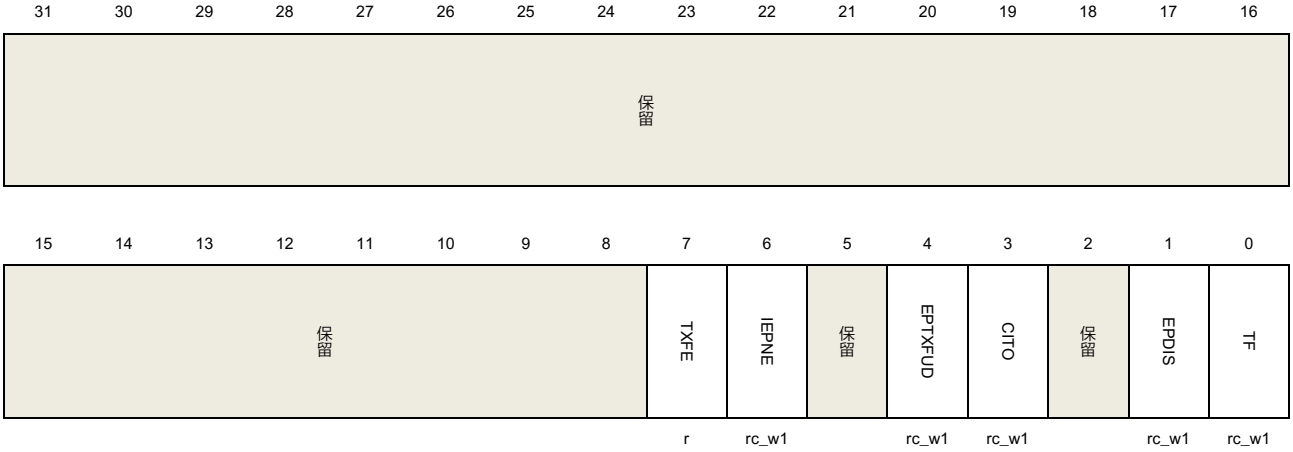
		对于中断或大容量OUT端点 只有软件可以清零该位
20	SNOOP	调查模式 该位控制OUT端点的调查模式，在调查模式中，USBFS不再检查接收数据包的CRC值 0：调查模式除能 1：调查模式使能
19:18	EPTYPE[1:0]	端点类型 该域定义端点的传输类型 00：控制 01：同步 10：大容量 11：中断
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBFS_DCTL的位GONS被清零，该位控制USBFS的NAK状态： 0：根据端点的Rx FIFO的状态，发送握手包 1：USBFS为OUT事务发送NAK握手 该位是只读位，通过该寄存器的CNAK和SNAK位控制该位
16	EOFRM	奇偶帧(适用于同步OUT端点) 对于同步传输，软件通过使用该位控制USBFS只在奇数帧或偶数帧发送数据包给OUT事务，如果当前帧号的奇偶性不匹配该位，USBFS不保存数据包 0：只在偶数帧发送数据 1：只在奇数帧发送数据
	DPID	端点数据PID(适用于中断或大容量端点) 在端点或大容量传输中，有数据PID翻转机制，在传输开始之前，软件通过设定SD0PID来设置此位，按照USB协议中描述的数据PID翻转机制，USBFS在传输过程中保持该位。 0：数据包PID是DATA0 1：数据包PID是DATA1
15	EPACT	端点激活 位控制端点是否激活，当端点没有激活，忽略任何令牌，不做任何回复
14:11	保留	必须保留为复位值。
10:0	MPL[10:0]	该位定义最大包长

设备 IN 端点 x 中断标志寄存器 (USBFS_DIEPxINTF) (x = 0..3, x 是端点编号)

地址偏移：0x0908 + (x * 0x20)
复位值：0x0000 0080

该寄存器包含IN端点的状态和事件，当获得一个IN端点的中断时，应该读取该端点的中断标志寄存器，从而获知中断源。该寄存器的标志位通常硬件置位，除了TXFE位，各位写1清零。

该寄存器采用字(32位)访问



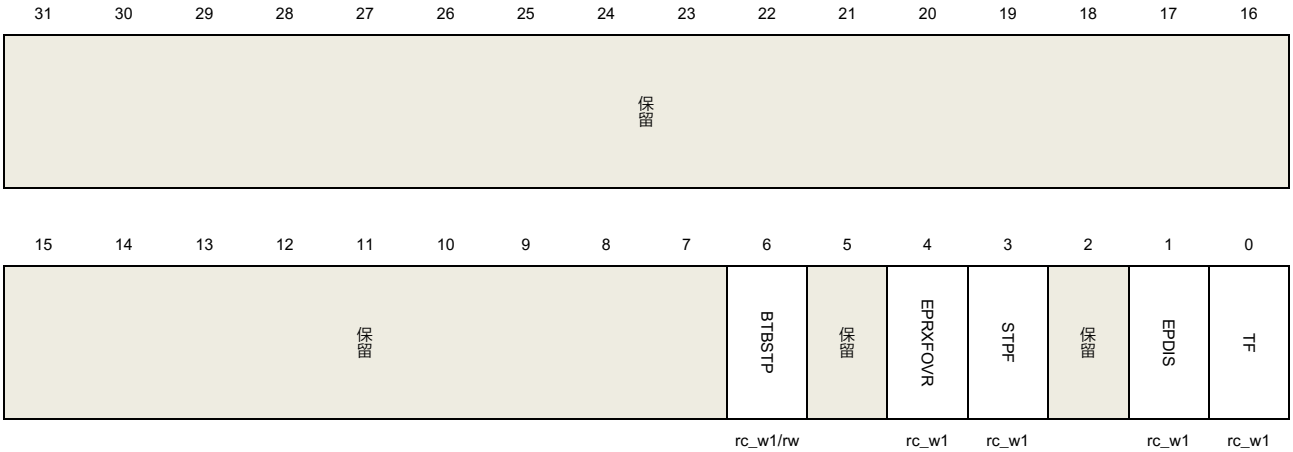
位/位域	名称	描述
31:8	保留	必须保留为复位值。
7	TXFE	发送FIFO空 端点的Tx FIFO达到寄存器USBFS_GAHBCS的位TXFTH定义的空阈值。
6	IEPNE	IN端点NAK有效 寄存器USBFS_DIEPxCTL的位SNAK的设置生效，该位可以通过写1清零或设置CNAK位
5	保留	必须保留为复位值。
4	EPTXFUD	端点Tx FIFO下溢 如果当IN令牌被接收后，Tx FIFO没有包数据，该标志被触发。
3	CITO	控制IN事务超时中断 在控制IN事务中，如果设备等待的握手包超时，该标志位被触发
2	保留	必须保留为复位值。
1	EPDIS	端点除能 端点除能时，该标志位被触发
0	TF	传输完成 当该端点的所有IN事务完成，该标志位被触发。

设备 OUT 端点 x 中断标志寄存器 (USBFS_DOEPxINTF) (x = 0..3, x 是端点编号)

地址偏移：0x0B08 + (x * 0x20)
复位值：0x0000 0000

该寄存器包含OUT端点的状态和事件，当获得一个OUT端点的中断时，应该读取该端点的中断标志寄存器，从而获知中断源。该寄存器的标志位通常硬件置位，各位写1清零。

该寄存器采用字(32位)访问



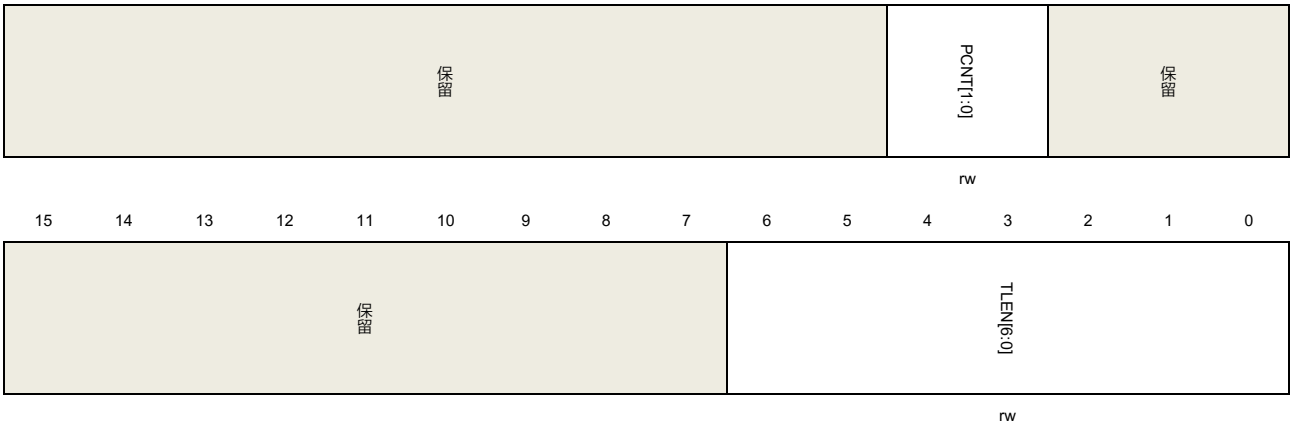
位/位域	名称	描述
31:7	保留	必须保留为复位值。
6	BTBSTP	连续SETUP包(适用于控制OUT端点) 当一个控制OUT端点接收超过连续3个SETUP包时，该标志被触发。
5	保留	必须保留为复位值。
4	EPRXFOVR	端点Rx FIFO上溢 当OUT令牌被接收时，如果OUT端点的Rx FIFO没有足够的空间存放数据包，该位被触发。在这种情况下，USBFS不能接收OUT数据包，发送一个NAK握手包。
3	STPF	SETUP阶段完成(适用于控制OUT端点) 当一个SETUP阶段完成，也就是USBFS在一个setup令牌后接收了一个IN或OUT令牌，该位被置位。
2	保留	必须保留为复位值。
1	EPDIS	端点除能 端点除能时，该标志位被触发
0	TF	传输完成 当该端点的所有OUT事务完成，该标志位被触发

设备 IN 端点 0 传输长度寄存器 (USBFS_DIEP0LEN)

地址偏移：0x0910
复位值：0x0000 0000

该寄存器采用字(32位)访问



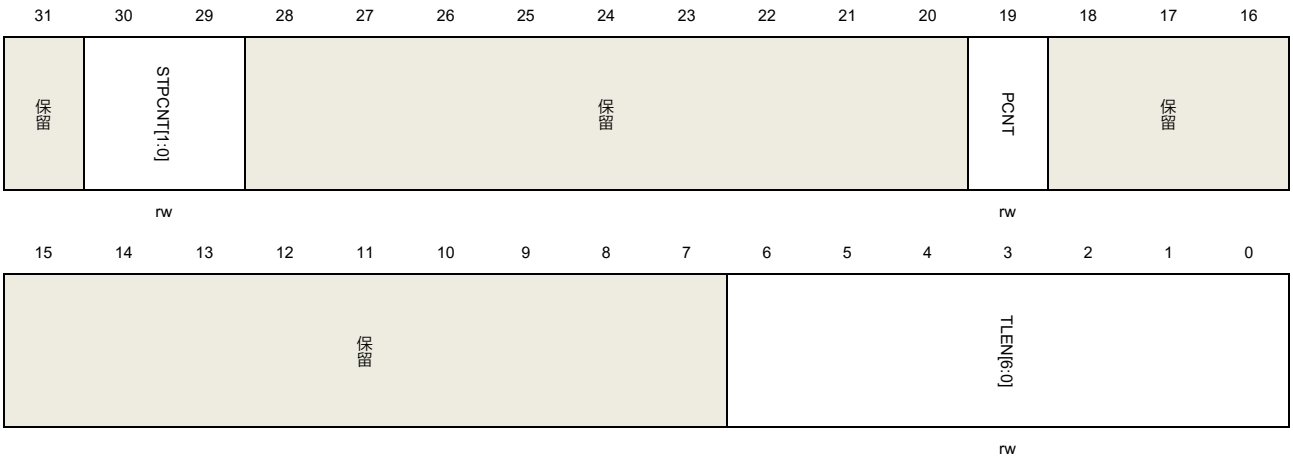


位/位域	名称	描述
31:21	保留	必须保留为复位值。
20:19	PCNT[1:0]	包数 传输中被发送的数据包数量 在端点使能之前，软件设置该位，在传输开始后，该域在每次数据包成功发送后自动减少。
18:7	保留	必须保留为复位值。
6:0	TLEN[6:0]	传输长度 一次传输的数据总字节数 该域是IN传输中需要发送的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据写入端点的Tx FIFO中，该域减少与包数据大小相同的数值。

设备 OUT 端点 0 传输长度寄存器 (USBFS_DOEP0LEN)

地址偏移：0x0B10
复位值：0x0000 0000

该寄存器采用字(32位)访问

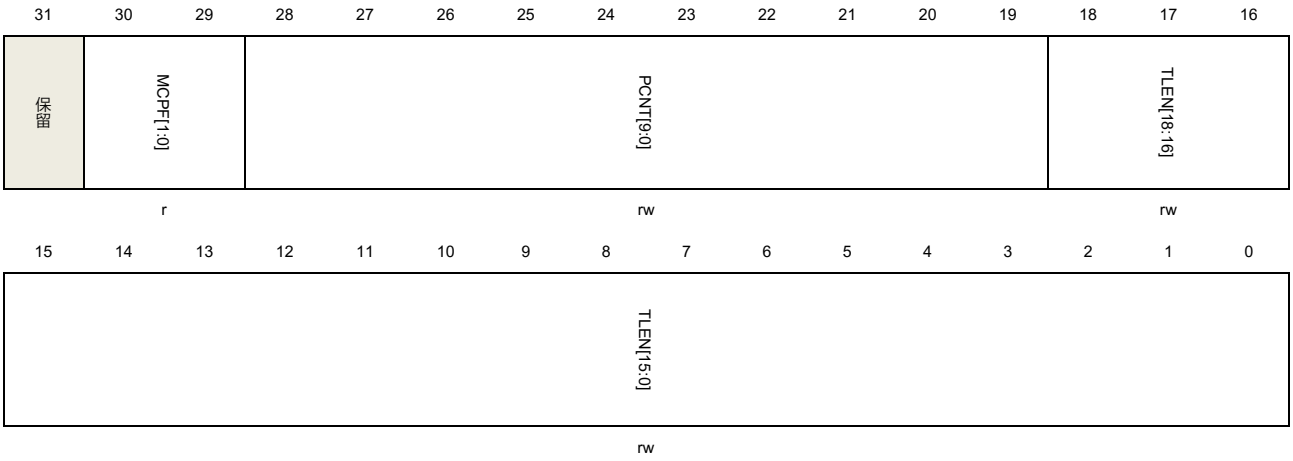


位/位域	名称	描述
31	保留	必须保留为复位值。
30:29	STPCNT[1:0]	SETUP包计数 该域定义端点可以接受的最大连续SETUP包数量 在SETUP传输之前，设置该域，每当连续SETUP包接收到时，该域值减1，当该域达到0时，寄存器USBFS_DOEP0INTF的BTBSTP标志被触发。 00：0个包 01：1个包 10：2个包 11：3个包
28:20	保留	必须保留为复位值。
19	PCNT	包计数 一次传输中应该接收到包数量。 在端点使能前，软件设置该位，在传输开始后，每当数据包接收到后，该域数值自动减少。
18:7	保留	必须保留为复位值。
6:0	TLEN[6:0]	传输长度 传输中数据总字数。 该域是OUT传输中需要接收的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据读取端点的Rx FIFO中，该域减少与包数据大小相同的数值。

设备 IN 端点 x 传输长度寄存器 (USBFS_DIEPxLEN) (x = 1..3, x 是端点编号)

地址偏移：0x910 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问

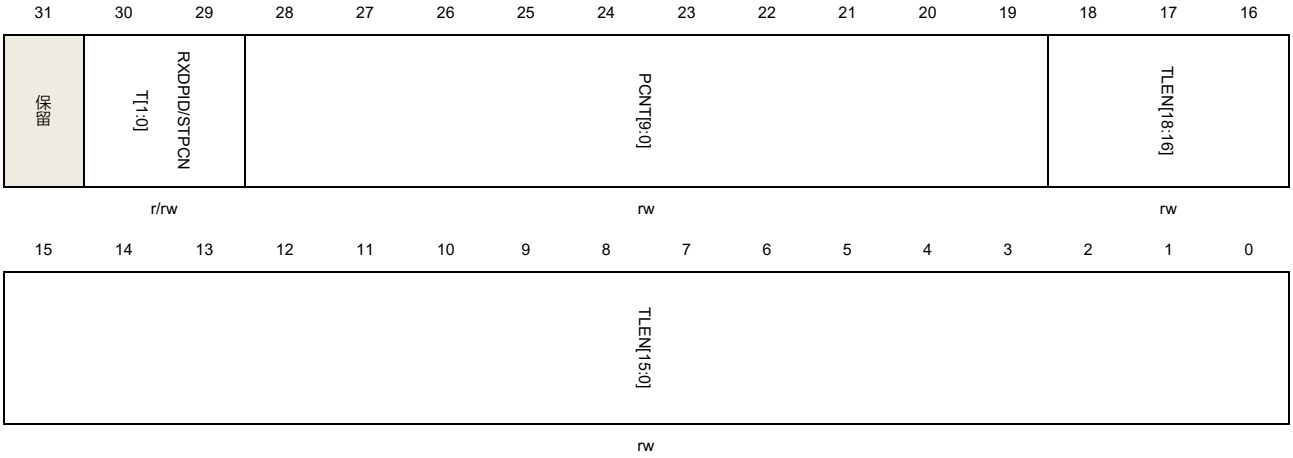


位/位域	名称	描述
31	保留	必须保留为复位值。
30:29	MCPF[1:0]	每帧多包数目 该域是USB周期性IN端点每帧必须发的包数目。用于计算同步IN端点的数据PID。 01：1个包 10：2个包 11：3个包
28:19	PCNT[9:0]	包数量 传输中被发送的数据包数量 在端点使能之前，软件设置该位，在传输开始后，该域在每次数据包成功发送后自动减少。
18:0	TLEN[18:0]	传输长度 传输的数据总字节数 该域是IN传输中需要发送的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据写入端点的Tx FIFO中，该域减少与包数据大小相同的数值。

设备 OUT 端点 x 传输长度寄存器 (USBFS_DOEPxLEN) (x = 1..3, x 是端点编号)

地址偏移：0x0B10 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31	保留	必须保留为复位值。
30:29	RXDPID[1:0]	接收数据PID(适用于同步OUT端点) 该域保存该端点该数据包所接受的最后一个数据包的PID 00：DATA0 10：DATA1

其他：保留

SETUP包数(适用于控制OUT端点)

	STPCNT[1:0]	该位定义该端点可以接受连续SETUP最大包数 在SETUP传输之前，设置该域，每当连续SETUP包接收到时，该域值减1，当该域达到0时，寄存器USBFS_DOEP0INTF的BTBSTP标志被触发。 00：0个包 01：1个包 10：2个包 11：3个包
28:19	PCNT[9:0]	包数 传输中应该接收到包数量 在端点使能前，软件设置该位，在传输开始后，每当数据包接收到后，该域数值自动减少。
18:0	TLEN[18:0]	传输长度 传输中数据总字数 该域是IN传输中需要接收的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据读取端点的Rx FIFO中，该域减少与包数据大小相同的数值。

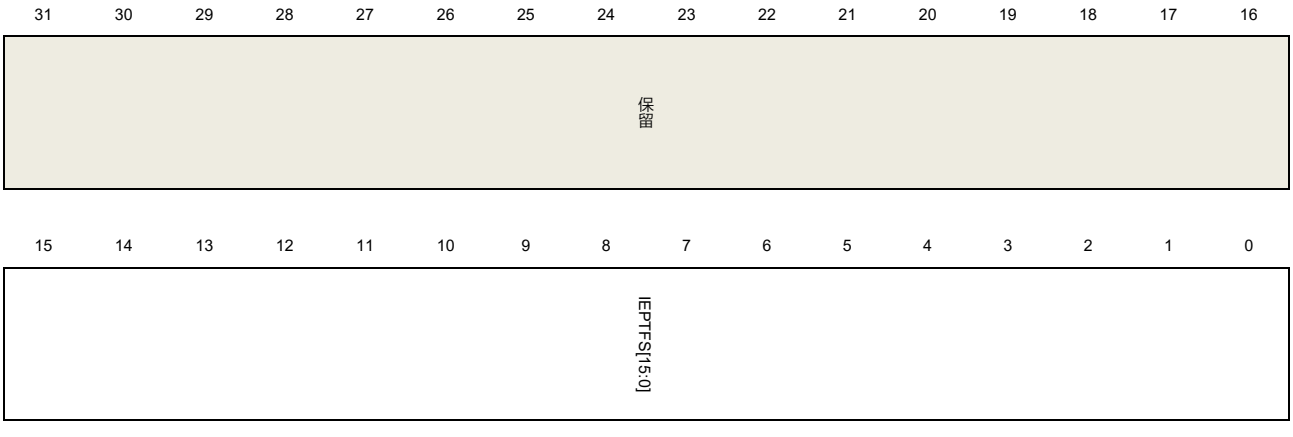
设备 IN 端点 x 发送 FIFO 状态寄存器 (USBFS_DIEPxTFSTAT) (x = 0..3, x 是端点编号)

地址偏移：0x0918 + (x * 0x20)

复位值：0x0000 0200

该寄存器包含每个端点的Tx FIFO的信息。

该寄存器采用字(32位)访问



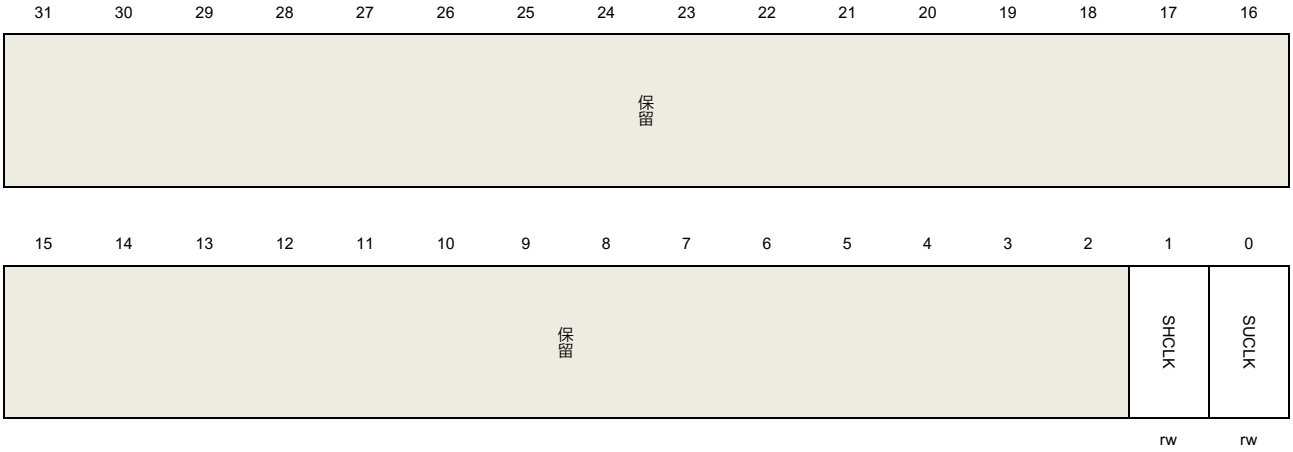
位/位域	名称	描述

31:16	保留	必须保留为复位值。
15:0	IEPTFS[15:0]	IN端点的Tx FIFO可用空间 IN端点的Tx FIFO可用空间用32位字为单位 0：FIFO是满的 1：1字可用 … n：n字可用

33.7.4. 电源和时钟控制寄存器 (USBFS_PWRCLKCTL)

地址偏移：0x0E00
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31:2	保留	必须保留为复位值。
1	SHCLK	停止HCLK 停止HCLK，节省电量 0：HCLK未停止 1：HCLK停止
0	SUCLK	停止USB时钟 停止USB时钟，节省电量 0：USB时钟未停止 1：USB时钟停止

34. 通用串行总线高速接口(USBHS)

34.1. 概述

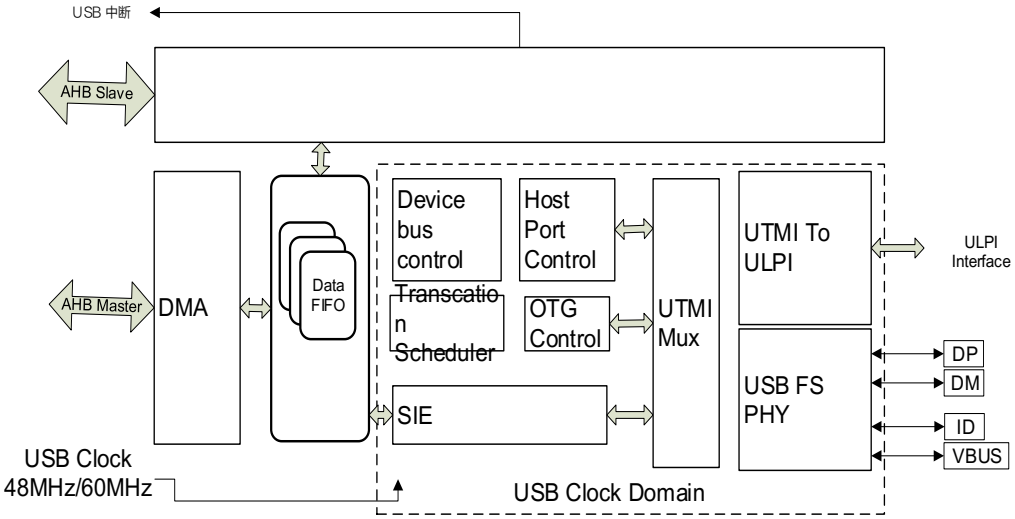
USB高速(USBHS)控制器为便携式设备提供了一套USB互联解决方案。USBHS不仅支持主机模式和设备模式，也支持遵循HNP(主机协商协议)和SRP(会话请求协议)的OTG模式。USBHS为外部USB物理层(PHY)提供了一个ULPI接口，并且其也包含了一个内部的全速USB PHY。所以，对于全速和低速操作，不再需要外部的USB PHY。USBHS可以支持USB 2.0协议所定义的所有四种传输方式(控制传输、批量传输、中断传输和同步传输)。当USBHS操作在高速主机模式下时，USBHS支持HUB连接。另外，在USBHS内部还有一个DMA引擎操作，可作为AHB总线主机在USBHS和系统之间加速数据传输。

34.2. 主要特性

- 支持USB 2.0高速(480Mb/s)/全速(12Mb/s)/低速(1.5Mb/s)主机模式；
- 支持USB 2.0高速(480Mb/s)/全速(12Mb/s)设备模式；
- 支持遵循HNP(主机协商协议)和SRP(会话请求协议)的OTG协议；
- 支持所有的4种传输方式：控制传输、批量传输、中断传输和同步传输；
- 支持高带宽中断和同步传输；
- 在主机模式下，包含USB事务调度器，用于有效地处理USB事务请求；
- 包含一个4KB的FIFO RAM；
- 在主机模式下，支持12个通道；
- 在主机模式下，包含2个发送FIFO(周期性发送FIFO和非周期性发送FIFO)和1个接收FIFO(由所有的通道共享)；
- 在设备模式下，包含6个发送FIFO(每个IN端点一个发送FIFO)和1个接收FIFO(由所有的OUT端点共享)；
- 在主机模式下，若在高速模式下操作，支持PING协议；
- 在设备模式下，支持6个OUT端点和6个IN端点；
- 在设备模式下，支持远程唤醒功能；
- 包含一个支持USB协议的全速USB PHY；
- 包含一个内部DMA调度器和引擎，每个应用请求都可在USBHS和系统之间执行数据拷贝；
- 在主机模式下，SOF的时间间隔可动态调节；
- 可将SOF脉冲输出到PAD；
- 可检测ID引脚电平和VBUS电压；
- 在主机模式或者OTG A设备模式下，需要外部部件为连接的USB设备提供电源。

34.3. 结构框图

图 34-1. USBHS 结构框图



34.4. 信号线描述

表 34-1. USBHS 信号线描述

I/O 端口	类型	描述	注意
VBUS	输入	总线电源端口	仅内部 PHY 使用
DM	输入/输出	差分信号线 - 端口	仅内部 PHY 使用
DP	输入/输出	差分信号线 + 端口	仅内部 PHY 使用
ID	输入	USB 识别：微连接器识别接口	仅内部 PHY 使用
ULPI_D[7:0]	输入/输出	ULPI 数据线	外部 ULPI PHY 使用
ULPI_NXT	输入	ULPI 下个信号线	外部 ULPI PHY 使用
ULPI_DIR	输入	ULPI 方向	外部 ULPI PHY 使用
ULPI_STP	输出	ULPI 停止	外部 ULPI PHY 使用
ULPI_CLK	输入	ULPI 时钟	外部 ULPI PHY 使用

34.5. 功能描述

34.5.1. USBHS PHY 选择、时钟及工作模式

USBHS可以作为一个主机、一个设备或者一个DRD(双角色设备)，并且支持两种连接类型：内部全速PHY和外部ULPI PHY。根据用户需求，应用可以选择两种连接类型的任何一种。

若使用内部PHY，USBHS支持的最大速度为全速；若使用外部高速ULPI PHY，USBHS支持的最大速度为高速。应用也可以在主机模式下使用USBHS_HCTL寄存器内的SPDFSLS控制位

和在设备模式下使用USBHS_DCFG寄存器内的DS[1:0]控制位将外部ULPI PHY的最大速度限制至全速。具体配置如*表34-2. USBHS支持速度列表*所示。

表 34-2. USBHS 支持速度列表

寄存器配置		主机支持速度	设备支持速度
EMBPHY=1 (内部PHY)		全速 低速	全速
EMBPHY=0 (外部 ULPI PHY)	DS = 01 (设备模式) SPDFSLS = 1(主机模式)	全速 低速	全速
	DS = 00(设备模式) SPDFSLS = 0(主机模式)	高速 全速 低速	高速 全速

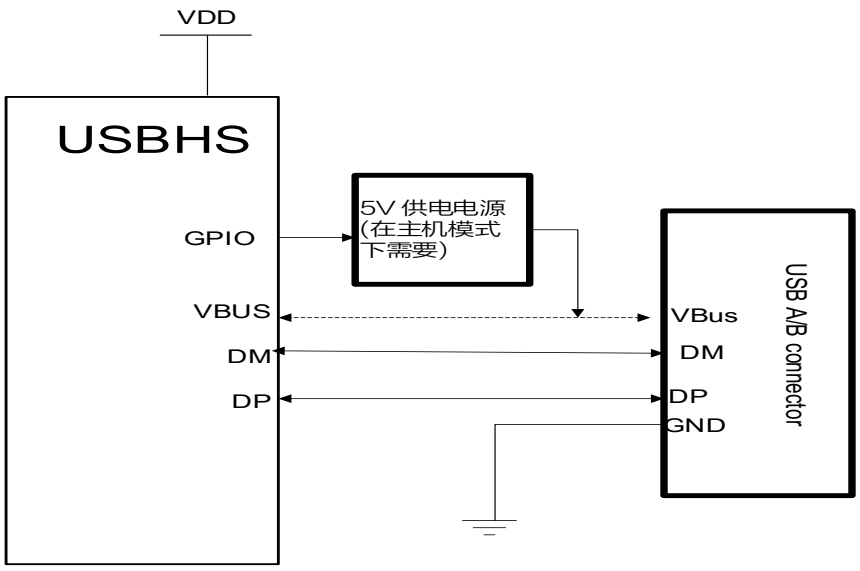
应用可以使用USBHS_GUSBCS寄存器中的FHM和FDM控制位选择USBHS的工作模式：主机模式(FHM=1)或设备模式(FDM=1)。当这两个控制位被清除时，USBHS工作在OTG模式，即系统复位后的默认模式。

内部嵌入式全速PHY

USBHS包含一个内部嵌入式全速PHY，该内部嵌入式PHY支持主机模式下的全速和低速、设备模式下全速以及具备HNP和SRP的OTG协议。软件需要置位USBHS_GUSBCS寄存器中的EMBPHY控制位来使用该内部嵌入式全速PHY。如果内部全速PHY被选择，USBHS所使用的USB时钟需要配置为48MHz。该48MHz USB时钟从系统内部时钟产生，并且其时钟源和分频器需要在RCU模块中配置。

上拉或下拉电阻已经集成在内部全速PHY的内部，并且USBHS可根据当前模式(主机、设备或OTG模式)和连接状态进行自动选择。一个利用内部全速PHY的典型连接示意图如*图34-2. 在主机或设备模式下，利用内部PHY的连接示意图*所示。

图 34-2. 在主机或设备模式下，利用内部 PHY 的连接示意图

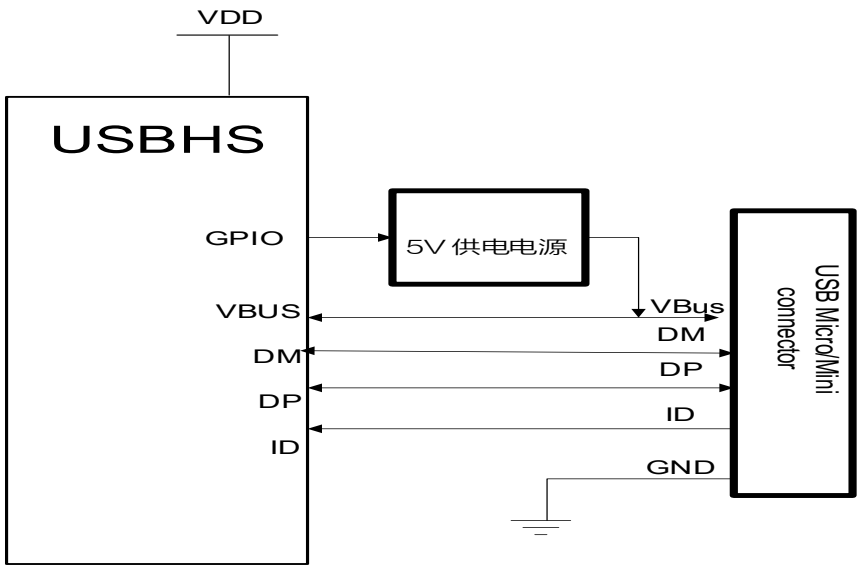


当USBHS工作在主机模式下时(FHM控制位置位、FDM控制位清除)，VBUS为USB协议所定义的5V电源检测引脚。内部PHY不能提供5V VBUS电源，仅在VBUS信号线上具有电压比较器和充电放电电路。所以，如果应用需要提供VBUS电源，那么则需要一个外部的供电电源IC。在主机模式下，USBHS和USB连接头之间的VBUS连接可以被忽略，这是由于USBHS并不检测VBUS引脚的电平状态，并假定5V供电电源一直存在。

当USBHS工作在设备模式下时(FHM控制位清除、FDM控制位置位)，VBUS检测电路由USBHS_GCCFG寄存器中的VBUSIG控制位配置。因此，如果设备不需要检测VBUS引脚电压，可以置位VBUSIG控制位，并可释放VBUS引脚作为其他用途。否则，VBUS引脚的连接不能够被忽略，并且USBHS需要不断的检测VBUS电平状态，一旦VBUS电压降至所需有效值以下，需要立即关闭DP信号线上的上拉电阻，从而产生一个断开状态。

OTG模式连接示意图如*图34-3. OTG模式下使用内部嵌入式PHY连接示意图*所示。当USBHS工作在OTG模式下时，USBHS_GUSBCS寄存器内的FHM、FDM控制位应该被清除。在这种模式下，USBHS需要以下四个引脚：DM、DP、VBUS和ID，并且需要使用若干个电压比较器检测这些引脚的电压。USBHS也包含VBUS充电和放电电路，用以完成OTG协议中所描述的SRP请求。OTG A设备或B设备由ID引脚的电平状态所决定。在实现HNP协议的过程中，USBHS控制上拉和下拉电阻。

图 34-3. OTG 模式下使用内部嵌入式 PHY 连接示意图

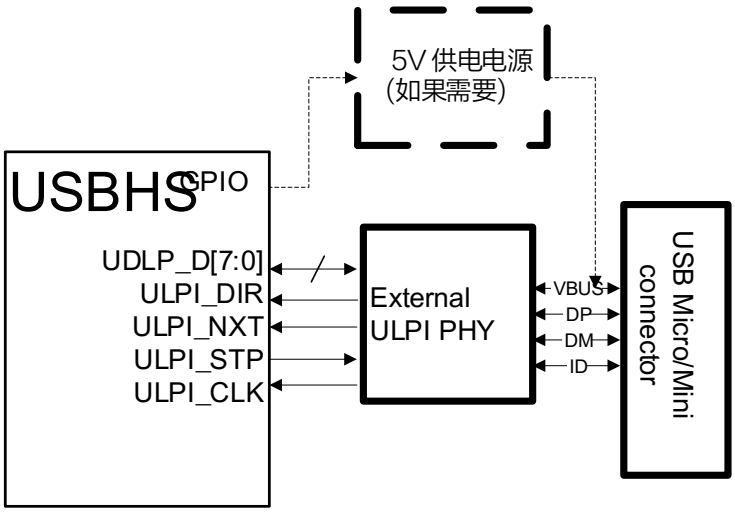


外部ULPI PHY

USBHS为外部PHY提供了一个ULPI接口。如果需要使用USBHS模块完成高速USB应用，那么则需要一个外部高速ULPI PHY。结合外部ULPI PHY，USBHS支持高速主机和设备，也支持前文中内部嵌入式全速PHY所描述的所有模式。

软件需要清除USBHS_GUSBCS寄存器中的EMBPHY控制位以使能ULPI接口。当ULPI模式能使，USB时钟需要配置到60MHz，并且需要从ULPI_CLK引脚引入。软件可以在RCU模块中打开或关闭该60MHz ULPI时钟。

图 34-4. 使用外部 ULPI PHY 的连接示意图

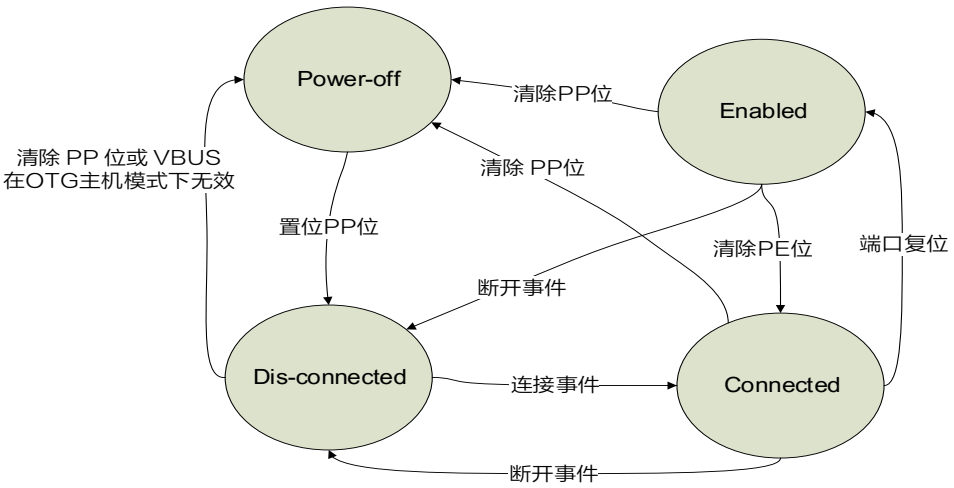


34.5.2. USB 主机功能

USB主机端口状态

主机应用可以通过USBHS_HPCS寄存器控制USB端口状态，如*图34-5. 主机端口状态转移图*所示。在系统初始化之后，USB端口保持掉电状态。通过软件置位PP控制位后，USB PHY(内部或外部)将被上电，并且USB端口变为断开状态。检测到连接后，USB端口变为连接状态。在USB总线上产生一个复位后，USB端口将变为使能状态。

图 34-5. 主机端口状态转移图



连接、复位和速度识别

作为USB主机，在检测到一个连接事件后，USBHS会为应用触发一个连接标志；同样，若检测到一个断开事件后，将会触发一个断开标志。

PRST控制位用于实现USB复位序列。应用可以置位该控制位以启动一个USB复位序列，或者

清除该控制位以结束USB复位序列。仅当端口在连接或使能状态时，该控制位有效。

USBHS在对设备的连接和复位时执行速度检测，并且速度检测的结果会反馈在USBHS_HPCS寄存器的PS[1:0]位域中。

如果最大支持速度被配置为全速(SPDFSLS=1)，USBHS仅仅在设备连接的过程中执行速度识别，并且从DM或DP的电平状态决定设备速度。就像USB协议中所描述的那样，全速设备上拉DP信号线，而低速设备上拉DM信号线。

如果最大支持速度被配置为高速(SPDFSLS=0)，USBHS首先在连接的过程中执行速度检测，如果检测到全速设备连接，USBHS会在连接事件后的每个USB复位序列中，尝试执行高速检测(USB2.0协议中所描述的CHIRP序列)。所以，在主机上的应用应该在一个连接事件后提供一个USB复位，并且再次检查PS[1:0]标志位，以确定其连接的是否为高速设备。

挂起和复位

USBHS支持挂起和复位状态，当USBHS端口在使能状态时，向USBHS_HPCS寄存器的PSP控制位写1，USBHS会进入到挂起状态。在挂起状态，USBHS停止在USB总线上发送SOF，并且这样会让连接的USB设备在3ms后进入挂起状态。应用程序能够置位USBHS_HPCS寄存器中的PREM控制位以启动一个恢复序列，从而唤醒挂起的设备，当清除该控制位时，则可以停止恢复序列。如果主机在挂起状态下检测到一个远程唤醒信号，将会置位USBHS_GINTF寄存器的WKUPIF标志位，并且触发USBHS唤醒中断。

SOF产生器

在主机模式下，USBHS向USB总线发送SOF令牌包。如USB 2.0协议所描述，全速连接下，SOF令牌包每1ms产生一次(由主机控制器或者HUB事务转换器产生)；高速连接下，SOF令牌包将在接下来的七个125 μs周期后产生。

每当USBHS进入到使能状态后，它将会按照USB2.0所定义的周期发送SOF令牌包。然而，应用程序可以通过写USBHS_HFT寄存器中的FRI[15:0]位来调整一帧或者一微帧的间隔。FRI位定义了在一帧或一微帧中的USB时钟周期个数，并且应用程序应该基于USBHS所使用的USB时钟频率计算该值。FRT[15:0]位显示当前帧或微帧剩余的时钟周期个数，并且在挂起状态时，该值将停止改变。

USBHS能够在每个SOF令牌包中产生一个脉冲信号，并且将其输出至一个引脚。该脉冲信号长度为16个HCLK周期。如果应用程序希望使用该功能，需要置位USBHS_GCCFG寄存器的SOFOEN控制位，并且配置相应的引脚寄存器为GPIO功能。

USB通道和事务

USBHS在主机模式下包含12个独立的通道。每个通道能够与一个USB设备端点通信。通道的传输类型、方向、数据包长和其他信息都在通道相应的寄存器中配置，例如USBHS_HCHxCTL和USBHS_HCHxLEN寄存器。

USBHS支持所有的四种传输类型：控制、批量、中断和同步。USB 2.0协议将这些传输类型划分为两类：非周期性传输(控制和批量)和周期性传输(中断和同步)。基于此，为了有效地进行事务调度，USBHS包含两种请求队列：周期性请求队列和非周期性请求队列。在上述请求队列中的请求条目可能代表一个USB事务请求或者一个通道操作请求。

在无DMA模式下，如果应用想要在USB总线上启动一个OUT事务，应用需要通过AHB寄存器

接口向数据FIFO中写入数据包。USBHS硬件会在应用写完整包数据后，自动产生一个事务请求并进入请求队列。在DMA模式下，应用仅需要配置通道属性和通道数据缓冲区地址，USBHS内部的DMA引擎会执行数据包拷贝和请求条目的产生工作。当应用使能IN通道时，USBHS自动产生IN请求条目。

请求队列中的请求条目通过事务控制模块按顺序处理。USBHS通常首先尝试处理周期性请求队列，然后处理非周期性请求队列。

帧起始后，USBHS首先开始处理周期性队列，直到队列为空或者当前周期性请求队列所需时间不够，然后处理非周期性队列。这种做法保证了一帧或微帧中周期性传输的带宽。每次USBHS从请求队列中读取并取出一个请求条目。如果取出的是通道禁用请求，这将直接禁用通道并准备处理下个条目。

如果当前请求是一个事务请求并且USB总线时间能够处理这个请求，USBHS会使用SIE在USB总线上产生该事务。

在当前帧内，当前请求所需的总线时间不足时，如果当前请求为周期性请求，USBHS停止处理该周期性请求队列，并启动处理非周期性请求。如果当前请求为非周期性请求，USBHS会停止处理任何队列，并等待直到当前帧结束。

34.5.3. USB 设备功能

USB设备连接

在设备模式下，USBHS在初始化后保持掉电状态。利用VBUS引脚上的5V电源连接USB主机后或者置位USBHS_GCCFG寄存器中VBUSIG控制位，USBHS将进入供电状态。USBHS首先打开DP信号线上的上拉电阻，之后主机方将会检测到一个连接事件。

复位和速度识别

USB主机在检测到设备连接之后，总是会启动一个USB复位序列，并且在设备模式下，检测到USB总线复位事件后，USBHS会为软件触发一个复位中断。

如果最大支持速度被配置为全速(USBHS_DCFG寄存器内DS[1:0] = 01)，USBHS会以全速设备操作，然而如果最大支持速度被配置为高速(USBHS_DCFG寄存器内DS[1:0] = 00)，在复位序列中，USBHS设备会尝试和主机启动一个速度识别(USB2.0协议中描述的一个CHIRP序列)。如果和主机的CHIRP序列握手成功，设备将会进入高速模式，否则，仍然停留在全速模式。

在复位序列和速度识别过程完成后，USBHS将会触发USBHS_GINTF寄存器中的ENUMF标志/中断，并且利用USBHS_DSTAT寄存器内的ES标志位反映当前枚举设备速度。所以，如果软件想要实现一个高速设备，必须等待ENUMF中断，然后读取ES[1:0]控制位以获得速度识别结果。

如USB2.0协议所需要，USBHS在外设模式下不支持低速。

挂起和唤醒

USB总线保持IDLE状态并且数据线3ms无变化，USB设备将会进入挂起状态。当USB设备在挂起状态时，软件能够关闭大部分的时钟以节省电能。USB主机可以通过在USB总线上产生恢复信号，来唤醒挂起的设备。USBHS检测到恢复信号后，将置位USBHS_GINTF寄存器的

WKUPIF标志位并且触发USBHS唤醒中断。

在挂起设备模式，USBHS也能够远程唤醒USB总线。软件可以通过置位USBHS_DCTL寄存器的RWKUP控制位来发送一个远程唤醒信号，并且如果USB主机支持远程唤醒，主机会在USB总线上启动发送一个恢复信号。

软件断开

USBHS支持软件断开。设备进入到供电状态后，USBHS会打开DP信号线的上拉电阻，并且这样主机会检测到设备连接。然后，软件可以通过置位USBHS_DCTL寄存器中SD控制位进行强制断开。SD控制位置位后，如果当前设备速度为高速，USBHS会首先返回到全速设备，然后关闭DP信号线上的上拉电阻；如果当前设备速度为全速，USBHS将会直接关闭上拉电阻。这样，USB主机将会在USB总线上检测到设备断开。

SOF跟踪

当USBHS在USB总线上接收到一个SOF令牌包时，将触发一个SOF标志/中断，并且开始利用本地USB时钟计算总线时间。当前帧的帧号将会反应在USBHS_DSTAT寄存器的FNRSOF[13:0]位域。当USB总线时间达到EOF1或EOF2点(帧结束，在USB 2.0协议中描述)，USBHS会触发USBHS_GINTF寄存器中的EOPFIF标志/中断。软件能够使用这些标志位和寄存器以获得当前总线时间和位置信息。

34.5.4. OTG 功能概述

USBHS支持OTG协议1.3中所描述的OTG功能，OTG功能包括SRP和HNP。

A设备和B设备

当标准A或微型A插头插入相应的插座时，具有OTG能力的USB设备为A设备。A设备向VBUS供电，并且在会话开始时默认为主机。当标准B、微型B、迷你B插头插入相应的插座或采用一端为标准A插头的不可分离电缆时，具有OTG能力的USB设备为B设备。B设备在会话开始时默认为外设。USBHS使用ID引脚电平状态决定A设备或B设备。ID引脚状态反馈在USBHS_GOTGCS寄存器的IDPS状态位。为了了解A设备和B设备之间传输的详细状态，请参考OTG1.3协议。

HNP

主机协商协议(HNP)允许主机功能在两个直接连接的OTG设备之间转换，并且用户不需要为了设备之间通信控制的改变而切换电缆线的连接。典型地，HNP协议是由B设备上的用户或应用启动，HNP只能通过设备上的微型AB插座执行。

一旦OTG设备具有一个微型AB插座，该OTG设备可通过插入的插头类型决定默认为主机或设备(微型A插头插入为主机，微型B插头插入为设备)。通过使用主机协商协议(HNP)，一个默认为外设的OTG设备可以请求成为主机。主机角色切换的过程在下段中描述。此协议使用户不需要为了更改连接设备的角色而切换电缆线的连接。

当USBHS工作在OTG A主机模式时，并且其想放弃主机角色，可以首先置位USBHS_HPCS寄存器的PSP控制位来使USB总线进入挂起状态。然后B设备在3ms后进入挂起状态。如果B设备想要变为主机，软件需要置位USBHS_GOTGCS寄存器的HNPREQ控制位，然后USBHS会开

始在总线上执行HNP协议，最后，HNP的结果会反馈在USBHS_GOTGCS寄存器的HNPS状态位。另外，软件总能从USBHS_GINTF寄存器的COPM状态位获取当前设备角色(主机或外设)。

SRP

会话请求协议(SRP)允许B设备请求A设备打开VBUS并启动一个会话。该协议允许A设备(或许是电池供电)当总线无活动时通过关闭VBUS以节省电能，并为B设备启动总线活动提供了一种方法。如OTG协议中所描述，OTG设备必须和几个阈值比较VBUS电压，并且将比较结果反馈在USBHS_GOTGCS寄存器的ASV和BSV状态位中。

当USBHS工作在B设备OTG模式时，软件可以通过置位USBHS_GOTGCS寄存器的SRPREQ控制位来启动一个SRP请求，并且如果SRP请求成功，USBHS会在USBHS_GOTGCS寄存器中产生一个成功标志位SRPS。

当USBHS工作在OTG A设备模式且从B设备检测到一个SRP请求时，USBHS将会置位USBHS_GINTF寄存器中的SESIF标志位。软件获取该标志位后，需要准备为VBUS引脚打开5V供电电源。

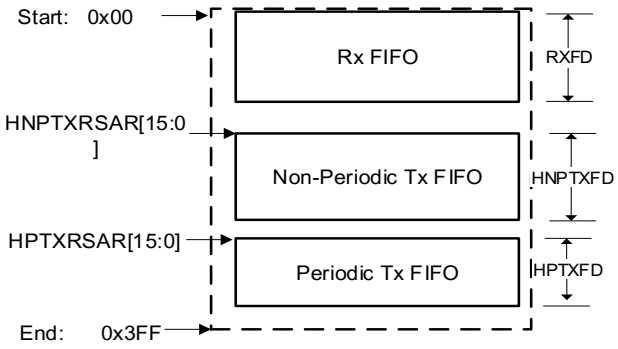
34.5.5. 数据 FIFO

USBHS中采用4K字节数据FIFO存储包数据，数据FIFO是通过USBHS的内部SRAM实现的。

主机模式

主机模式下，数据FIFO空间分为三个部分，分别是：用于接收数据包的Rx FIFO、用于非周期性发送数据包的非周期性Tx FIFO和用于周期性发送数据包的周期性Tx FIFO。所有的IN通道通过共享Rx FIFO接收数据。所有的周期性OUT通道通过共享周期性Tx FIFO来发送数据，所有的非周期性OUT通道通过共享非周期性Tx FIFO发送数据。通过寄存器USBHS_GRFLEN、USBHS_HNPTFLEN 和USBHS_HPTFLEN，软件可以配置以上数据FIFO的大小和起始偏移地址。*图34-6. 主机模式FIFO空间*所描述的是SRAM中各FIFO的结构，图中的数值是以32位为单位。

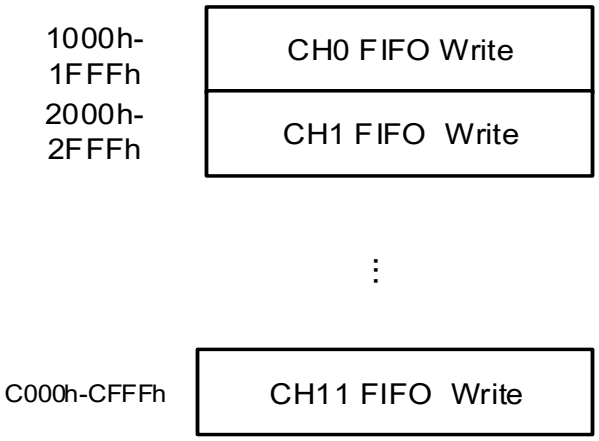
图 34-6. 主机模式 FIFO 空间



在DMA模式下，DMA负责系统存储区和数据FIFO之间的数据包传输。在非DMA模式下，程序将包数据写入数据FIFO或从数据FIFO读取包数据。USBHS为程序提供了专有寄存器空间来读写数据FIFO。*图34-7. 主机模式FIFO访问寄存器映射表*所描述的是数据FIFO所访问的寄存器

存储空间，图中的数值是以字节为单位寻址。尽管所有的非周期通道共享相同的FIFO以及所有的周期通道共享相同的FIFO，每个通道都拥有它们的FIFO访问寄存器空间。对USBHS而言，获知当前压入数据包的通道号是非常重要的，通过寄存器USBHS_GRSTATR/USBHS_GRSTATP来访问数据包所从属的Rx FIFO。

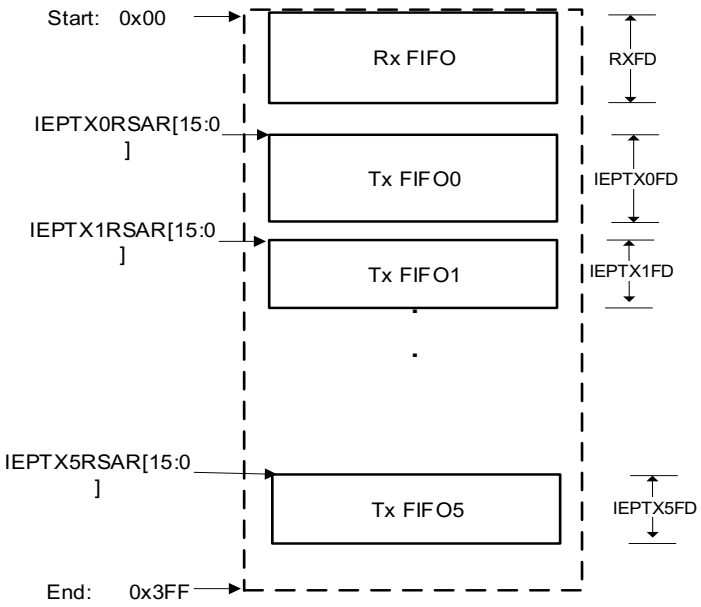
图 34-7. 主机模式 FIFO 访问寄存器映射表



设备模式

在设备模式下，数据FIFO分为多个部分，其中包含1个Rx FIFO和6个Tx FIFO，每个Tx FIFO对应着一个IN端点，所有的OUT端点通过共享Rx FIFO接收数据包。通过寄存器USBHS_GRFLEN和USBHS_DIEPxTFLEN (x=0…5)，程序可配置数据FIFO的大小和起始偏移地址。*图34-8. 设备模式FIFO空间*所描述的是SRAM中各FIFO的结构，图中的数值是以按照32位写的。

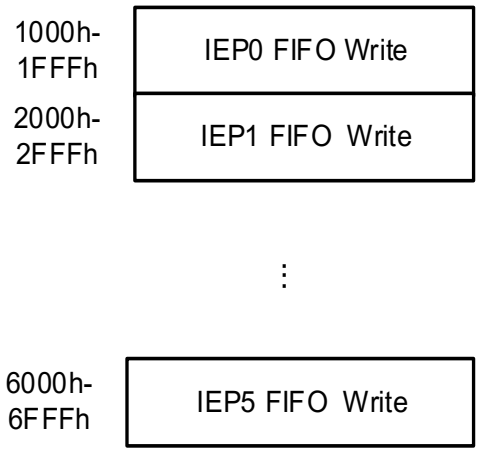
图 34-8. 设备模式 FIFO 空间



在DMA模式下，DMA负责系统存储区和数据FIFO之间的数据包传输。在非DMA模式下，程序

将包数据写入数据FIFO或从数据FIFO读取包数据。USBHS为程序提供了专有寄存器空间来读写数据FIFO。*图34-9. 设备模式FIFO访问寄存器映射表*所描述的是数据FIFO所访问的寄存器存储空间，图中的数值是以字节为单位寻址。每个端点都拥有它们的FIFO访问寄存器空间。通过寄存器USBHS_GRSTATR/USBHS_GRSTATP来访问Rx FIFO。

图 34-9. 设备模式 FIFO 访问寄存器映射表



34.5.6. DMA 功能

该部分描述USBHS的DMA调度器和引擎。

DMA请求和调度器

DMA功能通过置位寄存器USBHS_GAHBCS的位DMAEN获得使能。当一个IN/OUT通道或IN端点被适当地配置和使能，或Rx FIFO非空，USBHS将生成DMA请求。USBHS的DMA调度器负责应答这些DMA请求。

当同时存在多个请求时，DMA调度器负责仲裁这些请求。这些请求分为三类：Rx FIFO DMA请求、周期性传输DMA请求和非周期性传输DMA请求。在仲裁中，Rx FIFO DMA请求是最高优先级，周期性传输DMA请求是中级优先级，非周期性传输DMA请求是最低优先级。在处理周期性和非周期性传输DMA请求中，DMA调度器实行循环仲裁方法。

综上所述，DMA将自动处理Rx FIFO非空事件，所以，在DMA模式下，程序中可以忽略寄存器USBHS_GINTF的RXFNEIF标志位。

DMA引擎

在主机或设备模式下，当Rx FIFO DMA请求获得仲裁后，DMA驱动器开始从Rx FIFO读取包数据或状态条目。对于包数据而言，DMA将数据写到特定的系统地址，该地址配置在寄存器USBHS_HCHxDMAADDR或USBHS_DIEPxDMAADDR/ USBHS_DIEPxDMAADDR。对于表目状态而言，在相关的通道或端点，DMA将生成特定的标志位或中断。

主机传输

当一个IN周期性或非周期性通道DMA请求获得仲裁后，DMA将IN请求条目写入周期性或非周期性请求队列。当一个预期的IN传输完成，或一个AHB/USB总线错误发生后，DMA停止特定

的通道，生成寄存器USBHS_HCHxINTF的TF和CH标志位。如上文所述，在Rx FIFO DMA请求生成后，在IN传输的过程中所接受的包数据被复制到系统存储区。

当一个OUT周期性或非周期性通道DMA请求获得仲裁后，DMA从系统存储区读取包数据，或将包数据写到内部的Tx FIFO。当每次完成包数据复制后，DMA总是将OUT请求条目写入请求队列。当一个预期的OUT传输完成，或一个AHB/USB总线错误发生后，DMA停止特定的通道，生成寄存器USBHS_HCHxINTF的TF和CH标志位。

设备传输

在设备模式下，当一个IN端点DMA请求获得仲裁后，DMA从系统存储区读取包数据，或将包数据写到端点的Tx FIFO。当USBHS获取IN端点的IN令牌后，将发送DMA引擎所复制的包数据。

34.5.7. 操作手册

该部分描述的是USBHS的操作手册。

主机模式

全局寄存器初始化顺序：

1、根据应用的需求，如是否使能DMA、DMA的传输类型、Tx FIFO的空阈值等，设置寄存器USBHS_GAHBCS，此时，GINTEN位需要保持清零状态。
2、根据应用的需求，如操作模式(主机、设备或OTG)、某些OTG参数、ULPI和USB协议，设置寄存器USBHS_GUSBCS。
3、根据应用的需求，设置寄存器USBHS_GCCFG。
4、根据应用的需求，设置寄存器USBHS_GRFLEN、USBHS_HNPTFLEN_DIEP0TFLEN、USBHS_HPTFLEN，配置数据FIFO。
5、通过设置寄存器USBHS_GINTEN使能模式错误和主机端口中断，置位USBHS_GAHBCS寄存器的GINTEN位使能全局中断。
6、通过设置寄存器USBHS_HCTL的SPDFSLS位，判断是否将设备速度限制为全速。
7、设置寄存器USBHS_HPCS，置位PP位。
8、等待设备连接，当设备连接后，触发寄存器USBHS_HPCS的PCD位，然后置位PRST位，执行一次端口复位，等待至少10毫秒后，清除PRST位。
9、等待USBHS_HPCS寄存器的PEDC中断，然后读取PE位以确认端口被成功地使能，读取PS位以获取连接的设备速度，之后，如果软件需要改变SOF间隔，设置USBHS_HFT寄存器。

通道初始化和使能顺序：

1、根据期望的传输类型、方向、包大小等信息，设置寄存器USBHS_HCHxCTL，在设置期间，要保证位CEN和CDIS保持清除。
2、设置寄存器USBHS_HCHxINTEN，设置期望的中断使能位。
3、在DMA使能的前提下，设置寄存器USBHS_HCHxDMAADDR。
4、设置寄存器USBHS_HCHxLEN，PCNT表示一次传输中的包数，TLEN表示一次传输中发

送或接收的包数据的总字节数。

对于OUT通道，如果PCNT为1，单包的大小等于TLEN。如果PCNT大于1，前PCNT-1个包被认定为最大包长度的包，其大小是由寄存器USBHS_HCHxCTL的位MPL所定义。最后一包的大小可通过PCNT、TLEN和MPL计算得到。如果程序想要发出一个零长度的包，应该设定TLEN为0，PCNT位1。

对于IN通道，因为在IN事务结束之前，程序不知道实际接收的数据大小，程序可将TLEN设定为Rx FIFO所支持的最大值。

5、 置位寄存器USBHS_HCHxCTL中的CEN位以使能通道。

通道除能顺序：

程序可以通过同时置位CEN和CDIS除能通道。在寄存器操作后，USBHS将在请求队列中产生一个通道除能请求条目。当这个请求条目到达请求队列的顶部时，USBHS立即进行处理。

对于OUT通道而言，特定的通道将被立即除能。然后，会产生CH标志，USBHS将清除CEN和CDIS位。

对于IN通道而言，USBHS将通道除能状态条目压入Rx FIFO，然后，程序应该处理Rx FIFO非空事件：读和取出该状态条目，然后会产生CH标志，USBHS将清除CEN和CDIS位。

IN传输操作顺序(DMA除能)：

1、 初始化USBHS全局寄存器。
2、 初始化相应的通道。
3、 使能相应的通道。
4、 通过软件使能IN通道后，USBHS在相应请求队列中生成一个Rx请求条目。
5、 当Rx请求条目到达请求队列的顶部时，USBHS开始执行该请求条目。对于由请求条目所指示的事务而言，如果总线时间足够，USBHS在USB总线上开始IN事务。
6、 当IN事务结束时(收到ACK握手包)，USBHS将接收到的数据包压入Rx FIFO，ACK标志位被触发，否则，状态标志(NAK)会指示事务结果。
7、 如果步骤5所描述的IN事务完成后，步骤2的PCNT的数值比1大，程序将会返回步骤3，继续接收剩下的数据包。如果步骤5中描述的IN事务没有成功完成，程序将会返回步骤3来再次发送该数据包。
8、 在所有的传输中的所有事务都被成功接收后，USBHS将TF状态条目压入Rx FIFO的最后的数据包的顶部，这样，软件在读取所有接收的包数据后，再读取TF状态条目。USBHS生成TF标志来指示传输成功结束。
9、 除能通道，当通道处于空闲状态，即可为其他传输做准备。

IN传输操作顺序(DMA使能)：

1、 初始化USBHS全局寄存器。
2、 初始化并使能相应通道。
3、 在通过软件使能IN通道后，USBHS在相应请求队列中生成一个Rx请求条目。
4、 USBHS逐一处理IN请求队列中的请求条目，并将它们所指示的IN事务发到USB总线上。
5、 当一个IN事务获得NAK握手包时，DMA可以自动地再发IN令牌直至USBHS获得预期的数据包的数目。

6、在USBHS获取寄存器USBHS_HCHxLEN的位PCNT中期望数据包数目后，USBHS生成TF和CH标志来表示传输成功完成，相应通道除能。如果在这些事务期间发生USB总线错误或DMA取值错误，DMA将触发相关的错误标志，停止该通道的操作，最后除能该通道，触发CH标志。

注意：在DMA模式下，因为DMA将自动处理Rx FIFO，程序不再使能或处理RXFNEIF中断。

OUT传输操作顺序(DMA除能)：

1、初始化USBHS全局寄存器。

2、初始化及使能相应通道。

3、将数据包写入通道的Tx FIFO(周期性Tx FIFO或非周期性Tx FIFO)。在所有的数据包都被写入FIFO后，USBHS在相应的请求队列中产生一个Tx请求条目，并且将USBHS_HCHxLEN中的TLEN值减少，减少的数值等于已写的包大小。

4、当请求条目到达请求队列的顶部时，USBHS开始执行该请求条目。如果请求条目对应的事务的总线时间足够，USBHS在USB总线上开展OUT事务。

5、当由请求条目所指示的OUT事务结束时，寄存器USBHS_HCHxLEN的位PCNT减1。如果该事务完成(收到ACK握手包)，ACK标志位被触发，否则，状态标志(NAK)会指示事务结果。

6、如果步骤5所描述的OUT事务完成后且步骤2的PCNT的数值比1大，程序将会返回步骤3，继续发送剩下的数据包。如果步骤5中描述的OUT事务没有成功完成，程序将会返回步骤3来再次发送该包。

7、在所有的传输中的所有事务都被成功送达后，USBHS生成TF标志来指示传输成功结束。

8、除能通道，当通道处于空闲状态，即可为其他传输做准备。

注意：开始写发送FIFO之前，需要保证发送FIFO以及请求队列存在剩余空间。

OUT传输操作顺序(DMA使能)：

1、初始化USBHS全局寄存器。

2、初始化并使能相应通道。

3、USBHS的DMA开始从寄存器USBHS_HCHxDMAADDR的位DMAADDR中所指示的地址取包数据，并且将数据写入相应通道的Tx FIFO(周期性Tx FIFO或非周期性Tx FIFO)。每当一个完整的包数据被写入FIFO中，USBHS在相应的请求队列中生成一个Tx请求条目，并减少寄存器USBHS_HCHxTLEN的位TLEN的数值，所减少的数值与所完成写操作的包大小相同。

4、USBHS逐一处理请求队列中的请求条目，并将它们所指示的事务发到USB总线上。

5、当一个事务获得NAK或PING握手包时，DMA可以再取或是再发数据包，在执行PING协议时也会自动像这样执行。

6、如果所有的事务都被成功发送到USB总线上，USBHS生成TF和CH标志来表示传输成功完成，相应通道除能。如果在这些事务期间发生USB总线错误或DMA取值错误，DMA将触发相关的错误标志，停止该通道的操作，最后除能该通道，触发CH标志。

注意：在DMA模式下，因为DMA将自动处理Rx FIFO，程序不再使能或处理RXFNEIF中断。

设备模式

全局寄存器初始化顺序：

1、根据应用的需求，如是否使能DMA、DMA的传输类型、Tx FIFO的空阈值等，设置寄存器USBHS_GAHBCS，此时，GINTEN位需要保持清零状态。

2、根据应用的需求，如操作模式(主机、设备或OTG)、某些OTG参数、ULPI和USB协议，设置寄存器USBHS_GUSBCS。

3、根据应用的需求，设置寄存器USBHS_GCCFG。

4、根据应用的需求，设置寄存器USBHS_GRFLEN、USBHS_HNPTFLEN_DIEP0TFLEN、USBHS_DIEPxTFLEN，配置数据FIFO。

5、通过设置寄存器USBHS_GINTEN使能模式错误、挂起、SOF、枚举完成和USB复位中断，置位USBHS_GAHBCS寄存器的GINTEN位使能全局中断。

6、根据应用的需求，如设备的地址和设备的速度等，设置寄存器USBHS_DCFG。

7、在设备连接上主机上后，主机在USB总线上执行端口复位，触发寄存器USBHS_GINTF的RST中断。

8、等待寄存器USBHS_GINTF的ENUMF中断，在中断处理中读取寄存器USBHS_DIEPxTFLEN的位域ES[1:0]获取当前枚举的设备速度。

端点初始化和使能顺序：

1、根据预期的传输类型、包大小等信息，设置寄存器USBHS_DIEPxCTL或USBHS_DOEPxCTL。

2、设定寄存器USBHS_DIEPINTEN或USBHS_DOEPINTEN，置位相应中断使能位。

3、如果DMA使能，设定寄存器USBHS_DIEPxDMAADDR或USBHS_DOEPxDMAADDR。

4、设定寄存器USBHS_DIEPxLEN或USBHS_DOEPxLEN，PCNT表示一次传输中的包数，TLEN表示一次传输中发送或接收的包数据的总字节数。

对于IN端点，如果PCNT等于1，单数据包的大小等于TLEN。如果PCNT大于1，前PCNT-1个包被认定为最大包长度的包，其大小是由寄存器USBHS_DIEPxCTL的位MPL所定义。最后一包的大小可通过PCNT、TLEN和MPL计算得到。如果程序想要发出一个零长度的包，应该设定TLEN为0，PCNT位1。

对于OUT端点，因为在IN事务结束之前，程序不知道实际接收的数据大小，程序可将TLEN设定为Rx FIFO所支持的最大值。

5、置位USBHS_DIEPxCTL或USBHS_DOEPxCTL寄存器EPEN位使能端点。

端点除能顺序：

当USBHS_DIEPxCTL或USBHS_DOEPxCTL寄存器的EPEN位被清除时，程序可以在任何时候除能端点。

IN传输操作顺序(DMA除能)：

1、 初始化USBHS全局寄存器。

2、 初始化和使能IN端点。

3、 将数据包写入端点的Tx FIFO，每当数据包写入FIFO，USBHS减少USBHS_DIEPxLEN寄存器的TLEN域的数值，其减少的数值等于已写的数据包大小。

4、 当IN令牌接收后，USBHS发送数据包，在USB总线上的事务完成后，USBHS_DIEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果。

5、 在一次传输的所有数据包都被成功发送，USBHS生成一个TF标志位以表明传输成功结束，除能相应IN端点。

IN传输操作顺序(DMA使能)：

1、 初始化USBHS全局寄存器。

2、 初始化并使能相应IN端点。

3、 USBHS 的 DMA 开始从寄存器 USBHS_DIEPxDMAADDR 的位 DMAADDR 中所指示的地址取包数据，并且将数据写入相应通道的 Tx FIFO。每当一个完整的包数据被写入 FIFO 中，USBHS 将减少寄存器 USBHS_DIEPxLEN 的位域 TLEN 的数值，所减少的数值与所完成写操作的包大小相同。

4、 当IN令牌接收后，USBHS发送数据包，在USB总线上的事务完成后，USBHS_DIEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果。

5、 在一次传输的所有数据包都被成功发送，USBHS生成一个TF和EPDIS标志位表明传输成功结束，除能相应IN端点。如果在事务期间出现USB总线错误或DMA取值错误，DMA将触发相关错误标志。

注意：在DMA模式下，因为DMA将自动处理Rx FIFO，程序不再使能或处理RXFNEIF中断。

OUT传输操作顺序(DMA除能)：

1、 初始化USBHS全局寄存器。

2、 初始化和使能OUT端点。

3、 当OUT令牌接收后，USBHS接收包数据或基于Rx FIFO状态和寄存器配置回复NAK握手包。如果事务成功完成(USBHS接收并保存数据到Rx FIFO，发送ACK握手包)，USBHS_DOEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果。

4、 在一次传输的所有数据包都被成功接收，USBHS将TF状态条目压入Rx FIFO的最后的数据包的顶部，这样，软件在读取所有接收的包数据后，再读取TF状态条目。USBHS生成TF标志来指示传输成功结束。USBHS生成一个TF标志位表明传输成功结束，除能相应OUT端点。

OUT传输操作顺序(DMA使能)：

1、 初始化USBHS全局寄存器。

2、 初始化并使能相应OUT端点。

3、 当OUT令牌接收后，USBHS接收包数据或基于Rx FIFO状态和寄存器配置回复NAK握手包。如果事务成功完成(USBHS接收并保存数据到Rx FIFO，发送ACK握手包)，USBHS_DOEPxLEN寄存器的PCNT值减1。如果事务成功完成(接收到ACK握手包)，ACK标志被触发，或者，其他状态标志表示事务的结果。

4、 在一次传输的所有数据包都被成功发送，USBHS生成一个TF和EPDIS标志位表明传输成功结束，除能相应端点。如果在事务期间出现USB总线错误或DMA取值错误，DMA将触发相关错误标志。

注意：在DMA模式下，因为DMA将自动处理Rx FIFO，程序不再使能或处理RXFNEIF中断。

34.6. 中断

USBHS 有四种中断：全局中断、唤醒中断、端点 1 IN 中断和端点 1 OUT 中断。

全局中断是软件需要处理的主要中断，全局中断的标志位可在 USBHS_GINTF 寄存器读取，列举在*表 34-3. USBHS 全局中断*。

表 34-3. USBHS 全局中断

中断标志	描述	运行模式
SESIF	会话中断	主机或设备模式
DISCIF	断开连接中断标志	主机模式
IDPSC	ID 引脚状态变化	主机或设备模式
PTXFEIF	周期性 Tx FIFO 空中断标志	主机模式
HCIF	主机通道中断标志	主机模式
HPIF	主机端口中断	主机模式
PXNCIF / ISOONCIF	周期性传输未完成中断标志 / 同步OUT传输未完成中断标志	主机或设备模式
ISOINCIF	同步 IN 传输未完成中断标志	设备模式
OEPIF	OUT 端点中断标志	设备模式
IEPIF	IN 端点中断标志	设备模式
EOPFIF	周期性帧尾中断标志	设备模式
ISOOPDIF	同步 OUT 丢包中断标志	设备模式
ENUMF	枚举完成	设备模式
RST	USB 复位	设备模式
SP	USB挂起	设备模式
ESP	早挂起	设备模式
GONAK	全局OUT NAK有效	设备模式
GNPINAK	全局非周期IN NAK有效	设备模式
NPTXFEIF	非周期Tx FIFO空中断标志	主机模式
RXFNEIF	Rx FIFO非空中断标志	主机或设备模式
SOF	帧首	主机或设备模式
OTGIF	OTG 中断标志	主机或设备模式
MFIF	模式错误中断标志	主机或设备模式

唤醒中断可以在 USBHS 处于挂起状态时触发，即使 USBHS 的时钟停止。寄存器

USBHS_GINTF 的位 WKUPIF 是唤醒源。

端点 1 IN/OUT 中断是适用于端点 1 的两个特殊中断，程序可通过这两个中断快速回应端点 1 的事件。这两个是中断通过寄存器 USBHS_DEP1INT 各自使能，这两个中断源来自于寄存器 USBHS_DIEP1INTF 和 USBHS_DOEP1INTF，其中断使能位定义在寄存器 USBHS_DIEP1INTEN 和 USBHS_DOEP1INTEN。

34.7. USBHS 寄存器

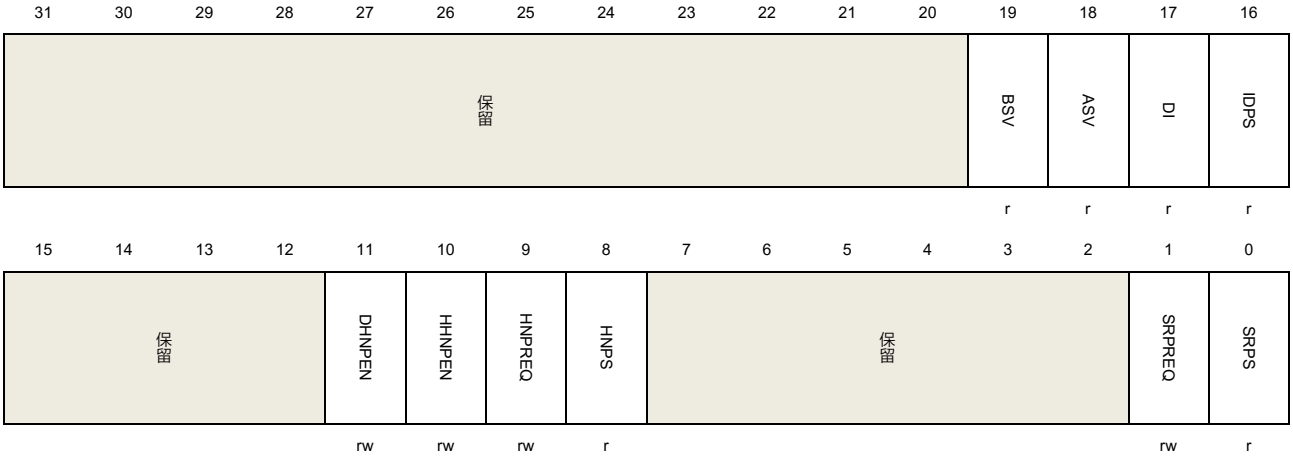
USBHS 基地址：0x4004 0000

34.7.1. 全局控制与状态寄存器组

全局 OTG 控制和状态寄存器(USBHS_GOTGCS)

地址偏移：0x0000
复位值：0x0000 0800

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:20	保留	必须保持复位值。
19	BSV	B会话有效(在OTG协议中描述) 0：OTG B设备Vbus电压水平低于VBSESSVLD 1：OTG B设备Vbus电压水平不低于VBSESSVLD **注意**：仅在OTB B设备模式下可访问
18	ASV	A会话有效 A主机模式收发器状态 0：OTG A设备Vbus电压水平低于VASESSVLD 1：OTG A设备Vbus电压水平不低于VASESSVLD 在会话的开始，A设备默认是主机。 **注意**：仅在OTG A设备模式下可访问
17	DI	去抖动间隔 检测到连接的去抖动间隔。 0：当USB总线上发生插入和连接时，指示长去抖动间隔 1：当HNP协议中使用一个软连接时，指示短去抖动间隔

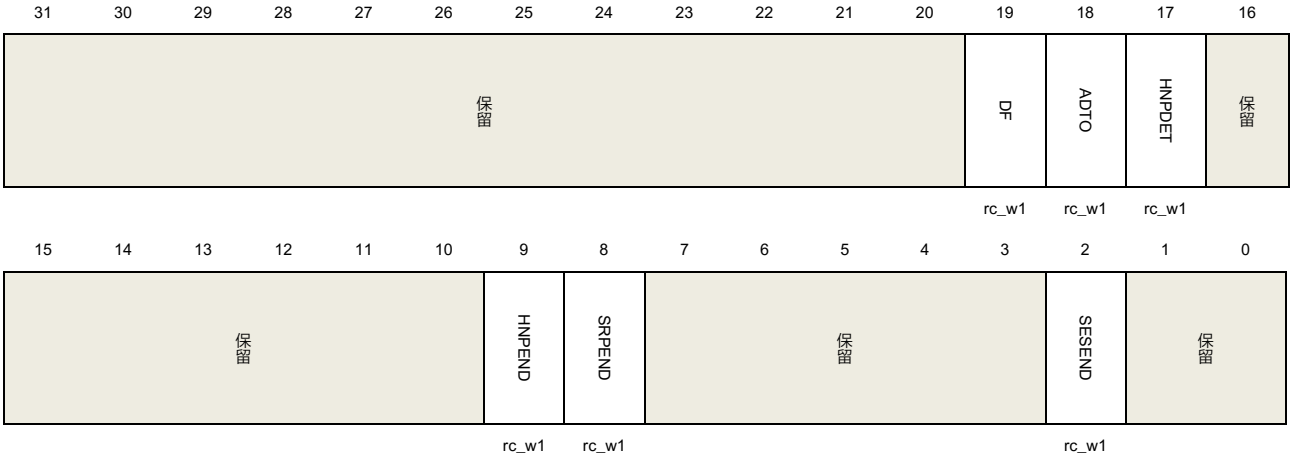
		注意：仅在主机模式下可访问
16	IDPS	ID引脚状态 连接器ID引脚的电压水平 0：USBHS工作在A设备模式 1：USBHS工作在B设备模式 **注意**：在设备和主机模式下均可访问
15:12	保留	必须保持复位值。
11	DHNPEN	设备HNP使能 使能B设备HNP功能。如果该控制位清除，当应用置位USBHS_GOTGCS寄存器中的HNPREQ控制位时，USBHS并不启动HNP协议。 0：HNP功能不使能 1：HNP功能使能 **注意**：仅在设备模式下访问
10	HHNPEN	主机HNP使能 使能A设备HNP功能。如果该控制位清除，USBHS不能够响应B设备的HNP请求。 0：HNP功能不使能 1：HNP功能使能 **注意**：仅在主机模式下访问
9	HNPREQ	HNP请求 软件通过置位该控制位在USB总线上启动一个HNP。当USBHS_GOTGINTF寄存器中HNPEND控制位置位时，软件可以通过向该控制位写0或者清除USBHS_GOTGINTF寄存器中的HNPEND控制位来清除该控制位。 0：不发送HNP请求 1：发送HNP请求 **注意**：仅在设备模式下访问
8	HNPS	HNP成功标志位 当HNP成功时，该标志位由内核置位。当HNPREQ置位时，该控制位被清除。 0：HNP失败 1：HNP成功 **注意**：仅在设备模式下访问
7:2	保留	必须保持复位值。
1	SRPREQ	SRP请求 软件通过置位该控制位在USB总线上启动一个SRP会话请求。当USBHS_GOTGINTF寄存器中的SRPEND控制位置位时，软件可以通过向该控制位写0或者清除USBHS_GOTGINTF寄存器中的SRPEND控制位来清除该控制位。 0：没有会话请求 1：会话请求 **注意**：仅在设备模式下访问
0	SRPS	SRP会话请求成功 当SRP会话请求成功时，该标志位由内核置位。当SRPREQ控制位被置位时，该标志

位被清除。
0：SRP会话请求失败
1：SRP会话请求成功
注意：仅在设备模式下访问

全局 OTG 中断状态寄存器(USBHS_GOTGINTF)

地址偏移：0x0004
复位值：0x0000 0000

该寄存器只能按字(32位)访问



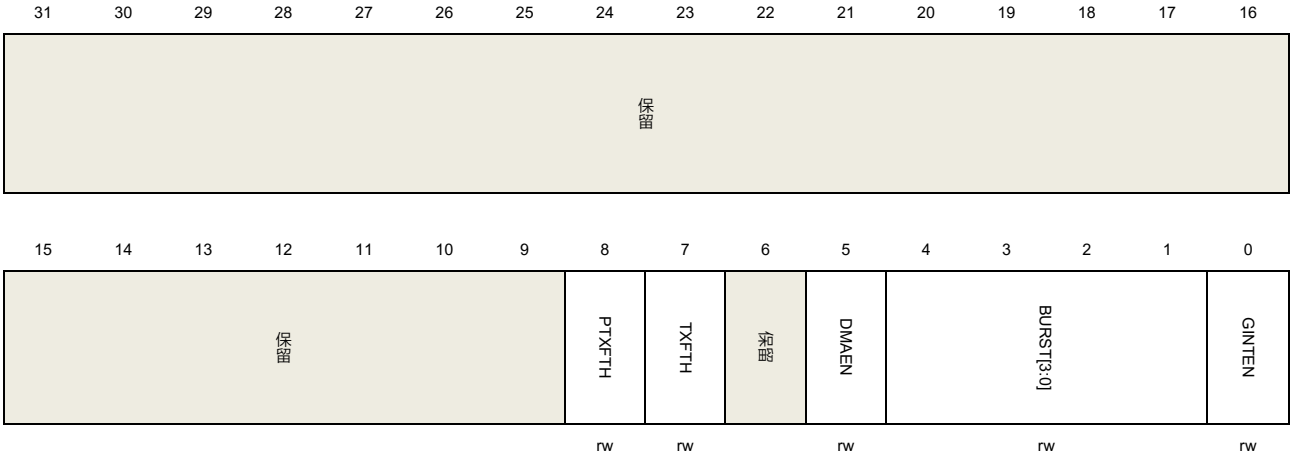
位/位域	名称	描述
31:20	保留	必须保持复位值。
19	DF	去抖动完成 当设备连接去抖动完成时，USBHS置位该控制位 **注意**：仅在主机模式下可访问
18	ADTO	A设备超时 当A设备等待B设备连接发生超时时，USBHS置位该控制位 **注意**：在设备和主机模式下，均可访问
17	HNPDET	检测到主机协商请求 当A设备检测到一个HNP请求时，USBHS置位该标志位 **注意**：在设备和主机模式下，均可访问
16:10	保留	必须保持复位值。
9	HNPEND	HNP结束 当一个HNP结束时，内核置位该标志位。软件应该读取USBHS_GOTGCS寄存器中HNPS标志位，以获取HNP结果。 **注意**：在设备和主机模式下，均可访问。
8	SRPEND	SRPEND 当一个SRP结束时，内核置位该标志位。软件应该读取USBHS_GOTGCS寄存器中

		SRPS标志位，以获取SRP结果。 **注意**：在设备和主机模式下，均可访问。
7:3	保留	必须保持复位值。
2	SESEND	会话结束 当VBUS电压低于Vb_ses_vld时，内核置位该标志位。
1:0	保留	必须保留复位值。

全局 AHB 控制和状态寄存器(USBHS_GAHBCS)

地址偏移：0x0008
复位值：0x0000 0000

该寄存器只能按字(32位)访问



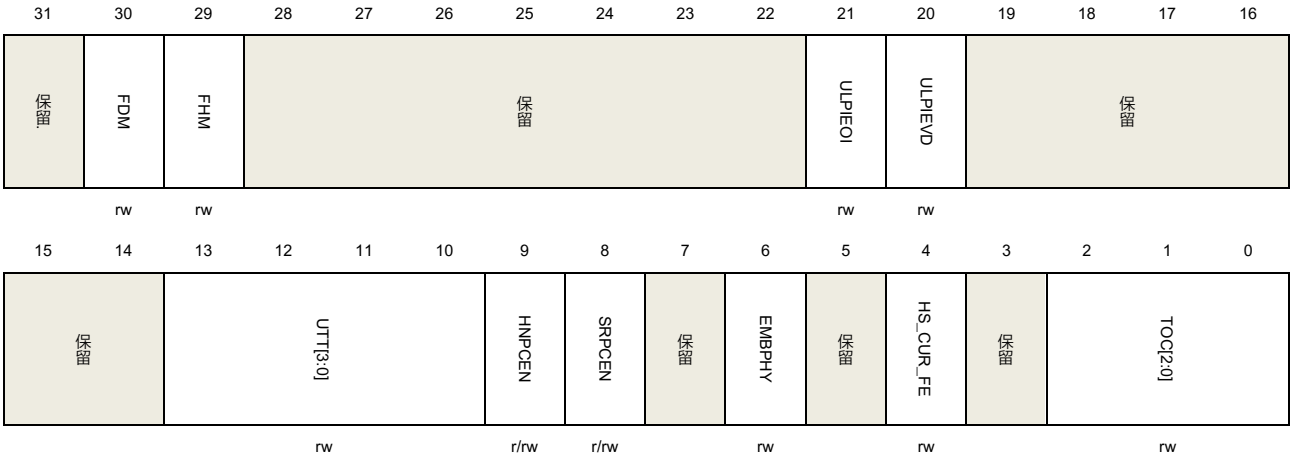
位/位域	名称	描述
31:9	保留	必须保持复位值。
8	PTXFTH	周期性Tx FIFO阈值 0：当周期性发送FIFO半空时，将触发PTXFEIF标志位 1：当周期性发送FIFO全空时，将触发PTXFEIF标志位 **注意**：只在主机模式下访问
7	TXFTH	Tx FIFO阈值 设备模式： 0：当IN端点发送FIFO半空时，将触发TXFEIF标志位 1：当IN端点发送FIFO全空时，将触发TXFEIF标志位 主机模式： 0：当非周期性发送FIFO半空时，将触发NPTXFEIF标志位 1：当非周期性发送FIFO全空时，将触发NPTXFEIF标志位
6	保留	必须保持复位值。
5	DMAEN	DMA功能使能 0：DMA功能禁用

		1：DMA功能使能
4:1	BURST[3:0]	DMA使用的AHB突发类型 0000：单次 0001：INCR 0011：INCR4 0101：INCR8 0111：INCR16
0	GINTEN	全局中断使能 0：全局中断不使能 1：全局中断使能 **注意**：在主机和设备模式下，均可访问

全局 USB 控制和状态寄存器(USBHS_GUSBCS)

地址偏移：0x000C
复位值：0x0000 0A00

该寄存器只能按字(32位)访问



位/位域	名称	描述
31	保留	必须保持复位值。
30	FDM	强制设备模式 通过置位该控制位，可强制USB内核为设备模式，并且忽略USBHS ID引脚的输入状态 0：正常模式 1：设备模式 设置该控制位后，应用必须等待至少25ms，让变化产生作用。 **注意**：在设备和主机模式下，均可访问。
29	FHM	强制主机模式 通过置位该控制位，可强制USB内核为主机模式，并且忽略USBHS ID引脚的输入状态 0：正常模式

		1：主机模式 设置该控制位后，应用必须等待至少25ms，让变化产生作用。 **注意**：在设备和主机模式下，均可访问
28:22	保留	必须保持复位值。
21	ULPIEOI	ULPI外部过流指示器 ULPI PHY使用该控制位决定使用内部或者外部过流指示器。该控制位只在外部ULPI PHY被使用时(本寄存器中EMBPHY控制位为0)，才有效。 0：ULPI PHY使用内部过流指示器 1：ULPI PHY使用外部过流指示器
20	ULPIEVD	ULPI外部VBUS驱动器 ULPI PHY使用该控制位决定是由ULPI PHY还是外部电源驱动。该控制位仅在外部ULPI PHY被使用时(本寄存器中EMBPHY控制位为0)，才有效。 0：VBUS由ULPI PHY驱动 1：VBUS由外部电源驱动
19:14	保留	必须保持复位值。
13:10	UTT[3:0]	USB运转时间 以物理时钟数来设定运转时间 **注意**：仅在设备模式下访问
9	HNPCEN	HNP能力使能 控制HNP能力是否使能 0：HNP能力禁用 1：HNP能力使能 **注意**：在设备和主机模式下，均可访问
8	SRPCEN	SRP能力使能 控制SRP能力是否使能 0：SRP能力禁用 1：SRP能力使能 **注意**：在设备和主机模式下，均可访问
7	保留	必须保持复位值。
6	EMBPHY	嵌入式PHY选择 控制选择使用内部嵌入式全速PHY还是外部ULPI PHY 0：USBHS使用外部ULPI PHY 1：USBHS使用内部嵌入式全速PHY **注意**：在设备和主机模式下，均可访问
5	保留	必须保持复位值。
4	HS_CUR_FE	HS电流软件使能 0：释放HS模式，TX当前使能 1：强制HS模式，TX当前使能

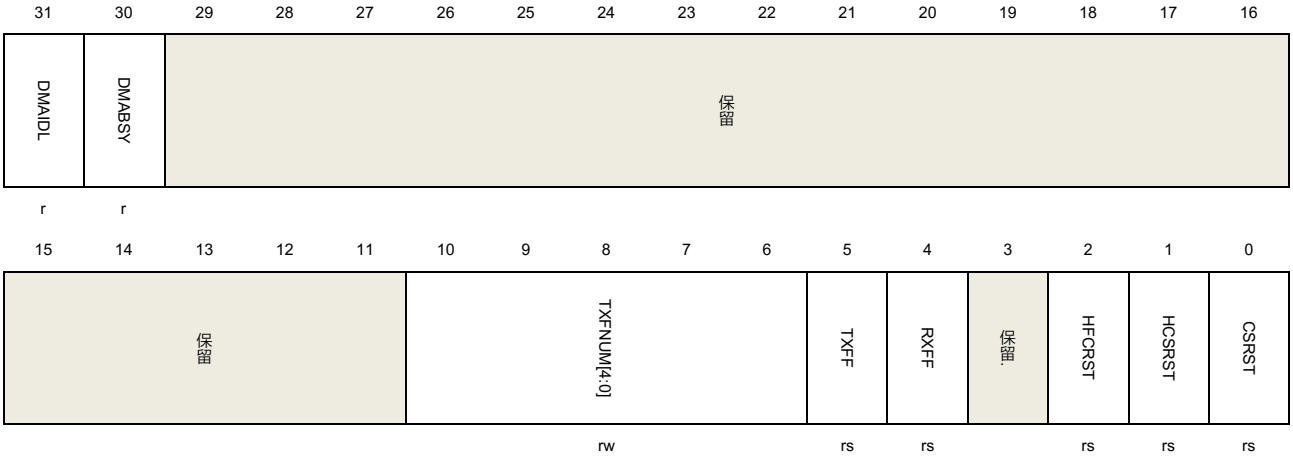
3	保留	必须保持复位值。
2:0	TOC[2:0]	超时校准 当等待一个包时，USBHS需要使用USB2.0协议中需要的超时数值。应用可以使用TOC[2:0]增加该数值(以PHY时钟为单位)。PHY时钟频率由使用的PHY所决定：48MHz(内部嵌入式PHY)和60MHz(外部ULPI PHY)。

全局复位控制寄存器(USBHS_GRSTCTL)

地址偏移：0x0010
复位值：0x8000 0000

应用通过该寄存器来复位内核的不同硬件特性。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31	DMAIDL	DMA空闲状态 该标志位体现了DMA是否在空闲状态 0：DMA在空闲状态 1：DMA不在空闲状态 **注意**：在设备和主机模式下，均可访问
30	DMABSY	DMA忙标志位 该标志位体现了DMA是否忙 0：DMA不忙 1：DMA忙 **注意**：在设备和主机模式下，均可访问
29:11	保留	必须保持复位值。
10:6	TXFNUM[4:0]	Tx FIFO数目 当本寄存器中TXFF控制位置位时，该标志位决定那个Tx FIFO会被冲刷 主机模式： 00000：仅非周期性Tx FIFO被冲刷

		00001：仅周期性Tx FIFO被冲刷 1xxxx：周期性和非周期性Tx FIFO均被冲刷 其他：没有数据被冲刷 设备模式： 00000：仅Tx FIFO0被冲刷 00001：仅Tx FIFO1被冲刷 … 00101：仅Tx FIFO5被冲刷 1XXXX：所有的Tx FIFO均被冲刷 其他：没有数据被冲刷
5	TXFF	Tx FIFO冲刷控制位 应用通过置位该控制位来冲刷Tx FIFO数据，并且TXFNUM[4:0]决定冲刷的FIFO数目。当冲刷完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBHS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
4	RXFF	Rx FIFO冲刷控制位 应用通过置位该控制位来冲刷Rx FIFO数据。当冲刷完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBHS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
3	保留	必须保持复位值。
2	HFCRST	主机帧计数器复位 应用通过置位该控制位来复位USBHS内的帧计数器。该控制位置位后，接下来SOF的帧计数器将变为0。当复位操作完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBHS不应有其他操作。 **注意**：仅在主机模式下访问
1	HCSRST	HCLK软件复位 应用通过置位该控制位来复位ABH时钟域电路 在复位操作完成后，硬件自动清除该控制位。置位该控制位后，应用应该等待该控制位清除，并且，在此之前USBHS不应有其他操作。 **注意**：在设备和主机模式下，均可访问
0	CSRST	USB内核软件复位 复位AHB和USB时钟域电路，以及大多数的寄存器。

全局中断标志寄存器(USBHS_GINTF)

地址偏移：0x0014
复位值：0x0400 0021

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

WKUPIF	SESIF	DISCIF	IDPSC	保留	PTXFEIF	HCIF	HPIF	保留	PXNCIF/ISOONCIF	ISOINCIF	OEPIF	IEPIF	保留
rc_w1	rc_w1	rc_w1	rc_w1		r	r	r		rc_w1	rc_w1	r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

EOPFIF	ISOOPDIF	ENUMF	RST	SP	ESP	保留	GONAK	GNPINAK	NPTXFEIF	RXFNEIF	SOF	OTGIF	MFIF	COPM
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		r	r	r	r	rc_w1	r	rc_w1	r

位/位域	名称	描述
31	WKUPIF	唤醒中断标志位 当在USB总线上检测到一个恢复信号(在设备模式下)或者一个远程唤醒信号(在主机模式下)，硬件将置位该中断标志位。 **注意**：在设备和主机模式下，均可访问
30	SESIF	会话中断标志位 当在A设备模式下检测到一个SRP会话请求或在B设备模式下B设备的Vbus变为可用时，硬件将置位该中断标志位 **注意**：在设备和主机模式下，均可访问
29	DISCIF	断开中断标志位 当设备断开后，将触发该标志位。 **注意**：仅在主机模式下访问
28	IDPSC	ID引脚状态改变中断标志位 当ID引脚状态改变时，内核将置位该标志位 **注意**：在设备和主机模式下，均可访问
27	保留	必须保持复位值。
26	PTXFEIF	周期性Tx FIFO空中断标志位 当周期性发送FIFO半空或全空时，将触发该标志位。空阈值由USBHS_GAHBCS寄存器中周期性Tx FIFO空等级控制位(PTXFTH)决定。 **注意**：仅在主机模式下访问
25	HCIF	主机通道中断标志位 当在主机模式下其中一个通道挂起一个中断时，USBHS将置位该标志位。软件应该首先读取USBHS_HACHINT寄存器以获取通道号，然后读取相应的USBHS_HCHxINTF寄存器以获取产生中断的通道标志位。当产生通道中断的独立通道标志位被清除后，该中断标志位将自动清除。 **注意**：仅在主机模式下访问
24	HPIF	主机端口中断标志位 当USBHS在主机模式下检测到端口状态改变时，USB内核将置位该标志位。软件应该读取USBHS_HPCS寄存器以获取该中断源。当产生端口中断的标志被清除后，

		该中断标志位将自动清除。 **注意**：仅在主机模式下访问
23:22	保留	必须保持复位值。
21	PXNCIF	周期性传输未完成中断标志位 在当前帧内，当帧结束时，周期性传输未完成，USBHS将置位该标志位(主机模式)。
	ISOONCIF	同步OUT传输未完成中断标志位 在周期性帧结束时(由USBHS_DCFG寄存器的EOPFT控制位定义)，如果仍有同步OUT端点未完成传输，USBHS将置位该标志位(设备模式)。
20	ISOINCIF	同步IN传输未完成中断标志位 在周期性帧结束时(由USBHS_DCFG寄存器的EOPFT控制位定义)，如果仍有同步IN端点未完成传输，USBHS将置位该标志位(设备模式)。 **注意**：仅在设备模式下访问
19	OEPIF	OUT端点中断标志位 当在设备模式下，其中一个OUT端点挂起一个中断时，USBHS将置位该中断标志位。软件应该首先读取USBHS_DAEPINT寄存器以获取设备号，然后读取相应的USBHS_ DOEPxINTF寄存器以获取产生中断的端点标志位。当产生中断的相应端点标志位被清除后，该中断标志位被自动清除。 **注意**：仅在设备模式下访问
18	IEPIF	IN端点中断标志位 当在设备模式下，其中一个IN端点挂起一个中断时，USBHS将置位该标志位。软件应该首先读取USBHS_DAEPINT寄存器以获取设备号，然后读取相应的USBHS_DIEPxINTF寄存器以获取产生中断的端点标志位。当相应产生中断的端点标志位被清除后，该中断标志位被自动清除。
17:16	保留	必须保持复位值。
15	EOPFIF	周期性帧结束中断标志位 当一帧内USB总线时间已经达到USBHS_DCFG寄存器中EOPFT控制位所定义的数值时，USBHS将置位该中断标志位。 **注意**：仅在设备模式下访问
14	ISOOPDIF	同步OUT包丢失中断标志位 如果USBHS接收到一个同步OUT包，但是Rx FIFO没有足够的空间来接收该OUT包，USBHS将置位该标志位。 **注意**：仅在设备模式下访问
13	ENUMF	枚举完成中断标志位 在速度枚举完成后，USBHS将置位该中断标志位。软件能够读取USBHS_DSTAT寄存器以获取当前设备速度。 **注意**：仅在设备模式下访问
12	RST	USB复位中断标志位 当USBHS在USB总线上检测到一个USB复位信号后，USBHS将置位该中断标志

		位。 **注意**：仅在设备模式下访问
11	SP	USB挂起中断标志位 当USBHS检测到USB总线空闲3ms并且进入挂起状态，USBHS将置位该中断标志位。 **注意**：仅在设备模式下访问
10	ESP	早期挂起中断标志位 当USBHS检测到USB总线空闲3ms时，USBHS将置位该中断标志位。
9:8	保留	必须保持复位值。
7	GONAK	全局OUT NAK有效标志位 软件能够向USBHS_DCTL寄存器的SGONAK控制位写1，并且USBHS将会在SGONAK写入有效后，置位GONAK标志位。软件可通过向USBHS_DCTL寄存器的CGONAK控制位写1，清除该标志位。 **注意**：仅在设备模式下可访问
6	GNPINAK	全局非周期性IN NAK有效标志位 软件能够向USBHS_DCTL寄存器中的SGINAK控制位写1，并且USBHS将会在SGINAK写入有效后，置位GNPINAK标志位。软件可通过向USBHS_DCTL寄存器的CGONAK控制位写1，清除该标志位。 **注意**：仅在设备模式下可访问
5	NPTXFEIF	非周期性Tx FIFO空中断标志位 当非周期性Tx FIFO为半空或全空时，将置位该中断标志位。该阈值由USBHS_GAHBCS寄存器中的非周期Tx FIFO空等级控制位(TXFTH)决定。 **注意**：仅在主机模式下访问
4	RXFNEIF	Rx FIFO非空中断标志位 当至少有一个包或状态条目在Rx FIFO中时，USBHS将置位该标志位。 **注意**：在主机和设备模式下，均可访问
3	SOF	帧起始中断标志位 主机模式： 当准备在USB总线上发送一个SOF或保持有效信号，USBHS将置位该中断标志位。软件可以通过写1清除该中断标志位。 设备模式： 当USBHS接收到一个SOF令牌包后，USBHS置位该标志位。应用可以读取设备状态寄存器以获取当前帧号。软件可以通过写1清除该中断标志位。 **注意**：在设备和主机模式下，均可访问
2	OTGIF	OTG中断标志位 当USBHS_GOTGINTF寄存器中标志位产生一个中断时，USBHS置位该中断标志位。软件应该读取USBHS_GOTGINTF寄存器以获取产生该中断的信号源，当USBHS_GOTGINTF寄存器中产生该中断的标志位被清除后，该中断标志位也被自动清除。

注意：在设备和主机模式下，均可访问

1	MFIF	模式错误中断标志位 如果软件在设备模式下操作仅主机可访问的寄存器或者在主机模式下操作仅设备可访问的寄存器，USBHS将置位该中断标志位。这些错误操作不会产生作用。 **注意**：在主机和设备模式下，均可访问
0	COPM	当前操作模式 0：设备模式 1：主机模式 **注意**：在主机和设备模式下，均可访问

全局中断使能寄存器(USBHS_GINTEN)

地址偏移：0x0018
复位值：0x0000 0000

这个寄存器同全局中断标志寄存器(USBHS_GINTF)一起工作来中断应用程序。当中断使能位被禁止后，相应的中断就不会产生。然而，相应的全局中断标志位依然会被置位。

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WKUPIE	SESIE	DISCIE	IDPSCIE	保留	PTXFEIE	HCIE	HPIE	保留		PXNCIE/ISOONCIE	ISOINCIE	OEPIE	IEPIE	保留	
rw	rw	rw	rw		rw	rw	r			rw	rw	rw	rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EOPFIE	ISOOPDIE	ENUMFIE	RSTIE	SPIE	ESPIE	保留		GONAKIE	GNPINAKIE	NPTXFEIE	RXFNEIE	SOFIE	OTGIE	MFIE	保留
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	

位/位域	名称	描述
31	WKUPIE	唤醒中断使能 0：禁用唤醒中断 1：使能唤醒中断 **注意**：在主机和设备模式下，均可访问
30	SESIE	会话中断使能 0：禁用会话中断 1：使能会话中断 **注意**：在主机和设备模式下，均可访问
29	DISCIE	断开中断使能 0：禁用断开中断

		1：使能断开中断 **注意**：仅在设备模式下使用
28	IDPSCIE	ID引脚状态改变中断使能 0：禁用连接器ID引脚状态中断 1：使能连接器ID引脚状态中断 **注意**：在主机和设备模式下，均可访问
27	保留	必须保持复位值。
26	PTXFEIE	周期性Tx FIFO空中断使能 0：禁用周期性Tx FIFO空中断 1：使能周期性Tx FIFO空中断 **注意**：仅在主机模式下访问
25	HCIE	主机通道中断使能 0：禁用主机通道中断 1：使能主机通道中断 **注意**：仅在主机模式下访问
24	HPIE	主机端口中断使能 0：禁止主机端口中断 1：使能主机端口中断 **注意**：仅在主机模式下访问
23:22	保留	必须保持复位值。
21	PXNCIE	周期性传输未完成中断使能 0：禁止周期性未完成传输中断 1：使能周期性未完成传输中断 **注意**：仅在主机模式下访问
	ISOONCIE	同步OUT传输未完成中断使能 0：禁止同步OUT传输未完成中断 1：使能同步OUT传输未完成中断 **注意**：仅在设备模式下访问
20	ISOINCIE	同步IN传输未完成中断使能 0：禁止同步IN传输未完成中断 1：使能同步IN传输未完成中断 **注意**：仅在设备模式下访问
19	OEPIE	OUT端点中断使能 0：禁止OUT端点中断 1：使能OUT端点中断 **注意**：仅在设备模式下访问
18	IEPIE	IN端点中断使能 0：禁止IN端点中断 1：使能IN端点中断

		注意：仅在设备模式下访问
17:16	保留	必须保持复位值。
15	EOPFIE	周期性帧结束中断使能 0：禁止周期性帧结束中断 1：使能周期性帧结束中断 **注意**：仅在设备模式下访问
14	ISOOPDIE	同步OUT包丢失中断使能 0：禁止同步OUT包丢失中断 1：使能同步OUT包丢失中断 **注意**：仅在设备模式下访问
13	ENUMFIE	枚举完成中断使能 0：禁止枚举完成中断 1：使能枚举完成中断 **注意**：仅在设备模式下访问
12	RSTIE	USB复位中断使能 0：禁止USB复位中断 1：使能USB复位中断 **注意**：仅在设备模式下访问
11	SPIE	USB挂起中断使能 0：禁止USB挂起中断 1：使能USB挂起中断 **注意**：仅在设备模式下访问
10	ESPIE	早期挂起中断使能 0：禁止早期挂起中断 1：使能早期挂起中断 **注意**：仅在设备模式下访问
9:8	保留	必须保持复位值。
7	GONAKIE	全局OUT NAK有效中断使能 0：禁止全局OUT NAK有效中断 1：使能全局OUT NAK有效中断 **注意**：仅在设备模式下访问
6	GNPINAKIE	全局非周期性IN NAK有效中断使能 0：禁止全局非周期性IN NAK有效中断 1：使能全局非周期性IN NAK有效中断 **注意**：仅在设备模式下访问
5	NPTXFEIE	非周期性发送FIFO空中断使能 0：禁止非周期性发送FIFO空中断 1：使能非周期性发送FIFO空中断

注意：仅在主机模式下访问

4	RXFNEIE	接收FIFO非空中断使能 0：禁止接收FIFO非空中断 1：使能接收FIFO非空中断 **注意**：在设备模式与主机模式下，均可访问
3	SOFIE	帧首中断使能 0：禁止帧首中断 1：使能帧首中断 **注意**：在设备模式下与主机模式下，均可访问
2	OTGIE	OTG中断使能 0：禁止OTG中断 1：使能OTG中断 **注意**：在设备模式下与主机模式下，均可访问
1	MFIE	模式错误中断使能 0：禁止模式错误中断 1：使能模式错误中断 **注意**：在设备模式下与主机模式下，均可访问
0	保留	必须保持复位值。

全局接收状态读取/接收状态读取和弹出寄存器 (USBHS_GRSTATR/USBHS_GRSTATP)

读地址偏移：0x001C
弹出地址偏移：0x0020
复位值：0x0000 0000

对接收状态读寄存器的读操作，将返回接收FIFO中顶部的条目。对接收状态读取和弹出寄存器的读操作，将额外的弹出Rx FIFO的顶部条目。

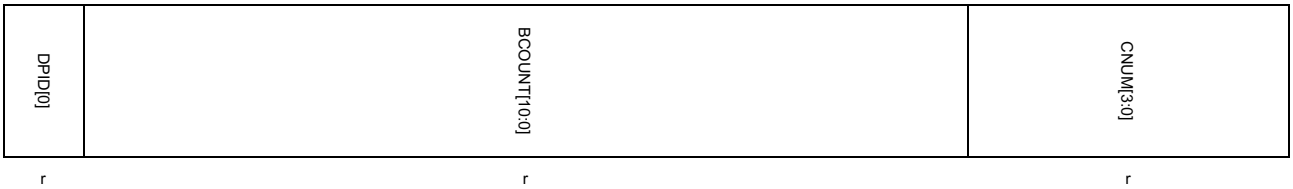
在主机模式和设备模式下，Rx FIFO中的条目具有不同的含义。当全局中断标志寄存器(USBHS_GINTF)中的接收FIFO非空中断标志位(RXFNEIF)置位后，软件应该读取该寄存器。

该寄存器只能按字(32位)访问

主机模式：

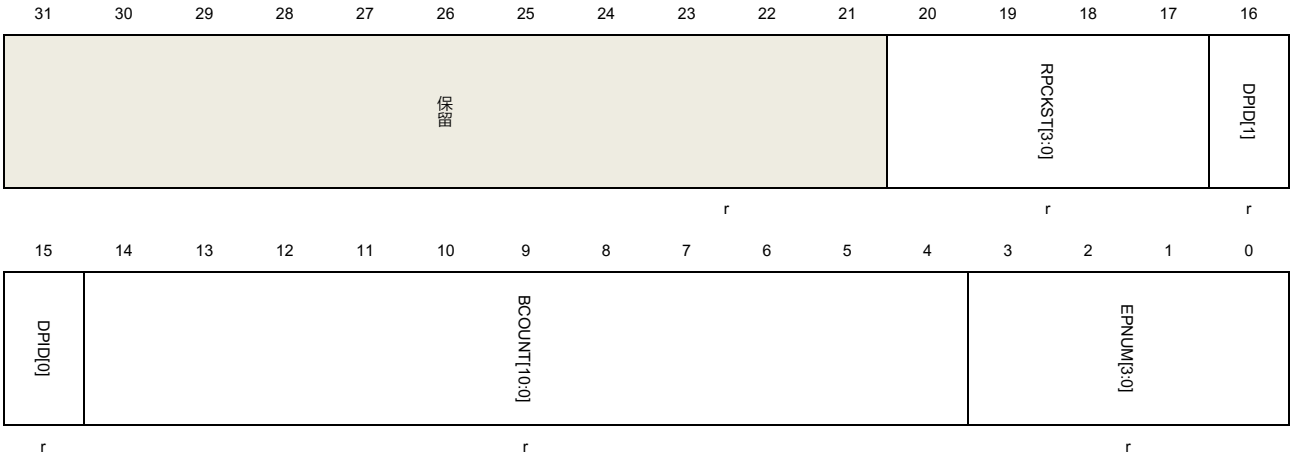
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留											RPCKST[3:0]				DPID[1]
											r				r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0



位/位域	名称	描述
31:21	保留	必须保持复位值。
20:17	RPCKST[3:0]	接收包状态 0010：接收到IN数据包 0011：IN传输完成(如果取出，触发一个中断) 0101：数据翻转错误(如果取出，触发一个中断) 0111：通道中止(如果取出，触发一个中断) 其他：保留
16:15	DPID[1:0]	数据PID 接收包的数据PID 00：DATA0 10：DATA1 01：DATA2 11：MDATA
14:4	BCOUNT[10:0]	字节数 接收IN数据包字节数。
3:0	CNUM[3:0]	通道数 当前接收包所属通道编号。

设备模式：



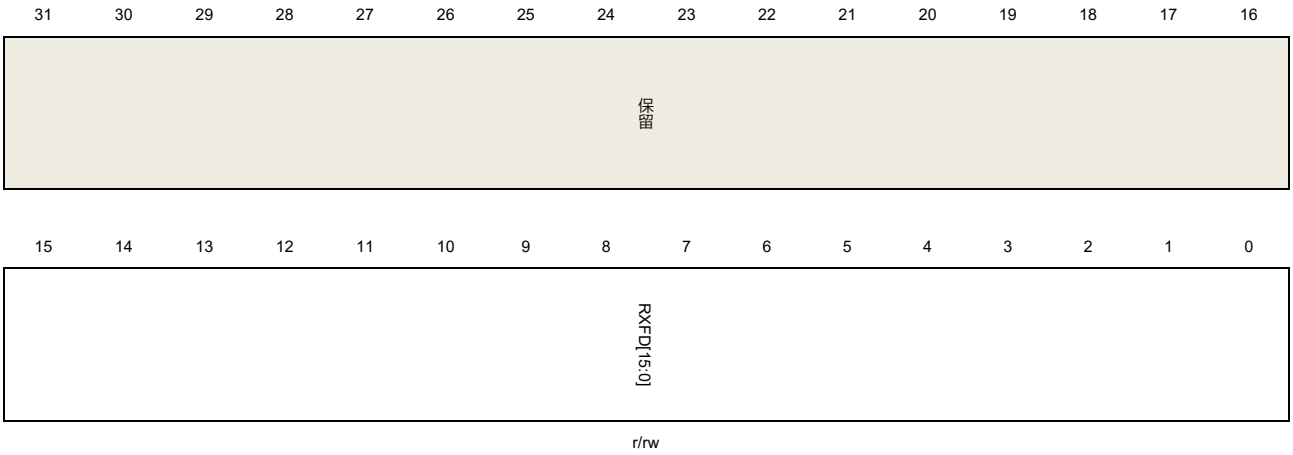
位/位域	名称	描述
31:21	保留	必须保持复位值。
20:17	RPCKST[3:0]	接收包状态 0001：全局OUT NAK(产生一个中断)

		0010：接收到OUT数据包 0011：OUT传输完成(产生一个中断) 0100：SETUP传输完成(产生一个中断) 0110：接收到SETUP数据包 其他：保留
16:15	DPID[1:0]	数据PID 接收到OUT数据包的数据PID 00：DATA0 10：DATA1 01：DATA2 11：MDATA
14:4	BCOUNT[10:0]	字节数 接收数据包的字节数
3:0	EPNUM[3:0]	端点号 当前接收包所属端点编号

全局接收 FIFO 长度寄存器(USBHS_GRFLEN)

地址偏移：0x0024
复位值：0x0000 0200

该寄存器只能按字(32位)访问

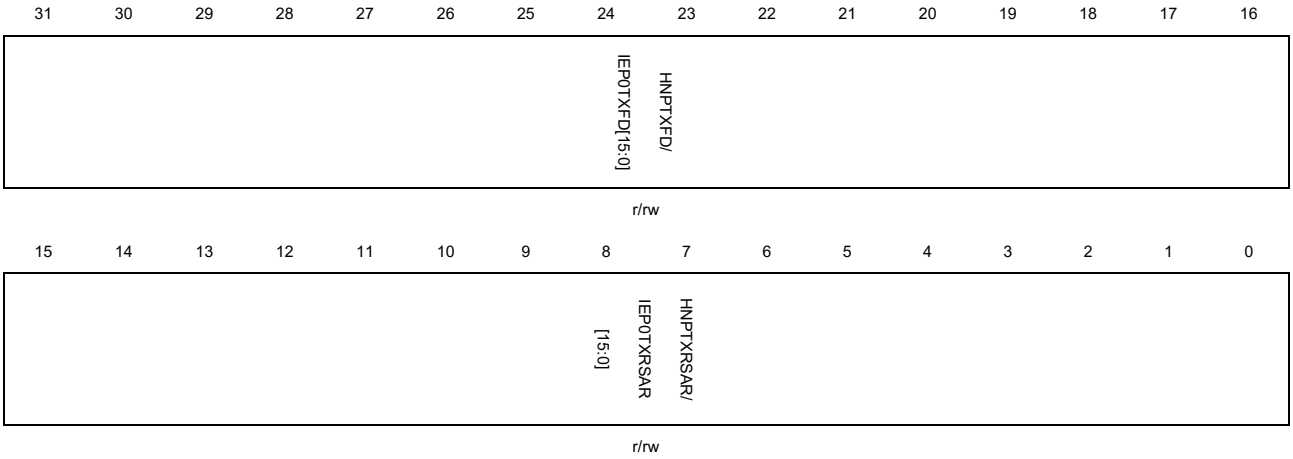


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	RXFD[15:0]	Rx FIFO 深度 以32位字计数 1<=RXFD<=1024

主机非周期性发送 FIFO 长度寄存器/设备 IN 端点 0 发送 FIFO 长度寄存器 (USBHS_HNPTFLEN_DIEP0TFLEN)

地址偏移：0x0028
复位值：0x0200 0200

该寄存器只能按字(32位)访问



主机模式：

位/位域	名称	描述
31:16	HNPTXFD[15:0]	主机非周期性Tx FIFO深度 以32位字计数 1<=HNPTXFD<=1024
15:0	HNPTXRSAR[15:0]	主机非周期性Tx RAM起始地址 非周期性发送FIFO RAM的起始地址

设备模式：

位/位域	名称	描述
31:16	IEP0TXFD[15:0]	输入端点0 Tx FIFO深度 以32位字计数 16<=IEP0TXFD<=140
15:0	IEP0TXRSAR[15:0]	输入端点0 TX RAM起始地址 端点0发送FIFO RAM的起始地址

主机非周期性发送 FIFO/队列状态寄存器(USBHS_HNPTFQSTAT)

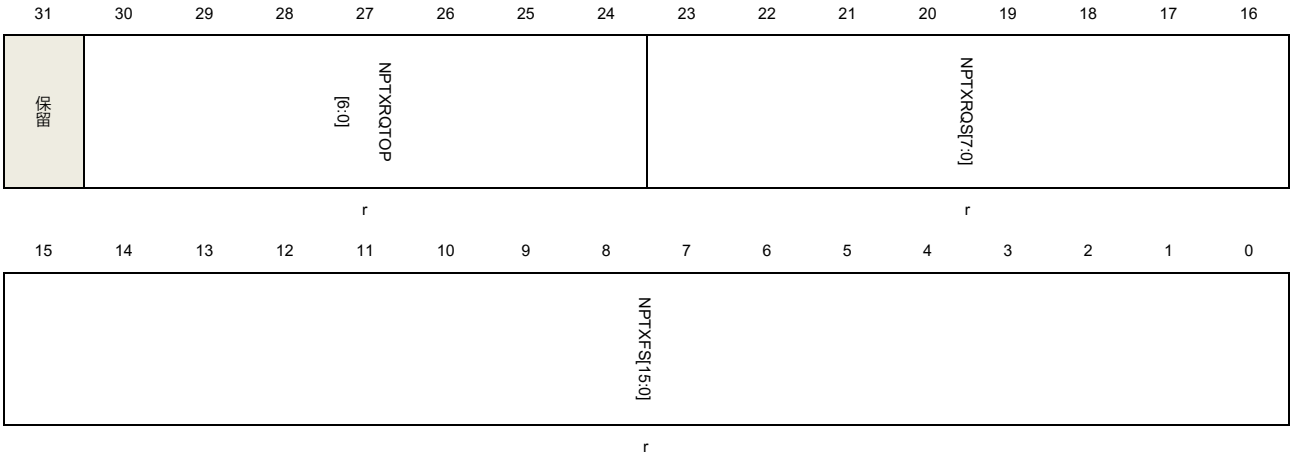
地址偏移：0x002C
复位值：0x0008 0200

该寄存器只能按字(32位)访问

该寄存器反映了非周期性Tx FIFO和请求队列的当前状态。请求队列包括在主机模式下的IN、

OUT或其他请求条目。

注意：在设备模式下，该寄存器不可用。

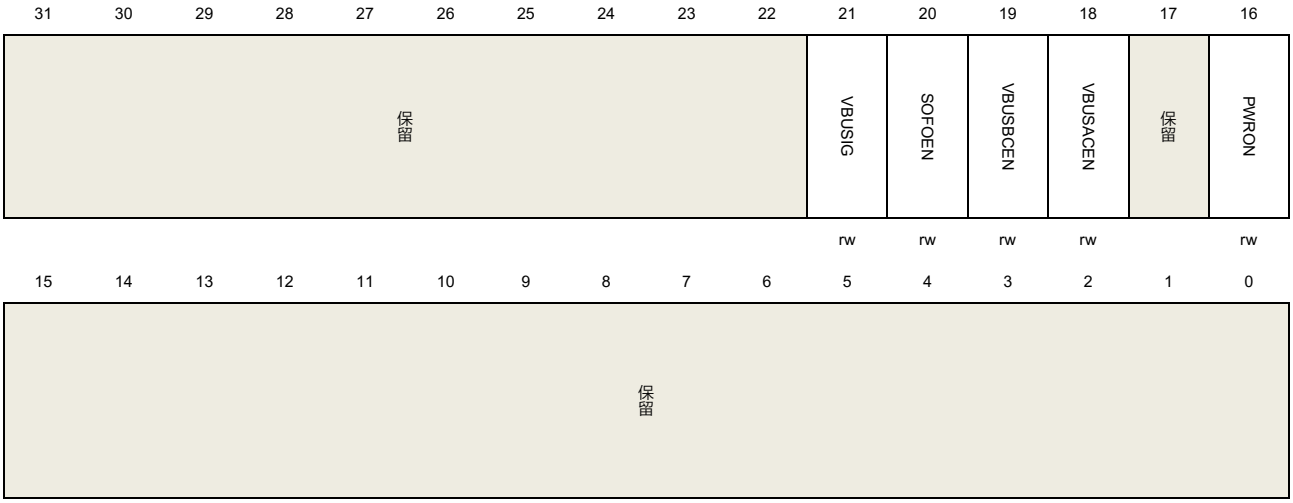


位/位域	名称	描述
31	保留	必须保持复位值。
30:24	NPTXRQTOP[6:0]	非周期性发送请求队列的顶部条目 在非周期性传输请求队列中的条目。 位30:27：通道号 位26:25： - 00：IN/OUT令牌 - 01：0长度OUT包 - 11：通道中止请求 位24：结束标志位，表明所选通道的最后一个条目
23:16	NPTXRQS[7:0]	非周期性发送请求队列空间 非周期性请求队列的剩余空间 0：请求队列空 1：1个条目 2：2个条目 … n：n个条目 (0<=n<=8) 其他：保留
15:0	NPTXFS[15:0]	非周期性Tx FIFO空间 非周期性发送FIFO剩余空间 以32位字计数 0：非周期性Tx FIFO为空 1：1个字 2：2个字 n：n个字(0<=n<=NPTXFD) 其他：保留

全局内核配置寄存器(USBHS_GCCFG)

地址偏移：0x0038
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:22	保留	必须保持复位值。
21	VBUSIG	VBUS忽略 当该控制位被置位，USBHS并不监测VBUS引脚电压，并且认为在主机和设备模式下，VBUS电压一直有效，然后可释放VBUS引脚作为其他用途。 0：VBUS不被忽略 1：VBUS被忽略，并认为VBUS电压一直有效
20	SOFOEN	SOF输出使能 0：SOF脉冲输出禁止 1：SOF脉冲输出使能
19	VBUSBCEN	VBUS B设备比较器使能 0：VBUS B设备比较器禁止 1：VBUS B设备比较器使能
18	VBUSACEN	VBUS A设备比较器使能 0：VBUS A设备比较器禁止 1：VBUS A设备比较器使能
17	保留	必须保持复位值。
16	PWRON	上电 该控制位为内部嵌入式全速PHY的电源开关 0：嵌入式全速PHY掉电 1：嵌入式全速PHY上电

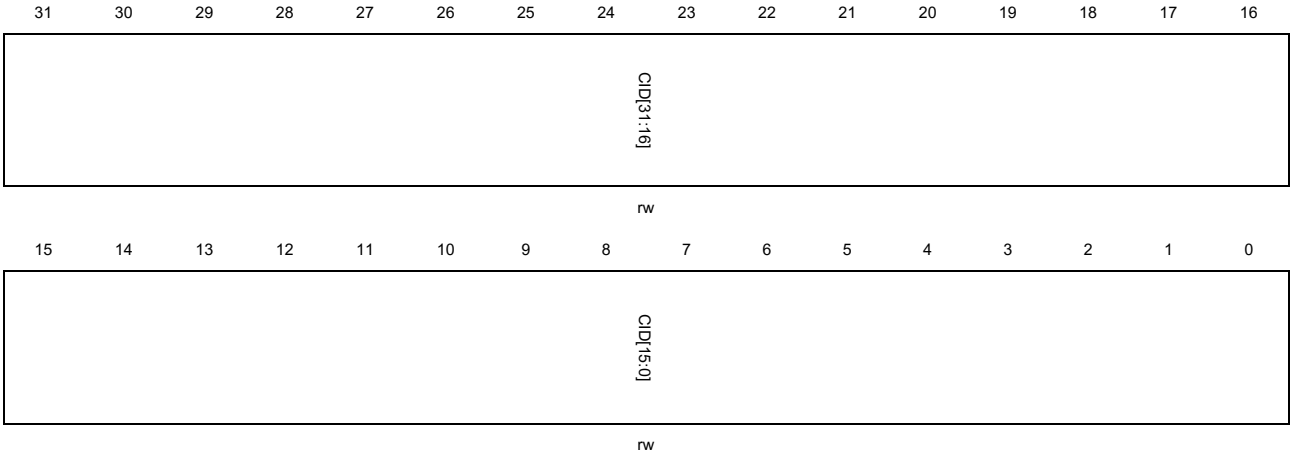
15:0	保留	必须保持复位值。

内核 ID 寄存器(USBHS_CID)

地址偏移：0x003C
复位值：0x0000 1000

该寄存器包含产品ID

该寄存器只能按字(32位)访问

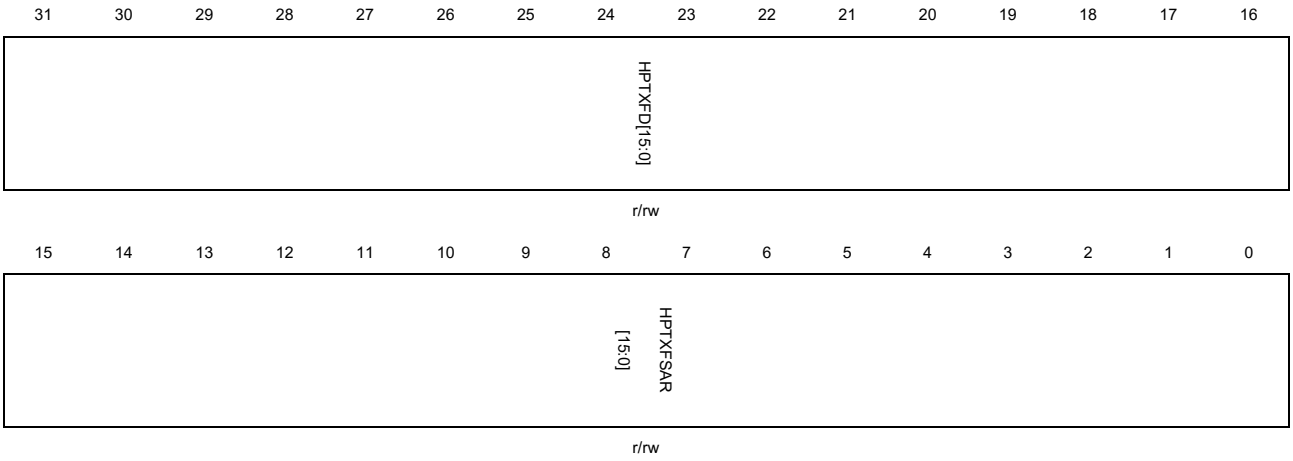


位/位域	名称	描述
31:0	CID[31:0]	内核ID 软件能够写入或读取该域值，并利用该域值为应用产生一个唯一ID。

主机周期性发送 FIFO 长度寄存器(USBHS_HPTFLEN)

地址偏移：0x0100
复位值：0x0200 0600

该寄存器只能按字(32位)访问



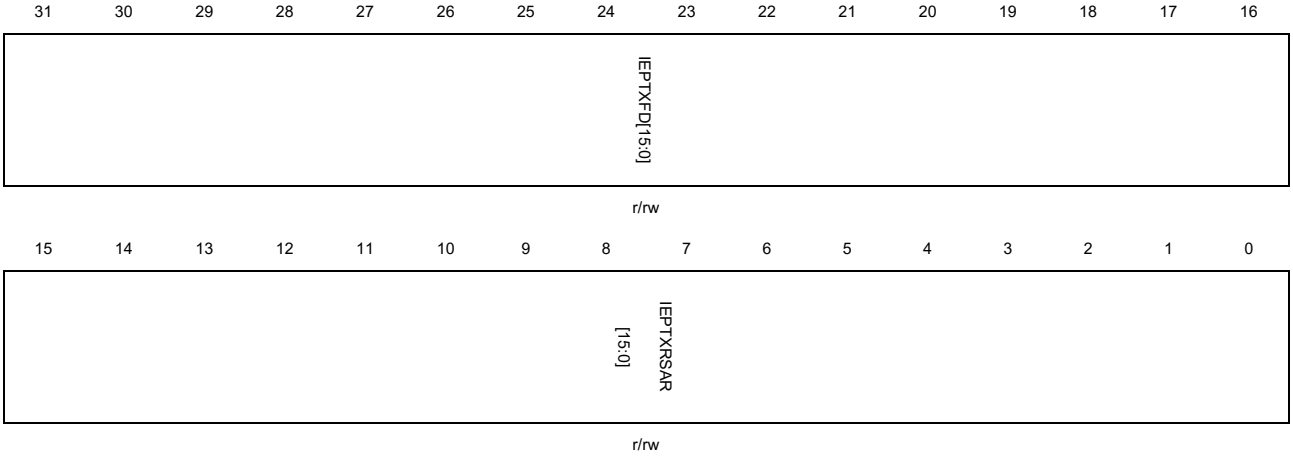
位/位域	名称	描述

31:16	HPTXFD[15:0]	主机周期性Tx FIFO深度 以32位字计数 1<=HPTXFD<=1024
15:0	HPTXFSAR[15:0]	主机周期性Tx RAM起始地址 主机周期性发送FIFO RAM起始地址

设备 IN 端点发送 FIFO 长度寄存器(USBHS_DIEPxTFLEN)(x = 1..5，其中 x 为 FIFO 编号)

地址偏移：0x0104 + (FIFO编号 - 1) × 0x04
复位值：0x0200 0400

该寄存器只能按字(32位)访问

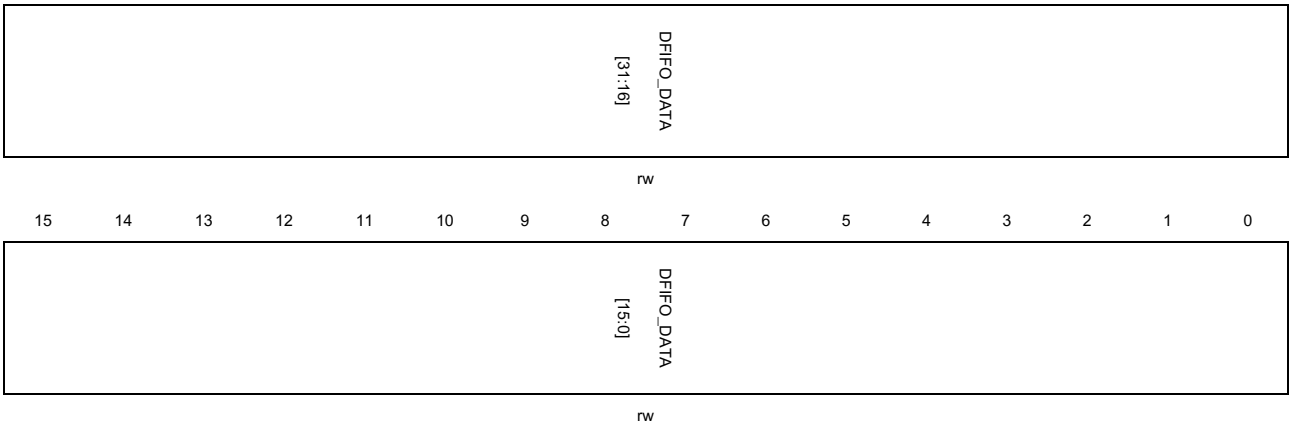


位/位域	名称	描述
31:16	IEPTXFD[15:0]	IN端点Tx FIFO深度 以32位字计数 1<=HPTXFD<=1024
15:0	IEPTXRSAR[15:0]	IN端点FIFOx Tx RAM起始地址 以32位字为单位的IN端点发送FIFOx起始地址

数据 FIFO 寄存器(USBHS_DFIFO)

地址偏移：0x1000
主机模式下：写地址范围：[0x01000，0x10FFF]，读地址范围：[0x1000，0xFFFF]
设备模式下：写地址范围：[0x01000，0x08FFF]，读地址范围：[0x1000，0xFFFF]
复位值：0x0000 0000

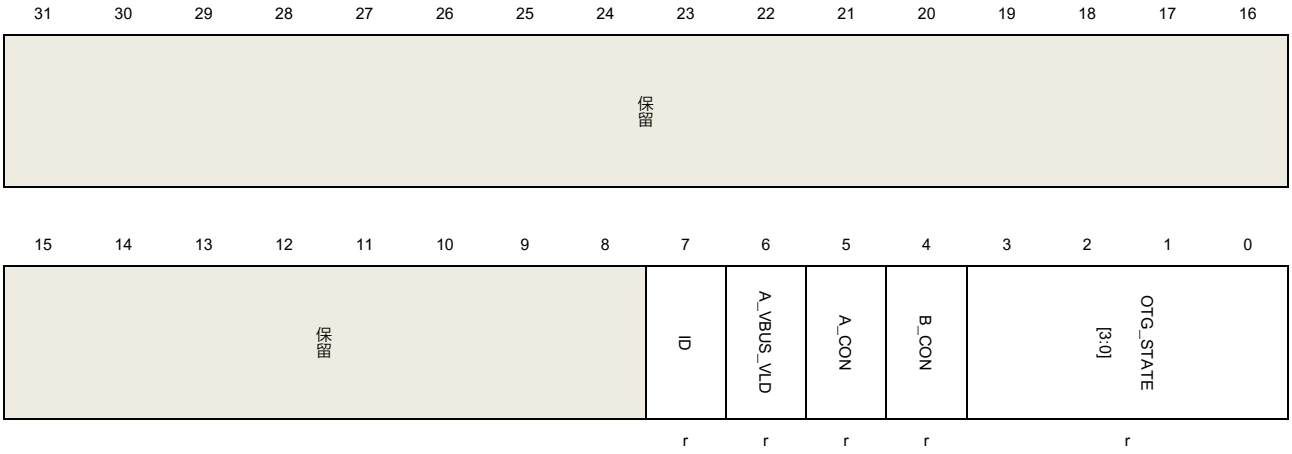
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



位/位域	名称	描述
31:0	DFIFO_DATA[31:0]	写该地址会将data push到相应的data FIFO中；读该地址会从相应的Rx FIFO中pop出data值，读溢出的地址会读到上次pop的最新值。

USBHS 调试寄存器(USBHS_DBG)

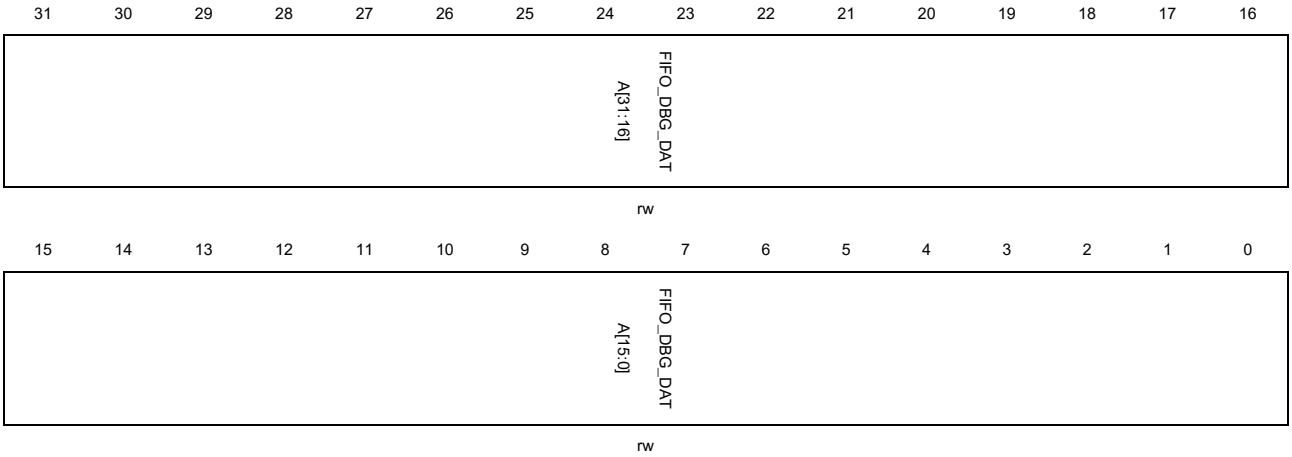
地址偏移：0x10000
地址范围：[0x10000，0x1FFFF]
复位值：0x0000 0000



位/位域	名称	描述
31:8	保留	必须保持复位值。
7	ID	ID信号
6	A_VBUS_VLD	检测到VBUS电压超过valid阈值
5	A_CON	检测到A设备连接
4	B_CON	检测到B设备连接
3:0	OTG_STATE[3:0]	内部OTG状态机的状态

数据 FIFO 调试寄存器(USBHS_DFIFODBG)

地址偏移：0x20000
写地址范围：[0x20000，0x20FFF]，读地址范围：[0x20000，0x2FFFF]
复位值：0x0000 0000



位/位域	名称	描述
31:0	FIFO_DBG_DATA[31:0]	该寄存器用于debug FIFO中的数据，不推荐用户使用 写该地址会将data写到相应的data FIFO中；读该地址会从对应的地址中读出data值，读溢出的地址会读到上次读到的最新值。

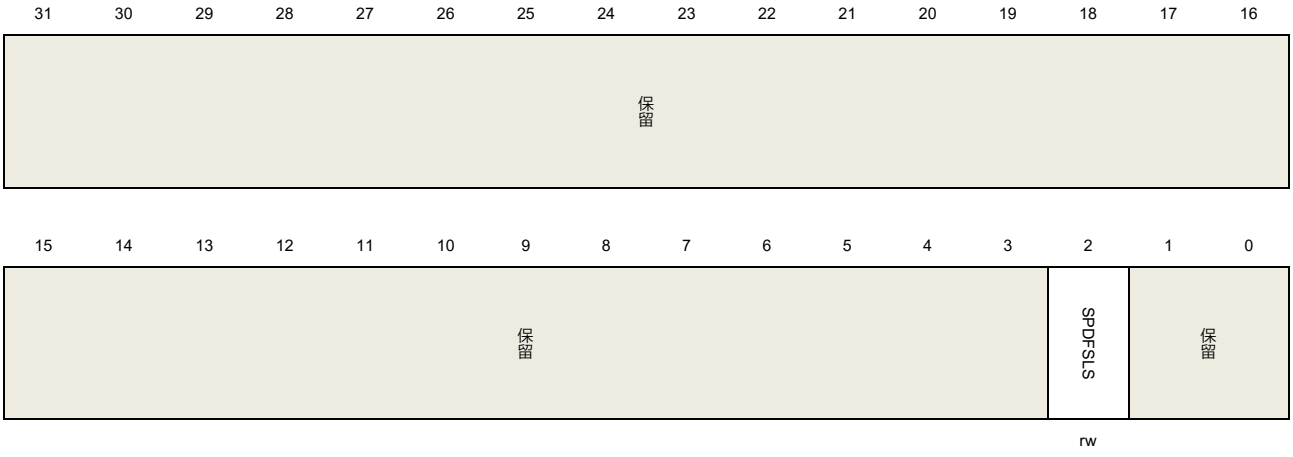
34.7.2. 主机控制和状态寄存器组

主机控制寄存器(USBHS_HCTL)

地址偏移：0x0400
复位值：0x0000 0000

在主机模式下，上电后，该寄存器有USB内核配置。主机初始化后，无需修改。

该寄存器只能按字(32位)访问



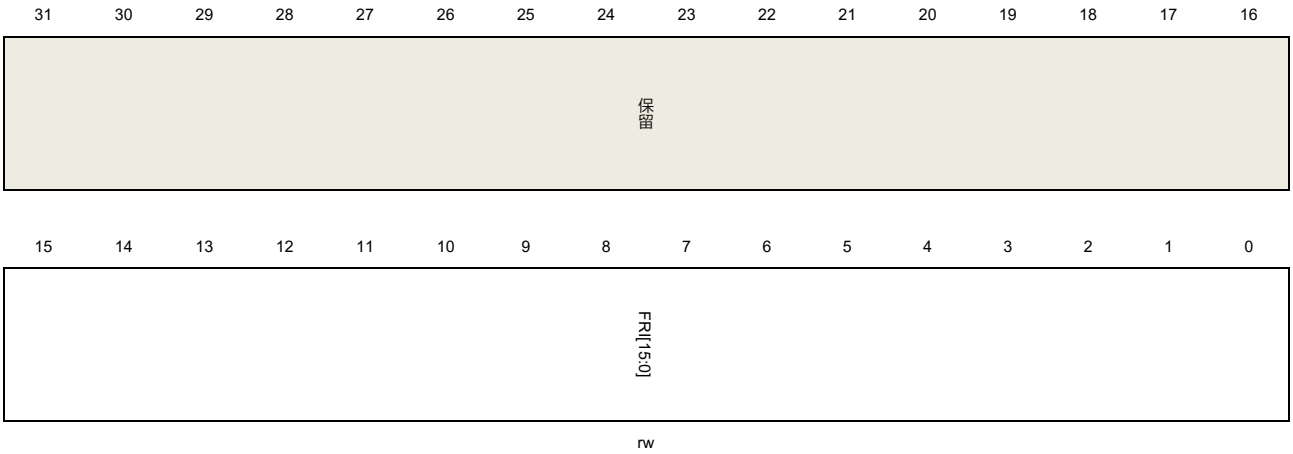
位/位域	名称	描述
31:3	保留	必须保持复位值。
2	SPDFSLS	限制速度为FS和LS 软件可以利用该控制位限制USBHS的枚举速度为FS/LS，并且使USBHS在复位的过程中不执行高速枚举。该控制位只在使用外部ULPI PHY时有用，因为内部嵌入式PHY只支持全速和低速。 0：不限制速度 1：限制速度仅为FS/LS
1:0	保留	必须保持复位值。

主机帧间隔寄存器(USBHS_HFT)

地址偏移：0x0404
复位值：0x0000 BB80

当USBHS控制器正在枚举中时，该寄存器为当前枚举速度设置帧间隔。

该寄存器只能按字(32位)访问

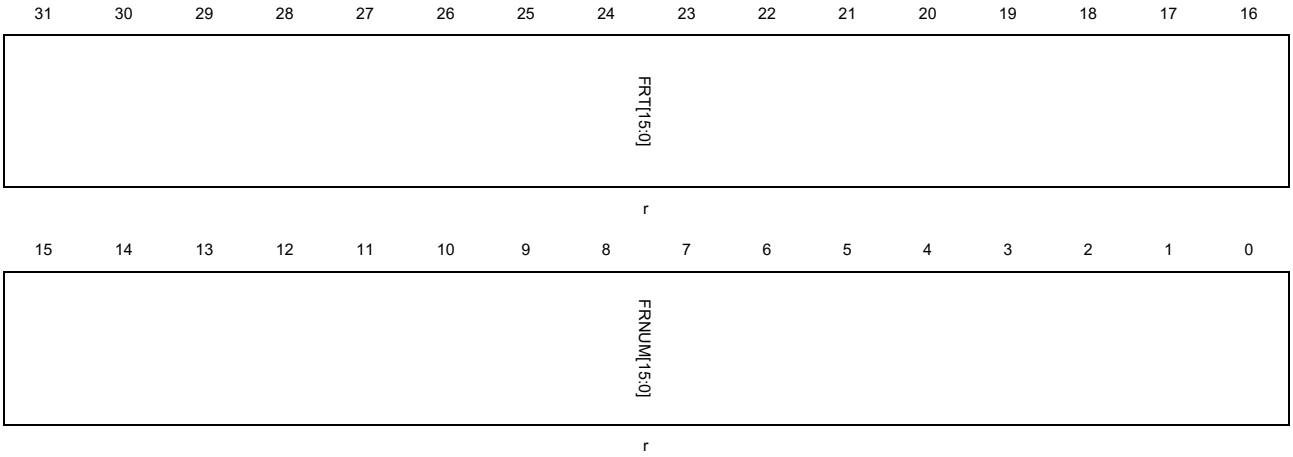


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	FRI[15:0]	帧间隔 该值描述了以PHY时钟为单位的帧周期。每次端口复位操作后，端口被使能，USBHS根据当前速度，采用一个固有值，并且软件可以向该位域写值以改变该固有值。该值需要采用以下描述的频率来进行计算： 内部嵌入式全速PHY 全速/低速：48MHz 外部ULPI PHY 60MHz

主机帧信息保持寄存器(USBHS_HFINFR)

地址偏移：0x0408
复位值：0xBB80 0000

该寄存器只能按字(32位)访问



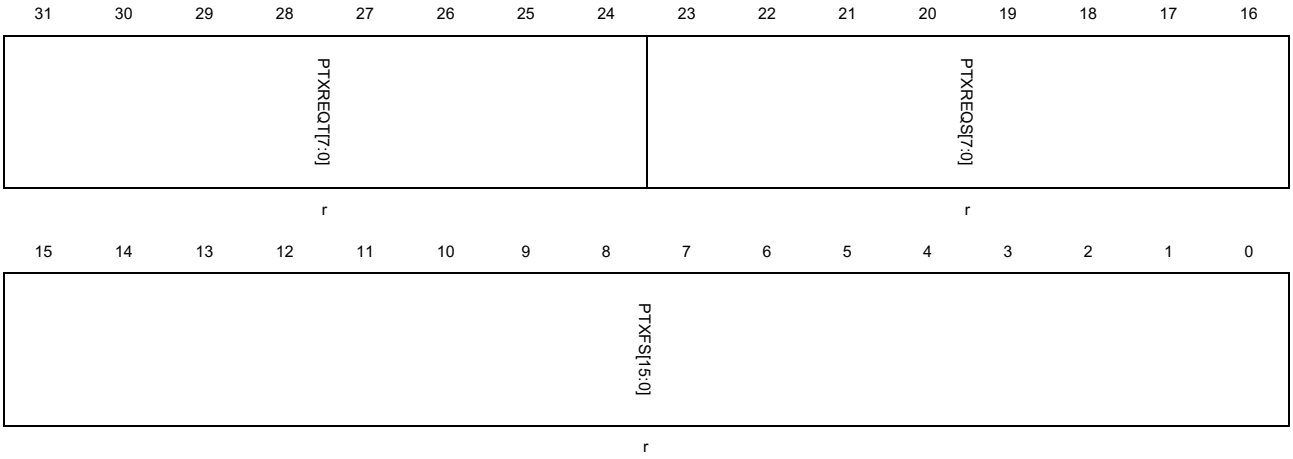
位/位域	名称	描述
31:16	FRT[15:0]	帧剩余时间 该位域以PHY时钟为单位反映了当前帧剩余时间。
15:0	FRNUM[15:0]	帧号 该位域反映了当前帧的帧号，当其增加到0x3FFF后，其值变为0。

主机周期性发送 FIFO/队列状态寄存器(USBHS_HPTFQSTAT)

地址偏移：0x0410
复位值：0x0008 0200

该寄存器反映了主机周期性Tx FIFO和请求队列的当前状态。请求队列包括在主机模式下的IN、OUT或其他请求条目。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:24	PTXREQT[7:0]	周期性Tx 请求队列的顶部条目 在周期性发送请求队列中的条目 位30:27：通道号 位26:25： - 00：IN/OUT 令牌 - 01：0长度OUT包 - 11：通道中止请求 位24：中止标志，指示所选通道的最后一个条目
23:16	PTXREQS[7:0]	周期性发送请求队列空间 周期性发送请求队列剩余空间 0：请求队列为空 1：1个条目 2：2个条目 … n：n个条目 (0<=n<=8) 其他：保留
15:0	PTXFS[15:0]	周期性发送FIFO空间 周期性发送FIFO剩余空间 以32位字计数 0：周期性发送FIFO为空 1：1个字 2：2个字 n：n个字(0<=n<=PTXFD)) 其他：保留

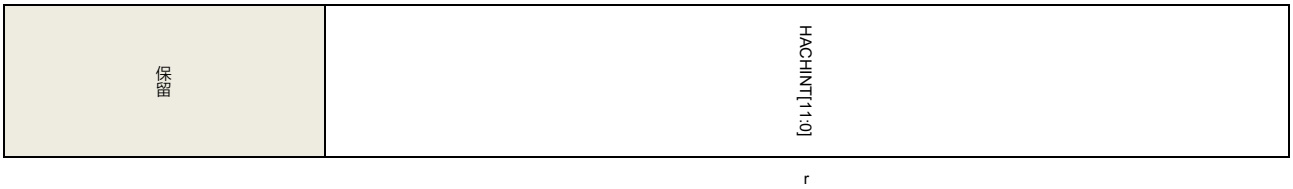
主机所有通道中断寄存器(USBHS_HACHINT)

地址偏移：0x0414
复位值：0x0000 0000

当触发一个通道中断时，USBHS在该寄存器中置位相应的位，并且软件可以读取该寄存器以获取产生中断的通道。

该寄存器只能按字(32位)访问





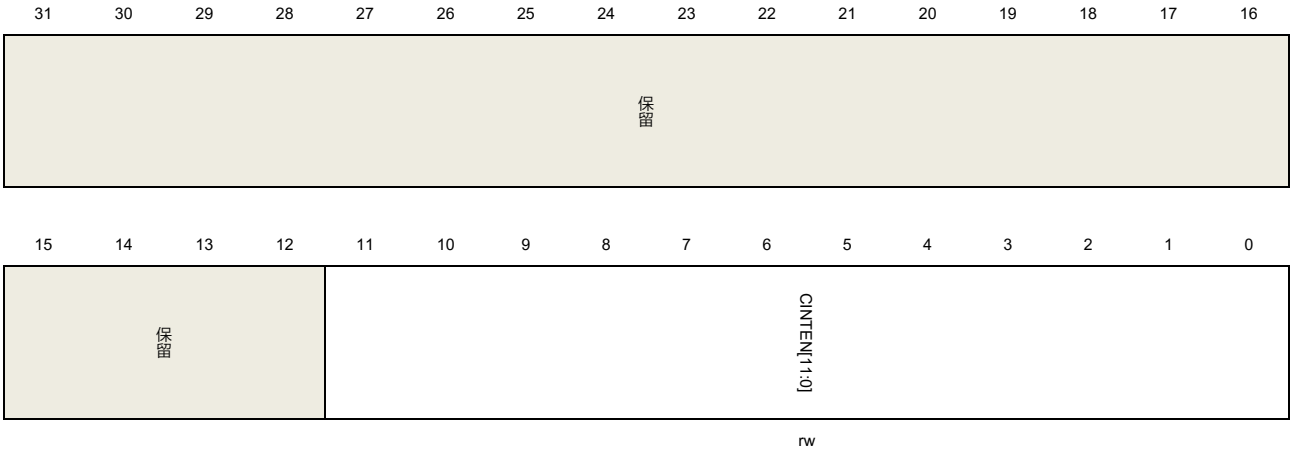
位/位域	名称	描述
31:12	保留	必须保持复位值。
11:0	HACHINT[11:0]	主机所有通道中断 每一位表示一个通道：位0代表通道0，位11表示通道11

主机所有通道中断使能寄存器(USBHS_HACHINTEN)

地址偏移：0x0418
复位值：0x0000 0000

软件可以使用该寄存器使能或禁用一个通道的中断。只有该寄存器中相应通道的中断使能控制位被置位，USBHS_GINTF寄存器中的通道中断标志位HCIF标志位才可产生。

该寄存器只能按字(32位)访问



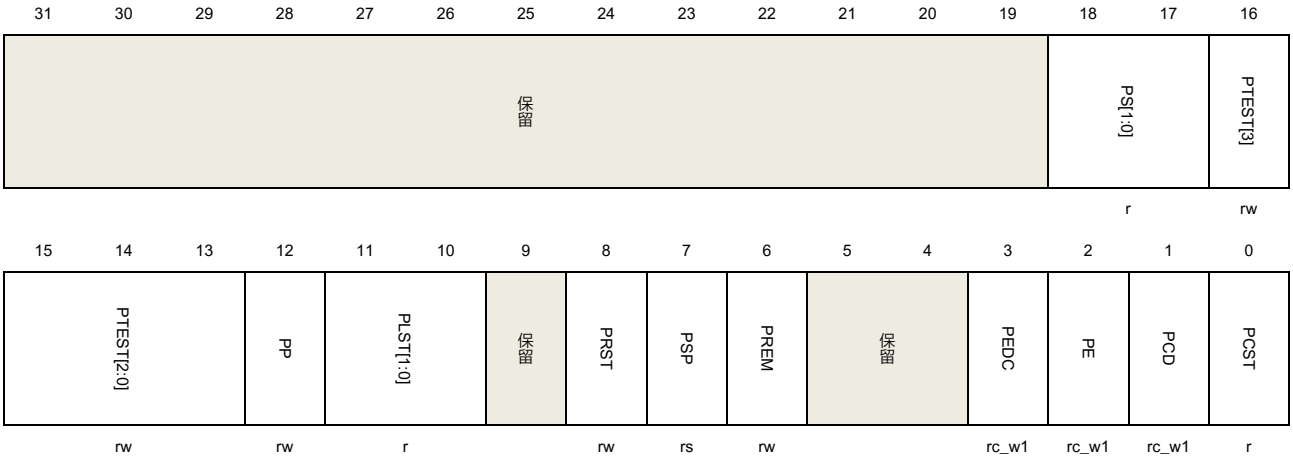
位/位域	名称	描述
31:12	保留	必须保持复位值。
11:0	CINTEN[11:0]	通道中断使能 0：禁用通道n中断 1：使能通道n中断 每一位表示一个通道：位0代表通道0，位11代表通道11

主机端口控制和状态寄存器(USBHS_HPCS)

地址偏移：0x0440
复位值：0x0000 0000

该寄存器控制端口行为，并且也包含一些反映端口状态的标志位。如果本寄存器中的PRST、PEDC和PCD标志位被USBHS置位的话，USBHS_GINTF寄存器中的HPIF标志位会被置位。

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:19	保留	必须保持复位值。
18:17	PS[1:0]	端口速度 反映连接到该端口的设备的枚举速度。 00：高速 01：全速 10：低速 其他：保留
16:13	PTEST[3:0]	端口测试控制 软件向该字段写入一个非零值以使端口进入测试模式，相应的模式发送到端口上。使用测试模式时，还应设置USBHS_GUSBCS寄存器中的HS_CUR_FE位。 0000：测试模式禁止 0001：Test_J模式 0010：Test_K模式 0011：Test_SE0_NAK模式 0100：Test_Packet模式 0101：强制测试使能 其他：保留
12	PP	端口供电 在端口被使用后，该控制位应该被置位。由于USBHS不具有电源供应能力，它只能使用该控制位以获取该端口是否在供电状态。软件应该在设置该控制位之前，保证在VBUS引脚上具有电源供应。 0：端口掉电 1：端口供电
11:10	PLST[1:0]	端口线状态 反映USB数据线当前状态

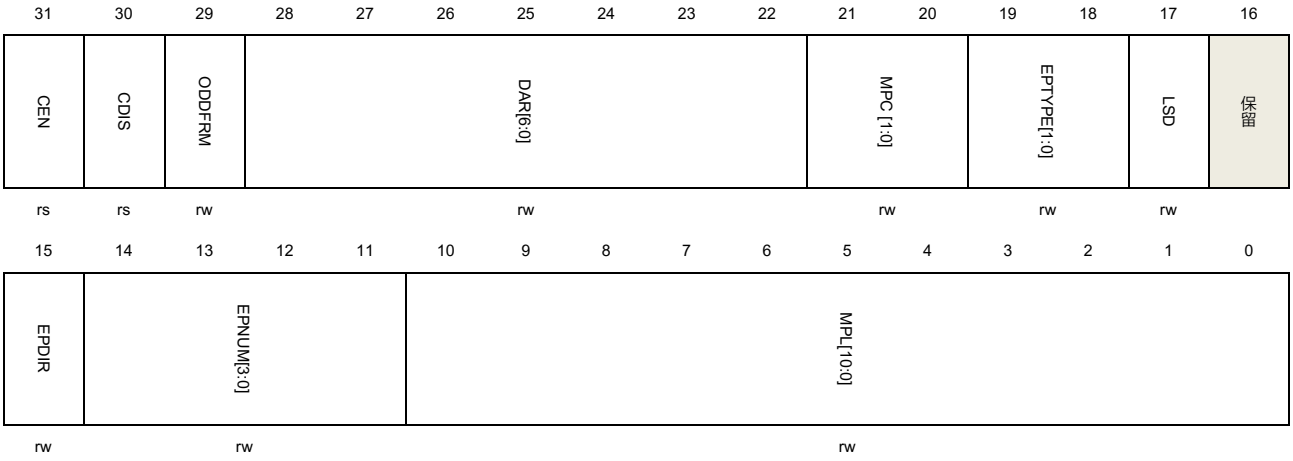
		位10：DP线状态 位11：DM线状态
9	保留	必须保持复位值。
8	PRST	端口复位 应用通过设置该控制位以在USB端口上启动一个复位信号。当应用希望停止复位信号时，应用应该清除该控制位。 0：端口不在复位状态 1：端口处于复位状态
7	PSP	端口挂起 应用设置该控制位来将端口进入挂起状态。当该控制位被置位后，端口停止发送SOF令牌包。该控制位只能够通过以下操作清除。 – 应用置位该寄存器中的PRST控制位 – 置位该寄存器中的PREM控制位 – 检测到一个远程唤醒信号 – 检测到一个设备断开 0：端口不在挂起状态 1：端口处于挂起状态
6	PREM	端口恢复 应用通过置位该控制位以在USB端口上启动一个恢复信号。当应用希望停止恢复信号时，应用可以清除该控制位。
5:4	保留	必须保持复位值。
3	PEDC	端口使能/禁止更改 当该寄存器中的位2端口使能控制位更改时，USB内核置位该标志位。
2	PE	端口使能 当USB复位信号完成后，USBHS自动置位该位，并且该位不可由软件置位。 该位可通过以下事件清除： – 一个断开状态 – 软件清除该位 0：端口禁止 1：端口使能
1	PCD	端口连接检测 当检测到设备连接时，USBHS置位该标志位。可通过向该位写1清除该标志位。
0	PCST	端口连接状态 0：设备没有连接到该端口 1：设备连接到该端口

主机通道 x 控制寄存器(USBHS_HCHxCTL)(x = 0..11，其中 x 为通道号)

地址偏移：0x0500 + (通道号 × 0x20)

复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	描述
31	CEN	通道使能 由应用设置，并且由USBHS清除 0：通道禁止 1：通道使能 软件应该遵循操作指南来禁用或者使能一个通道
30	CDIS	通道禁止 软件可以置位该控制位，来从处理事务中禁用该通道。软件应该遵循操作指南来禁用或者使能一个通道。
29	ODDFRM	奇偶帧控制 对于周期性传输(中断或同步传输)，该位控制将要处理的通道事务为奇数帧还是偶数帧。
28:22	DAR[6:0]	设备地址 与该通道通信的USB设备地址。
21:20	MPC[1:0]	多包计数 对于周期性传输，该位域指定主机每个微帧必须执行的事务数量。对于非周期性传输，该位域指定在内部DMA引擎更改仲裁之前，DMA为此通道获取或写入的包数量。 00：保留 01：每微帧发出1个事务 10：每微帧发出2个事务 11：每微帧发出3个事务
19:18	EPTYPE[1:0]	端点类型 与该通道通信的端点的传输类型 00：控制 01：同步 10：批量

		11：中断
17	LSD	低速设备 与该通道通信的设备是一个低速设备。
16	保留	必须保持复位值。
15	EPDIR	端点方向 与该通道通信的端点的传输方向 0：OUT 1：IN
14:11	EPNUM[3:0]	端点号 与该通道通信的端点号
10:0	MPL[10:0]	最大包长 目标端点的最大包长

主机通道 x 分裂事务控制寄存器(USBHS_HCHxSTCTL)(x = 0..11，其中 x = 通道号)

地址偏移：0x0504 + (通道号 × 0x20)
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	描述
31	SPLEN	使能高速分裂事务 软件可以置位该控制位以使能在该通道上的高速分裂事务。分裂事务用于通过 HUB 和一些全速和低速设备端点初始化全速/低速事务。
30:17	保留	必须保持复位值。
16	CSPLT	完全分裂使能 软件能够置位该控制位来使 USBHS 执行完全分裂事务，另外，USBHS 执行起始分裂事务。
15:14	ISOPCE[1:0]	同步 OUT 负载延续编码

		对于全速同步 OUT 起始分裂，该位域指明高速数据负载如何对应全速数据包。 00：高速数据在全速数据负载的中间 01：高速数据在全速数据负载的尾端 10：高速数据在全速数据负载的起始 11：高速数据为全部的全速数据包
13:7	HADDR[6:0]	HUB 地址 该位域为处理全速和低速事务并支持全速和低速设备的 HUB 地址
6:0	PADDR[6:0]	端口地址 该位域包含当前全速或低速事务传输中目标 HUB 的端口号

主机通道 x 中断标志寄存器(USBHS_HCHxINTF)(x = 0..11，其中 x = 通道号)

地址偏移：0x0508 + (通道号 × 0x20)
复位值：0x0000 0000

该寄存器包含一个通道的状态和事件，当软件获取一个通道中断时，软件需要为相应通道读取该寄存器以获取产生中断的中断源。该寄存器中的标志位均由硬件置位，并且写1清除。

该寄存器只能按字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					DTER	REQOVR	BBER	USBER	NYET	ACK	NAK	STALL	DMAER	CH	TF
					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位/位域	名称	描述
31:11	保留	必须保持复位值。
10	DTER	数据切换错误 IN事务获取一个数据包，但是该包的PID和USBHS_HCHxLEN寄存器中的DPID[1:0]控制位不匹配。
9	REQOVR	请求队列上溢 当软件启动新的传输时，请求队列上溢。
8	BBER	串扰错误 USB总线上发生一个串扰事件。产生串扰事件的典型原因是端点发送了一个数据包，但是数据包长度超过了端点的最大包长。

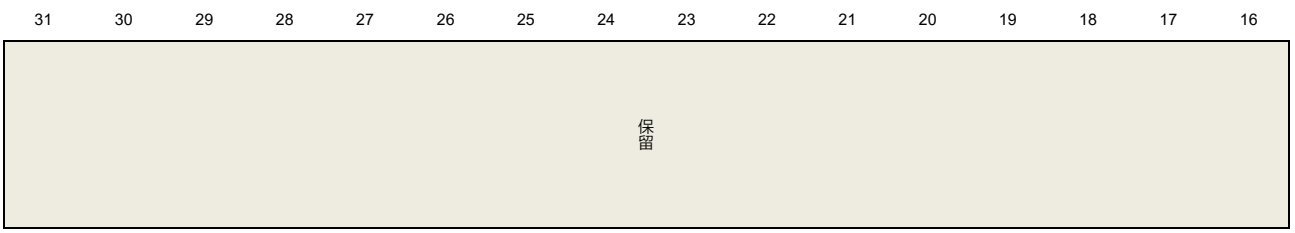
7	USBER	USB总线错误 当在接收一个数据包的过程中，发生以下事件时，将置位USB总线错误标志位： – 接收包有一个错误的CRC域 – 在USB总线上检测到填充错误 – 当等待一个响应包时，超时
6	NYET	NYET 接收到一个NYET响应包(在高速模式下)
5	ACK	ACK 接收或者发送一个ACK响应包
4	NAK	NAK 接收到一个NAK响应包
3	STALL	STALL 接收到一个STALL响应包
2	DMAER	DMA 错误 当DMA尝试为当前通道获取或写如包数据时，产生一个错误
1	CH	通道中止 当DMA未被使能时： 通道被当前请求禁用。 当DMA使能时： 通道被DMA禁用，可能由于该通道的所有事务成功完成或者发生一个USB错误。
0	TF	发送完成 该通道所有的事务成功完成并且无错误发生。 对于IN通道，在USBHS_HCHxLEN寄存器的PCNT位减到0后，该标志位被置位。 对于OUT通道，当软件从RxFIFO中读取和取出一个TF状态条目时，该标志位被置位。

主机通道 x 中断使能寄存器(USBHS_HCHxINTEN)(x = 0..11，其中 x = 通道号)

地址偏移：0x050C + (通道号 × 0x20)
复位值：0x0000 0000

该寄存器包含USBHS_HCHxINTF寄存器内中断标志位的中断使能位。如果该寄存器的某位被软件置位，USBHS_HCHxINTF寄存器内的相应位能够触发一个通道中断。该寄存器内的位可由软件置位和清除。

该寄存器只能按字(32位)访问



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					DTERIE	REQOVRIE	BBERIE	USBERIE	NYETIE	ACKIE	NAKIE	STALLIE	DMAERIE	CHIE	TFIE
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位/位域	名称	描述
31:11	保留	必须保持复位值。
10	DTERIE	数据切换错误中断使能 0：禁用数据切换错误中断 1：使能数据切换错误中断
9	REQOVRIE	请求队列上溢中断使能 0：禁用帧请求队列上溢中断 1：使能帧请求队列上溢中断
8	BBERIE	串扰错误中断使能 0：禁用串扰错误中断 1：使能串扰错误中断
7	USBERIE	USB总线错误中断使能 0：禁用USB总线错误中断 1：使能USB总线错误中断
6	NYETIE	NYET中断使能 0：禁用NYET中断 1：使能NYET中断
5	ACKIE	ACK中断使能 0：禁用ACK中断 1：使能ACK中断
4	NAKIE	NAK中断使能 0：禁用NAK中断 1：使能NAK中断
3	STALLIE	STALL中断使能 0：禁用STALL中断 1：使能STALL中断
2	DMAERIE	DMA 错误中断使能 0：禁用DMA错误中断 1：使能DMA错误中断
1	CHIE	通道中止中断使能 0：禁用通道中止中断

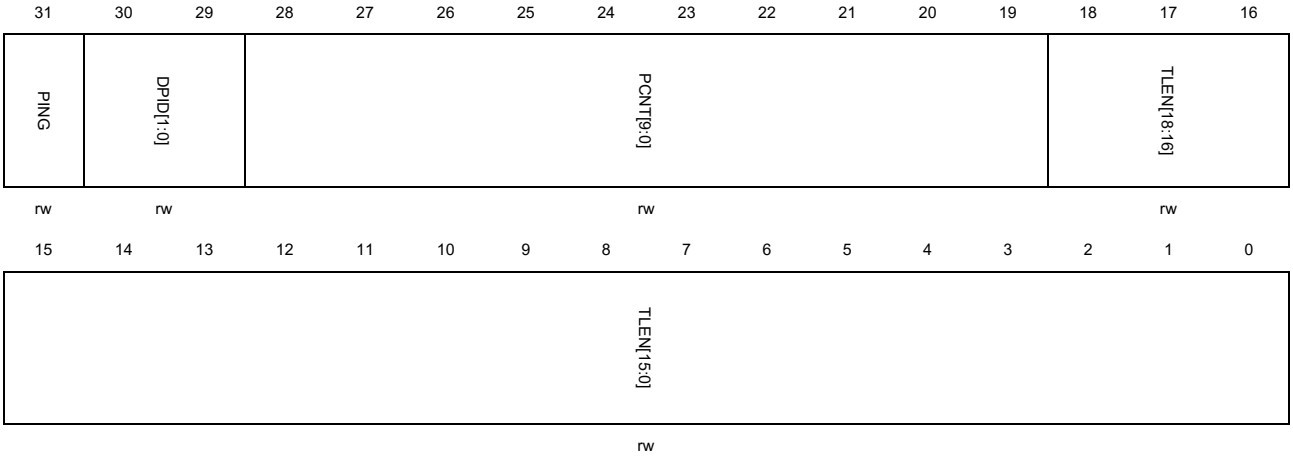
1：使能通道中止中断

0	TFIE	传输完成中断使能 0：禁用传输完成中断 1：使能传输完成中断

主机通道 x 长度寄存器(USBHS_HCHxLEN)(x = 0..11，其中 x = 通道号)

地址偏移：0x0510 + (通道号 × 0x20)
复位值：0x0000 0000

该寄存器只能按字(32位)访问



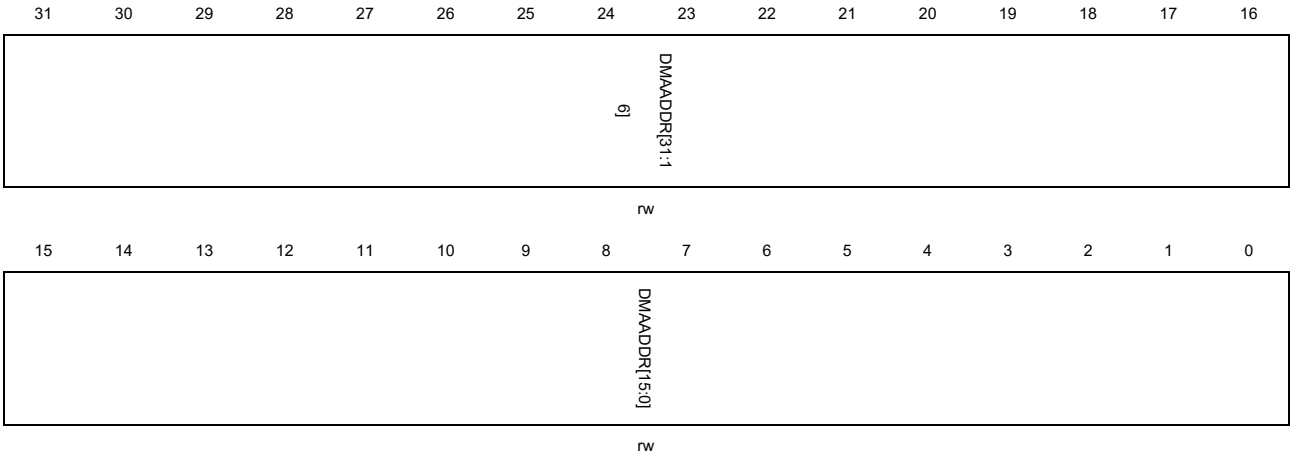
位/位域	名称	描述
31	PING	PING令牌请求 对于OUT传输，如果软件置位该控制位，USBHS会执行PING协议。当OUT事务接收到一个NAK或NYET握手包时，USBHS会自动置位该控制位。不要为IN传输置位该控制位。
30:29	DPID[1:0]	数据PID 软件应该在传输起始之前写该段位域。对于OUT传输，该位域包含第一个传输包的数据PID。对于IN传输，该位域包含第一个接收包的数据PID，并且如果数据PID不匹配的话，将会触发DTER标志位。在传输开始之后，USBHS遵循USB协议自动改变和切换该位域。 00：DATA0 01：DATA2 10：DATA1 11：MDATA(非控制)/SETUP(控制)
28:19	PCNT[9:0]	包计数 在一个传输中希望发送(OUT)或接收(IN)的数据包个数。 软件应该在通道使能之前写该位域。在传输启动之后，该位域在USBHS正确传输每个数据包后，自动减少。
18:0	TLEN[18:0]	传输长度

一次传输的总数据字节数。
对于OUT传输，该位域为OUT传输中期望发送的所有数据包总数据字节数。软件应该在通道使能之前写该位域。当软件或DMA正确向通道的数据FIFO中写入一个包时，该位域以包中字节大小进行减少。
对于IN传输，每次软件或DMA从RxFIFO中读取一个包后，该位域也以包中字节大小进行减少。

主机通道 x DMA 地址寄存器(USBHS_HCHxDMAADDR)(x = 0..11，其中 x = 通道号)

地址偏移：0x0514 + (通道号 × 0x20)
复位值：0x0000 0000

该寄存器只能按字(32位)访问



位/位域	名称	描述
31:0	DMAADDR[31:0]	DMA地址 该位域定义了端点DMA地址。DMA使用该地址来为该通道取出或写入包数据。

34.7.3. 设备控制和状态寄存器组

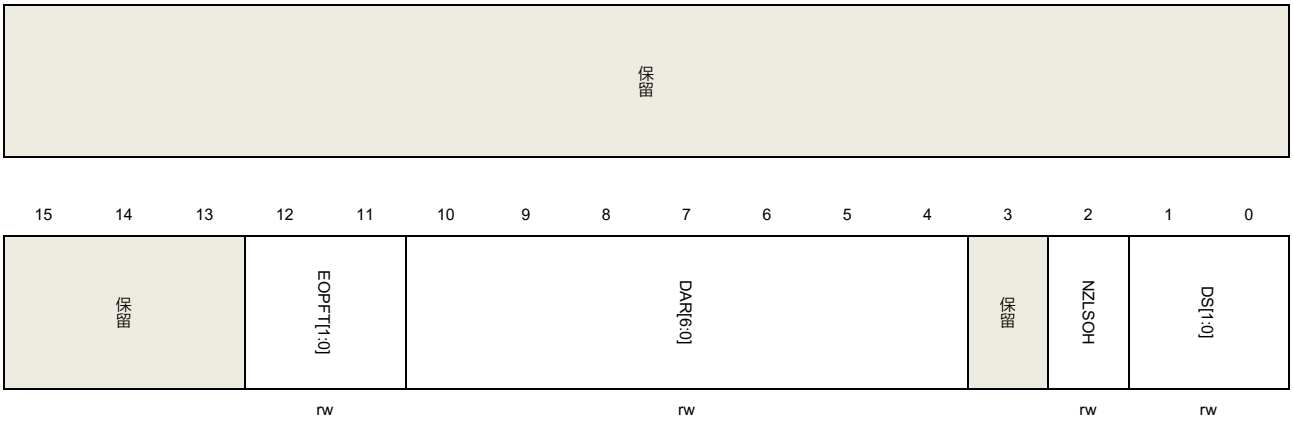
设备配置寄存器(USBHS_DCFG)

地址偏移：0x0800
复位值：0x0000 0000

在上电、枚举或执行某些控制命令后，该寄存器配置内核为设备模式。在设备初始化后，不可以改变该寄存器值。

该寄存器采用字(32位)访问

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

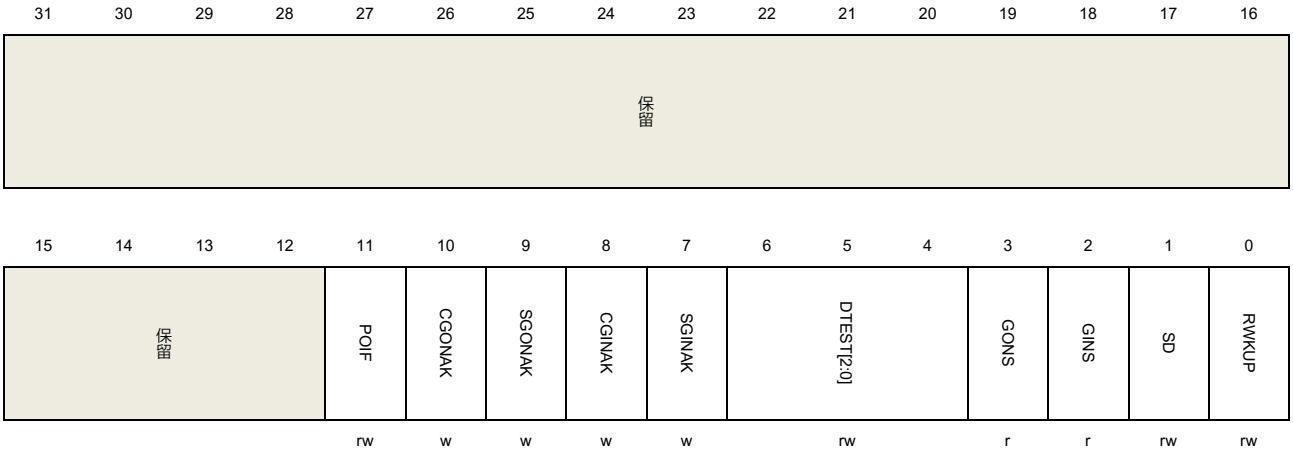


位/位域	名称	描述
31:13	保留	必须保持复位值。
12:11	EOPFT[1:0]	周期性帧尾时间 该域定义周期性帧时间的帧尾标志触发的时间点 00：80%的帧时间 01：85%的帧时间 10：90%的帧时间 11：95%的帧时间
10:4	DAR[6:0]	设备地址 该位定义USB设备地址，USBHS采用该位匹配接收的设备令牌地址域，在接收到来自主机的设置地址的命令后，软件设置该域
3	保留	必须保持复位值。
2	NZLSOH	非零长度OUT状态阶段握手 在控制传输的OUT状态阶段，当USB设备接收到一个非零长度数据包时，该域控制控制USBHS是接收该包，还是用STALL握手信号拒绝该包。 0：把该包视为正常包，根据设备OUT端点控制寄存器的NAKS和STALL位，回复握手相应握手包 1：发送STALL握手，不保存接收到的OUT数据包
1:0	DS[1:0]	设备速度 该域控制设备连入主机后的设备速度 00：高速(外部ULPI PHY模式) 01：全速 其他：保留

设备控制寄存器(USBHS_DCTL)

地址偏移：0x0804
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31:12	保留	必须保持复位值。
11	POIF	上电初始化完成 软件通过设置该位，通知USBHS寄存器在从掉电模式下唤醒，然后完成初始化。
10	CGONAK	清零全局OUT NAK 软件设置该位从而清零该寄存器的GONS位
9	SGONAK	设置全局OUT NAK 软件设置该位从而实现该寄存器的位GONS置位。 当GONS位为零，设置该位会引起USBHS_GINTF寄存器的GONAK标志触发，软件应该在再写该位前清除GONAK标志。
8	CGINAK	清零全局IN NAK 软件设置该位从而清零该寄存器的GINS位
7	SGINAK	设置全局IN NAK 软件设置该位从而实现该寄存器的位GINS置位 当GINS位为零，设置该位会引起USBHS_GINTF寄存器的GINAK标志触发，软件应该在再写该位前清除GINAK标志。
6:4	DTEST[2:0]	设备测试控制 软件向该字段写入一个非零值以使端口进入测试模式，相应的模式发送到端口上。使用测试模式时，还应设置USBHS_GUSBCS寄存器中的HS_CUR_FE位。 0000：测试模式禁止 0001：Test_J模式 0010：Test_K模式 0011：Test_SE0_NAK模式 0100：Test_Packet模式 0101：强制测试使能 其他：保留
3	GONS	全局OUT NAK状态 0：USBHS回复OUT事务的握手信号以及是否保存OUT数据包由Rx FIFO状态、端点的NAKS、STALL位确定。

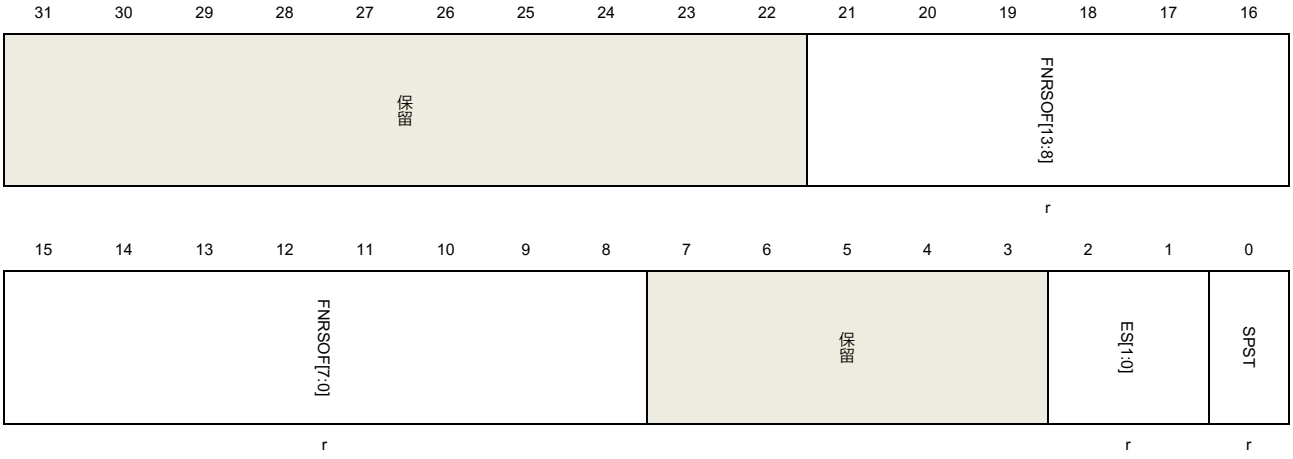
		1：USBHS回复OUT事务NAK握手信号，不保存接收的OUT数据包。
2	GINS	全局IN NAK状态 0：USBHS回复IN事务的握手信号由Tx FIFO状态、端点的NAKS、STALL位确定。 1：USBHS通常回复IN事务NAK握手信号
1	SD	软断开 软件可实现USB总线上的软断开，在置1该位后，如果当前是高速模式，USBHS先退回到全速模式，然后在关掉DP线上的上拉电阻，从而引起主机检测设备的断开。 0：没有软断开生成 1：生成软断开
0	RWKUP	远程唤醒 在挂起状态，软件可通过该位来生成一个远程唤醒信号来通知主机恢复USB总线 0：没有远程唤醒信号生成 1：生成远程唤醒信号

设备状态寄存器(USBHS_DSTAT)

地址偏移：0x0808
复位值：0x0000 0000

该寄存器包含设备模式下的USBHS的状态和信息。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:22	保留	必须保持复位值。
21:8	FNRSOF[13:0]	所接收的SOF帧编号 USBHS会在接收到一个SOF令牌后更新该域。
7:3	保留	必须保持复位值。
2:1	ES[1:0]	枚举速度 该域指示所枚举的设备速度，在寄存器USBHS_GINTF的ENUMF标志触发后，软

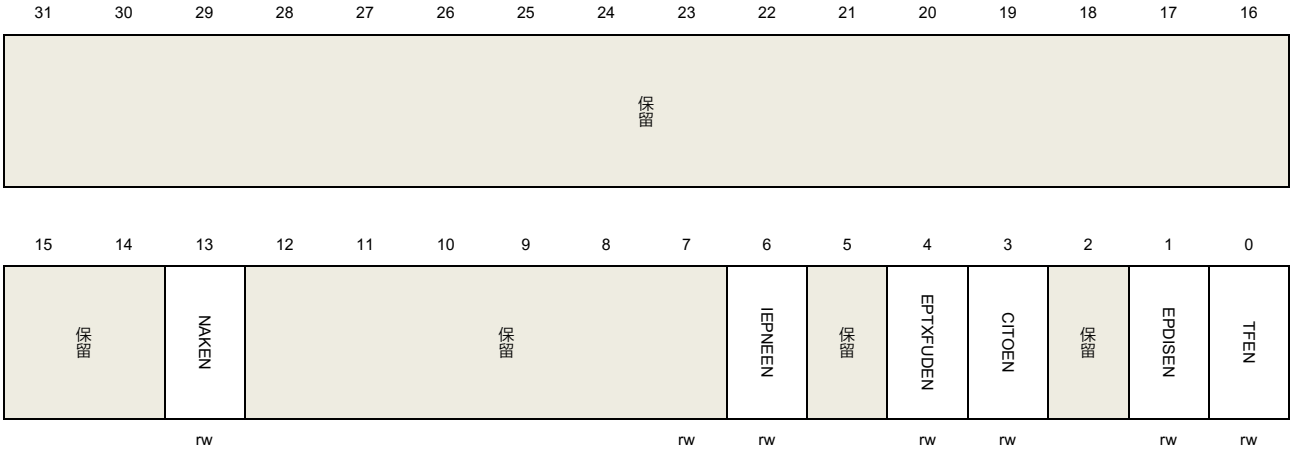
		件可以读取该域。 00：高速 11：全速 其他：保留
0	SPST	挂起状态 该位指示设备是否处于挂起状态。 0：设备不在挂起状态 1：设备在挂起状态

设备 IN 端点通用中断使能寄存器(USBHS_DIEPINTEN)

地址偏移：0x810
复位值：0x0000 0000

该寄存器包含寄存器USBHS_DIEPxINTF中的标志的中断使能位，如果软件置1某位，其在寄存器USBHS_DIEPxINTF中对应的位可以触发一个寄存器USBHS_DAEPINT端点中断。该位可以通过软件置位和清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:14	保留	必须保持复位值。
13	NAKEN	发送NAK握手中断使能位 0：除能发送NAK握手中断 1：使能发送NAK握手中断
12:7	保留	必须保持复位值。
6	IEPNEEN	IN端点NAK有效中断使能位 0：除能IN端点NAK有效中断 1：使能IN端点NAK有效中断
5	保留	必须保持复位值。
4	EPTXFUDEN	端点Tx FIFO下溢中断使能位

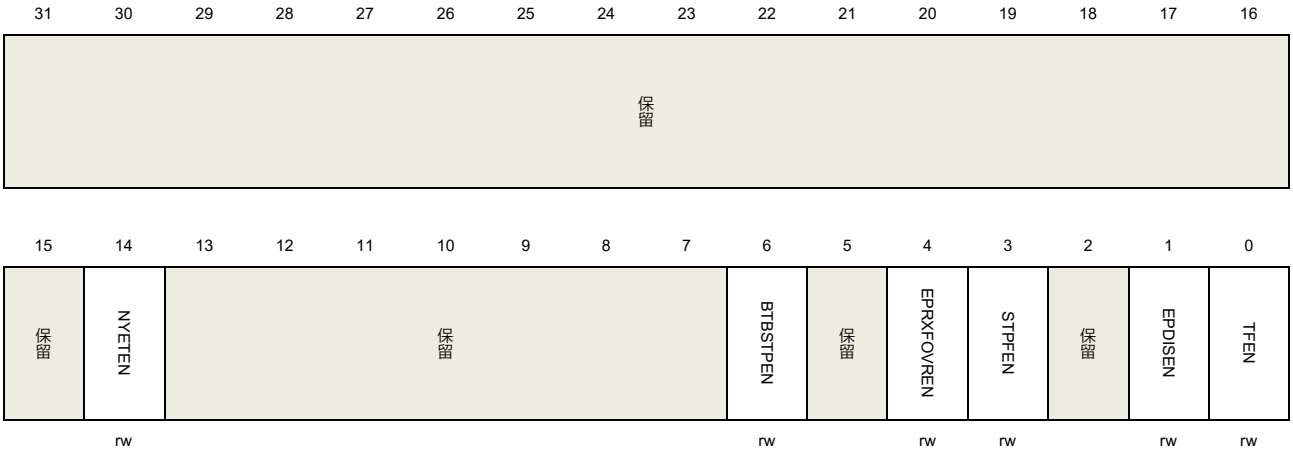
		0：除能端点Tx FIFO下溢中断 1：使能端点Tx FIFO下溢中断
3	CITOEN	控制IN事务超时中断使能位 0：除能控制IN事务超时中断 1：使能控制IN事务超时中断
2	保留	必须保持复位值。
1	EPDISEN	端点除能中断使能位 0：除能端点除能中断 1：使能端点除能中断
0	TFEN	传输完成中断使能位 0：除能传输完成中断 1：使能传输完成中断

设备 OUT 端点通用中断使能寄存器(USBHS_DOEPINTEN)

地址偏移：0x0814
复位值：0x0000 0000

该寄存器包含寄存器USBHS_DOEPxINTF中的标志的中断使能位，如果软件置1某位，其在寄存器USBHS_DOEPxINTF中对应的位可以触发一个寄存器USBHS_DAEPINT端点中断。该位可以通过软件置位和清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:15	保留	必须保持复位值。
14	NYETEN	发送NYET握手中断使能位 0：除能中断 1：使能中断
13:7	保留	必须保持复位值。

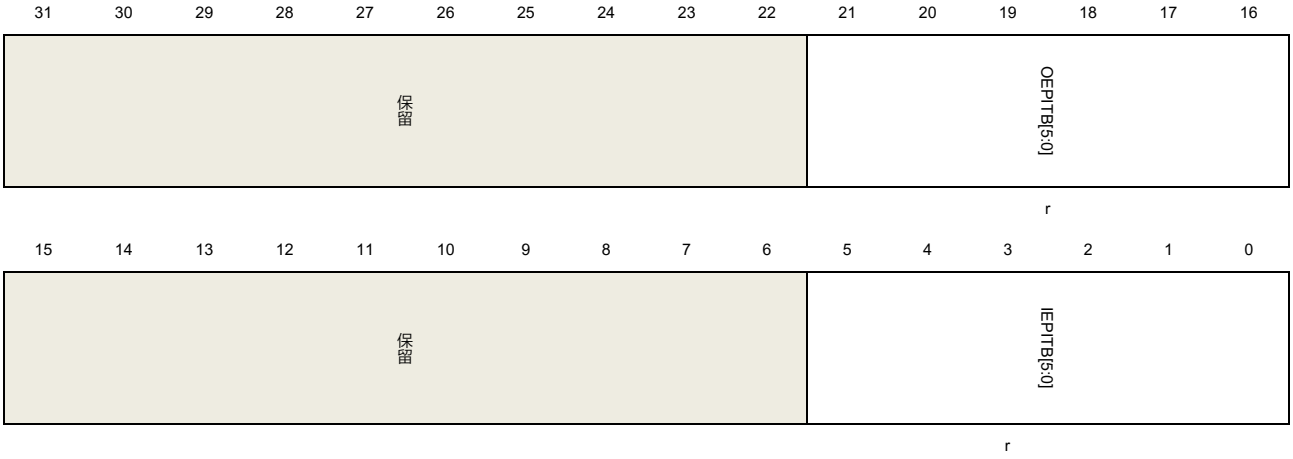
6	BTBSTPEN	连续SETUP包中断使能位(仅适用于控制OUT端点) 0：除能中断 1：使能中断
5	保留	必须保持复位值。
4	EPRXFOVREN	端点Rx FIFO上溢中断使能位 0：除能中断 1：使能中断
3	STPFEN	SETUP阶段完成中断使能位(仅适用于控制OUT端点) 0：除能中断 1：使能中断
2	保留	必须保持复位值。
1	EPDISEN	端点除能中断使能位 0：除能中断 1：使能中断
0	TFEN	传输完成中断使能位 0：除能中断 1：使能中断

设备端点中断寄存器(USBHS_DAEPINT)

地址偏移：0x0818
复位值：0x0000 0000

当一个端点的中断被触发，USBHS置1该寄存器的相应位，软件可通过该寄存器知道在本次中断中的端点号。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:22	保留	必须保持复位值。

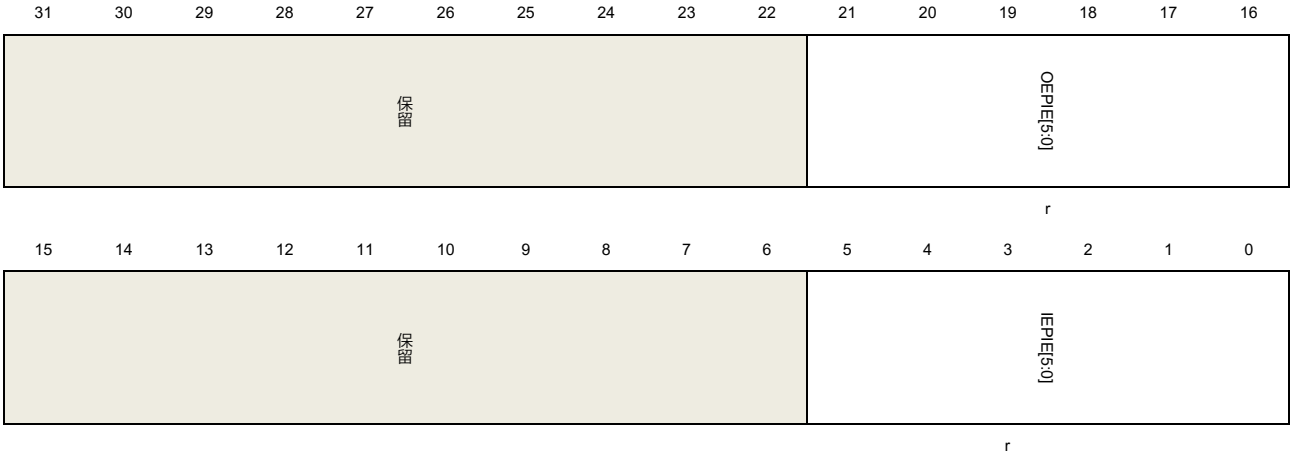
21:16	OEPITB[5:0]	设备OUT端点中断位 每个位代表一个OUT端点：Bit16代表OUT端点0，Bit21代表OUT端点5
15:6	保留	必须保持复位值。
5:0	IEPITB[5:0]	设备IN端点中断位 每个位代表一个IN端点：Bit0代表IN端点0，Bit5代表IN端点5

设备端点中断使能寄存器(USBHS_DAEPINTEN)

地址偏移：0x081C
复位值：0x0000 0000

该寄存器可通过软件使能或除能端点的中断，只有当端点在该寄存器中相应位被置1才能触发寄存器USBHS_GINTF的端点中断标志OEPIF或IEPIF。

该寄存器采用字(32位)访问

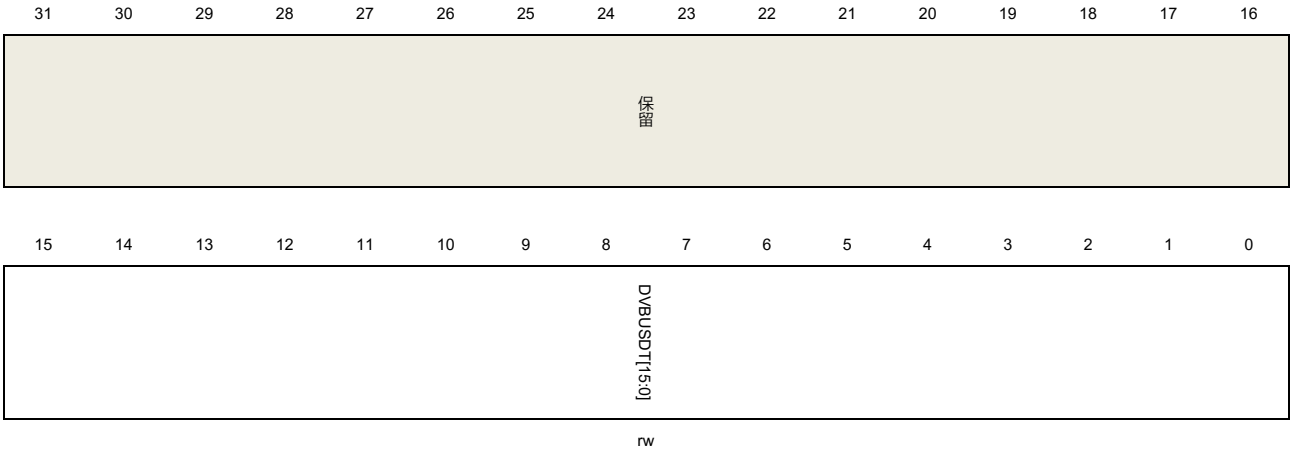


位/位域	名称	描述
31:22	保留	必须保持复位值。
21:16	OEPIE[5:0]	OUT端点中断使能位 0：除能OUT端点n中断 1：使能OUT端点n中断 每个位代表一个OUT端点：Bit16对应OUT端点0，Bit21对应OUT端点5
15:6	保留	必须保持复位值。
5:0	IEPIE[5:0]	IN端点中断使能位 0：除能IN端点n中断 1：使能IN端点n中断 每个位代表一个IN端点：Bit0对应IN端点0，Bit5对应IN端点5

设备 VBUS 放电时间寄存器(USBHS_DVBUSDT)

地址偏移：0x0828
复位值：0x0000 17D7

该寄存器采用字(32位)访问

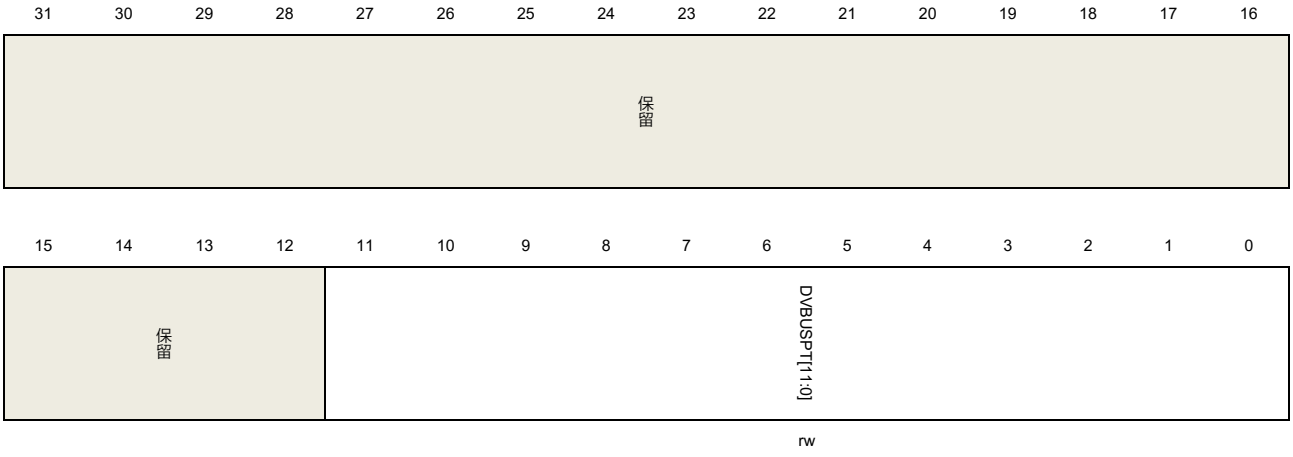


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	DVBUSDT[15:0]	设备V_{BUS}放电时间 在SRP协议中，在V_{BUS}脉冲产生后，有一个放电过程，该域定义了V_{BUS}的放电时间，真正的放电时间是1024*DVBUSDT[15:0] *$T_{USBCLOCK}$，$T_{USBCLOCK}$是USB时钟周期时间。

设备 VBUS 脉冲时间寄存器(USBHS_DVBUSPT)

地址偏移：0x082C
复位值：0x0000 05B8

该寄存器采用字(32位)访问



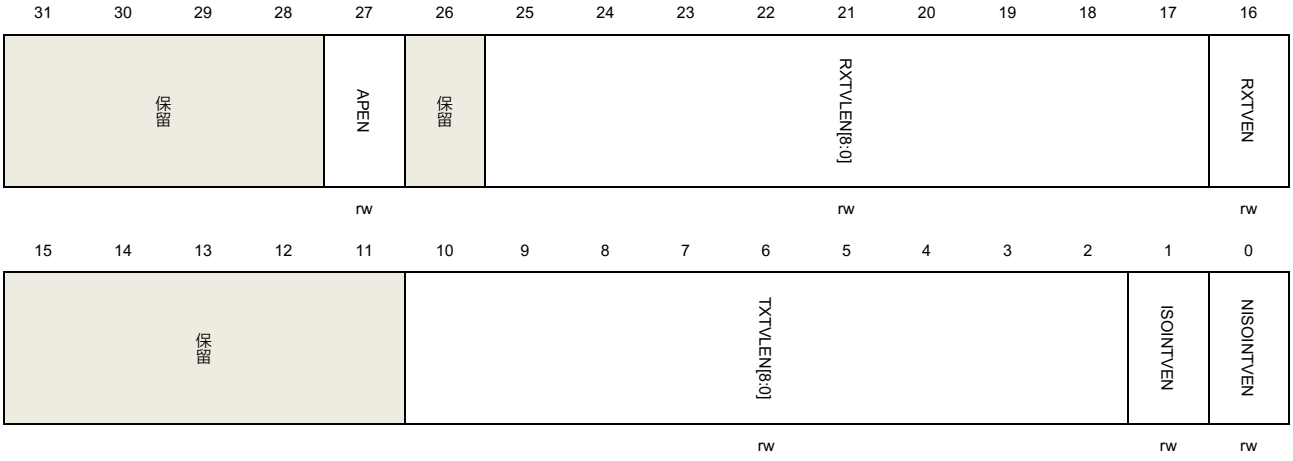
位/位域	名称	描述

31:12	保留	必须保持复位值。
11:0	DVBUSPT[11:0]	设备V_{BUS}脉冲时间 该域定义V_{BUS}的脉冲时间，真正的充电时间是1024*DVBUSPT[15:0] *$T_{USBCLOCK}$，$T_{USBCLOCK}$是USB时钟周期时间

设备阈值控制寄存器(USBHS_DTHC)

地址偏移：0x0830
复位值：0x0000 0000

该寄存器采用字(32位)访问



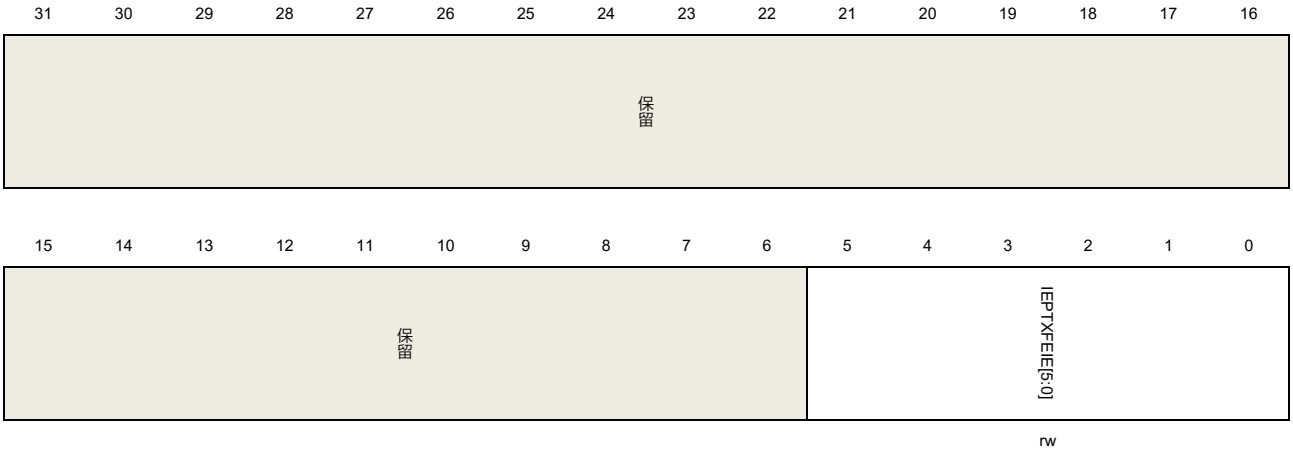
位/位域	名称	描述
31:28	保留	必须保持复位值。
27	APEN	使能仲裁器驻留
26	保留	必须保持复位值。
25:17	RXTVLEN[8:0]	接收阈值长度
16	RXTVEN	接收阈值使能
15:11	保留	必须保持复位值。
10:2	TXTVLEN[8:0]	发送阈值长度
1	ISOINTVEN	同步IN端点阈值使能
0	NISOINTVEN	非同步IN端点阈值使能

设备 IN 端点 FIFO 空中断使能寄存器(USBHS_DIEPFEINTEN)

地址偏移：0x0834
复位值：0x0000 0000

该寄存器包含IN端点Tx FIFO空中断的使能位

寄存器采用字(32位)访问



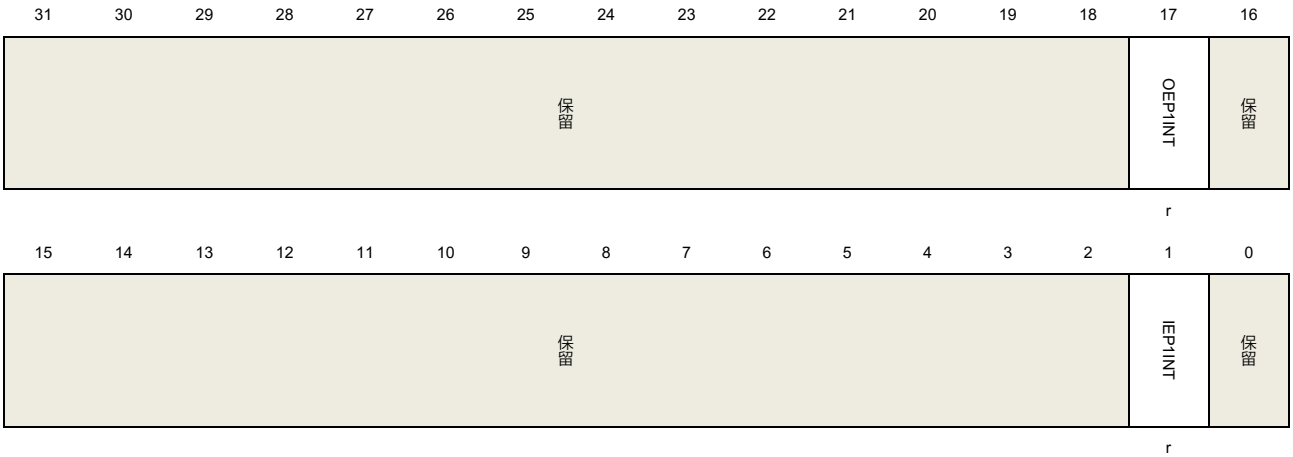
位/位域	名称	描述
31:6	保留	必须保持复位值。
5:0	IEPTXFEIE[5:0]	IN端点Tx FIFO空中断的使能位 该域控制着USBHS_DIEPxINTF寄存器的TXFE位能否生成一个寄存器USBHS_DAEPINT的端点中断位 Bit0对应IN端点0，Bit5对应IN端点5 0：除能FIFO空中断 1：使能FIFO空中断

设备端点 1 中断寄存器(USBHS_DEP1INT)

地址偏移：0x0838
复位值：0x0000 0000

当端点1 OUT或IN被触发，USBHS置位该寄存器的相应位，软件可通过读取该位确认端点1的IN或OUT被触发。

该寄存器采用字(32位)访问



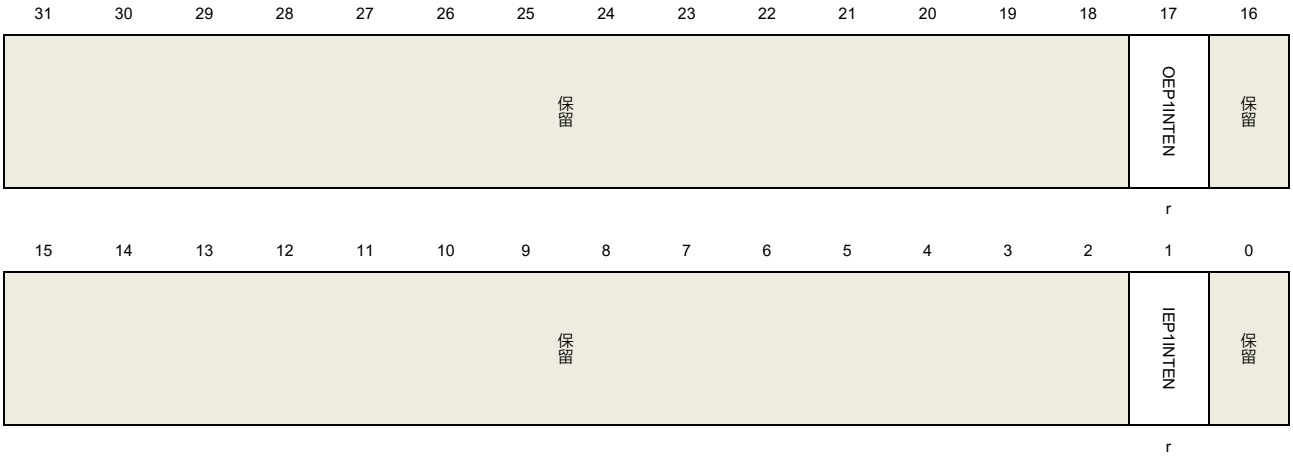
位/位域	名称	描述
31:18	保留	必须保持复位值。
17	OEP1INT	OUT端点1中断
16:2	保留	必须保持复位值。
1	IEP1INT	IN端点1中断
0	保留	必须保持复位值。

设备端点 1 中断使能寄存器(USBHS_DEP1INTEN)

地址偏移：0x083C
复位值：0x0000 0000

该寄存器可以用软件使能或除能端点1的中断，只有该寄存器中的相应位被置位才可以引起端点1 IN或者OUT的中断。

该寄存器采用字(32位)访问



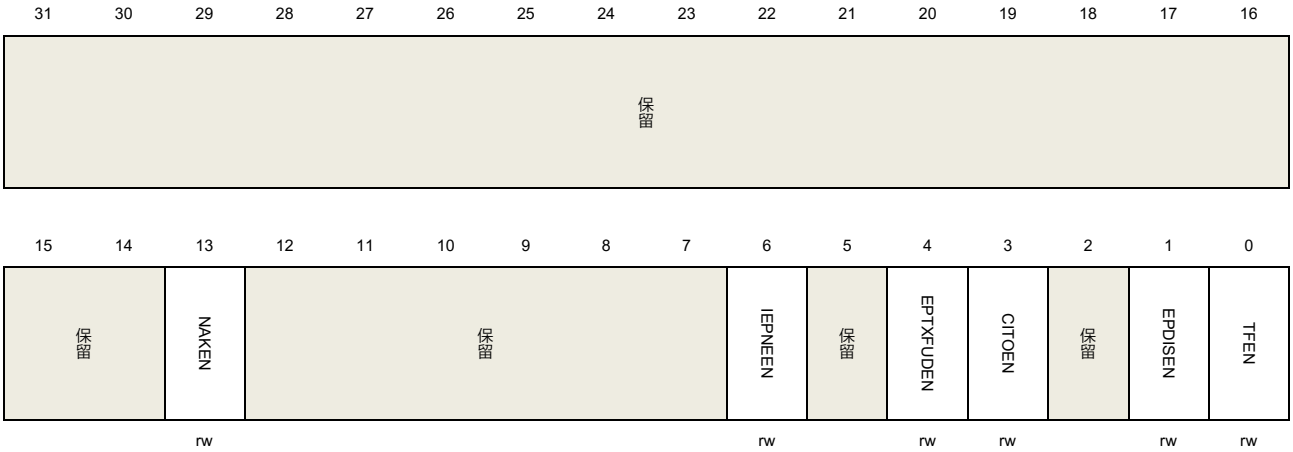
位/位域	名称	描述
31:18	保留	必须保持复位值。
17	OEP1INTEN	OUT端点1中断使能
16:2	保留	必须保持复位值。
1	IEP1INTEN	IN端点1中断使能
0	保留	必须保持复位值。

设备 IN 端点 1 中断使能寄存器(USBHS_DIEP1INTEN)

地址偏移：0x844
复位值：0x0000 0000

该寄存器包含对应寄存器USBHS_DIEP1INTF标志的中断使能位，如果软件置位该寄存器的某一位，其在寄存器USBHS_DIEP1INTF中对应的位会触发一个寄存器USBHS_DEP1INT中的端点中断，该寄存器的位可以通过软件置位或清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:14	保留	必须保持复位值。
13	NAKEN	发送NAK握手中断使能位 0：除能中断 1：使能中断
12:7	保留	必须保持复位值。
6	IEPNEEN	IN端点NAK有效中断使能位 0：除能中断 1：使能中断
5	保留	必须保持复位值。
4	EPTXFUDEN	端点Tx FIFO下溢中断使能位 0：除能中断 1：使能中断
3	CITOEN	控制传输IN超时中断使能位 0：除能中断 1：使能中断
2	保留	必须保持复位值。
1	EPDISEN	端点除能中断使能位 0：除能中断 1：使能中断
0	TFEN	传输完成中断使能位 0：除能中断

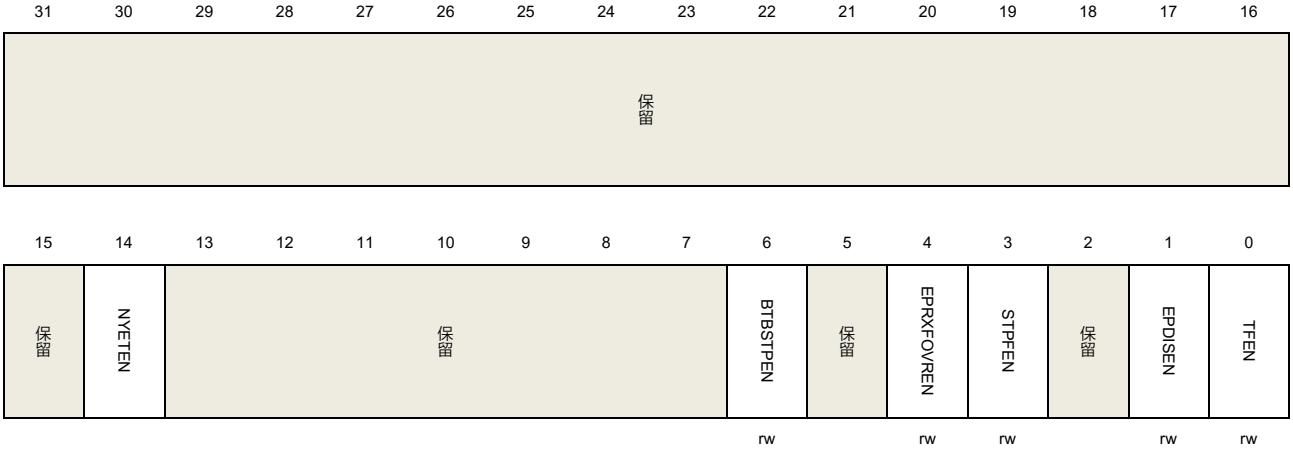
1：使能中断

设备 OUT 端点 1 中断使能寄存器(USBHS_DOEP1INTEN)

地址偏移：0x0884
复位值：0x0000 0000

该寄存器包含对应寄存器USBHS_ DOEP1INTF标志的中断使能位，如果软件置位该寄存器的某一位，其在寄存器USBHS_DOEP1INTF中对应的位会触发一个寄存器USBHS_DEP1INT中的端点中断，该寄存器的位可以通过软件置位或清零。

该寄存器采用字(32位)访问



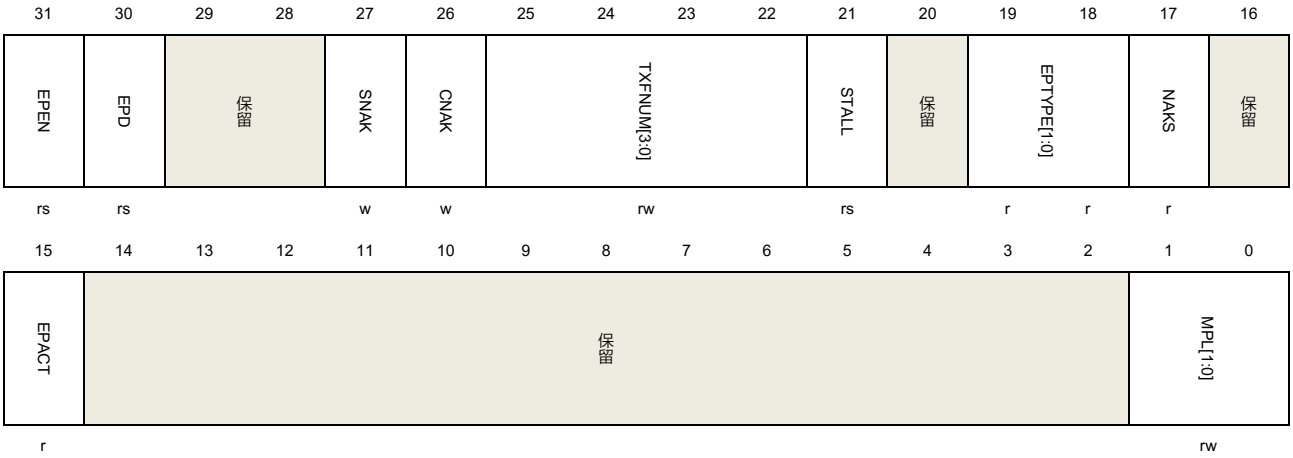
位/位域	名称	描述
31:15	保留	必须保持复位值。
14	NYETEN	发送NYET握手中断使能位 0：除能中断 1：使能中断
13:7	保留	必须保持复位值。
6	BTBSTPEN	连续SETUP包中断使能位(仅适用于控制OUT端点) 0：除能中断 1：使能中断
5	保留	必须保持复位值。
4	EPRXFOVREN	端点Rx FIFO上溢中断使能位 0：除能中断 1：使能中断
3	STPFEN	SETUP阶段完成中断使能位(仅适用于控制OUT端点) 0：除能中断 1：使能中断

2	保留	必须保持复位值。
1	EPDISEN	端点除能中断使能位 0：除能中断 1：使能中断
0	TFEN	传输完成中断使能位 0：除能中断 1：使能中断

设备 IN 端点 0 控制寄存器(USBHS_DIEP0CTL)

地址偏移：0x0900
复位值：0x0000 8000

该寄存器采用字(32位)访问



位/位域	名称	描述
31	EPEN	端点使能 软件置位、USBHS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点
30	EPD	端点除能 软件可通过置位该位从而除能端点，软件应该按照操作指南使能或除能端点。
29:28	保留	必须保持复位值。
27	SNAK	置位NAK 软件置位该位来设置该寄存器的NAKS位
26	CNAK	清零NAK 软件置位该位来清零该寄存器的NAKS位
25:22	TXFNUM[3:0]	Tx FIFO编号

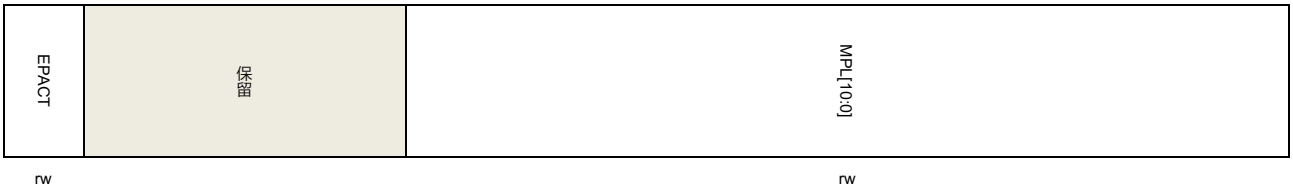
		定义IN端点0的Tx FIFO编号
21	STALL	STALL握手 当接收IN令牌时，软件可以通过置1该位发送STALL握手包，对于相应的OUT端点0，在接收SETUP令牌后，USBHS清除此位。该位比该寄存器的NAKS位和寄存器USBHS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。
20	保留	必须保持复位值。
19:18	EPTYPE[1:0]	端点类型 该域固定为'00',控制端点。
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBHS_DCTL的位GINS被清零，该位控制USBHS的NAK状态。 0：根据端点Tx FIFO的状态，USBHS发送数据或握手包 1：USBHS总为IN令牌发送NAK握手包 该位是只读位，可以通过该寄存器的位CNAK和位SNAK控制该位
16	保留	必须保持复位值。
15	EPACT	端点激活 对于端点0来说，该域固定为'1'
14:2	保留	必须保持复位值。
1:0	MPL[1:0]	最大包长 域定义了控制数据包的最大包长，如USB 2.0协议所描述，对控制传输而言，有四种包长度： 00：64字节 01：32字节 10：16字节 11：8字节

设备 IN 端点 x 控制寄存器(USBHS_DIEPxCTL)(x = 1..5, x 是端点编号)

地址偏移：0x0900 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPD	SODDFRM/SD1PID	SD0PID/SEVENFRM	SNAK	CNAK	TXFNUM[3:0]				STALL	保留	EPTYPE[1:0]		NAKS	EOFRM/DPID
rs	rs	w	w	w	w	rw				rw/rs		rw		r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBHS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点
30	EPD	端点除能 软件可通过置位该位从而除能端点，软件应该按照操作指南使能或除能端点。
29	SODDFRM	设置奇数帧(适用于同步IN端点) 软件通过置1该位置1该寄存器的EOFRM位
	SD1PID	设置DATA1 PID(适用于中断和大容量IN端点) 软件可通过置1该位置1该寄存器的DPID位
28	SEVENFRM	设置偶数帧(适用于同步IN端点) 软件通过置1该位清零该寄存器的EOFRM位
	SD0PID	设置DATA0 PID(适用于中断和大容量IN端点) 软件可通过置1该位清零该寄存器的DPID位
27	SNAK	设置NAK 软件置1该位置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位清零该寄存器的NAKS位
25:22	TXFNUM[3:0]	Tx FIFO编号 该位定义了IN端点的Tx FIFO编号
21	STALL	STALL握手 当接收IN令牌时，软件可以通过置1该位发送STALL握手包。该位比该寄存器的NAKS位和寄存器USBHS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。 对于控制IN端点： 当对应的OUT端点接收到SETUP令牌时，只有USBHS可以清零此位，软件不可清除此位。 对于中断或大容量IN端点： 只有软件可以清零此位。
20	保留	必须保持复位值。
19:18	EPTYPE[1:0]	端点类型

		该域定义端点的传输类型： 00：控制 01：同步 10：大容量 11：中断
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBHS_DCTL的位GINS被清零，该位控制USBHS的NAK状态： 0：根据端点Tx FIFO的状态，USBHS发送数据或握手包 1：USBHS总为IN令牌发送NAK握手包 该位是只读位，可以通过该寄存器的位CNAK和位SNAK控制该位
16	EOFRM	奇偶帧(适用于同步IN端点) 对于同步传输，软件通过使用该位控制USBHS只在奇数帧或偶数帧为IN事务发送数据包，如果当前帧号的奇偶性不匹配该位，USBHS回复一个零长度的包： 0：只在偶数帧发送数据 1：只在奇数帧发送数据
	DPID	端点数据PID(适用于中断或大容量IN端点) 在端点或大容量传输中，有数据PID翻转机制，在传输开始之前，软件通过设定SD0PID来设置此位，按照USB协议中描述的数据PID翻转机制，USBHS在传输过程中保持该位。 0：数据包的PID是DATA0 1：数据包的PID是DATA1
15	EPACT	端点激活 该位控制端点是否激活，当端点没有激活，忽略任何令牌，不做任何回复。
14:11	保留	必须保持复位值。
10:0	MPL[10:0]	该域定义最大包长

设备 OUT 端点 0 控制寄存器(USBHS_DOEP0CTL)

地址偏移：0x0B00
复位值：0x0000 8000

该寄存器采用字(32位)访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPEN	EPD	保留		SNAK	CNAK	保留				STALL	SNOOP	EPTYPE[1:0]		NAKS	保留
rs	r			w	w					rs	rw	r		r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBHS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点。
30	EPD	端点除能 对于OUT端点0，该位固定为0
29:28	保留	必须保持复位值。
27	SNAK	设置NAK 软件置1该位置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位清零该寄存器的NAKS位
25:22	保留	必须保持复位值。
21	STALL	STALL握手 在OUT事务中，软件可以通过置1该位发送STALL握手包，对于OUT端点0，在接收SETUP令牌后，USBHS清除此位。该位比该寄存器的NAKS位和寄存器USBHS_DCTL的GINS位优先级要高，即如果STALL和NAKS位都被置位，STALL位生效。
20	SNOOP	调查模式 该位控制OUT端点的调查模式，在调查模式中，USBHS不再检查接收数据包的CRC值 0：调查模式除能 1：调查模式使能
19:18	EPTYPE[1:0]	端点类型 对于控制端点，该位固定为"00"
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBHS_DCTL的位GINS被清零，该位控制USBHS的NAK状态： 0：根据端点Rx FIFO的状态，USBHS发送数据或握手包 1：USBHS为OUT事务发送NAK握手包 该位是只读位，通过该寄存器的CNAK和SNAK位控制该位
16	保留	必须保持复位值。

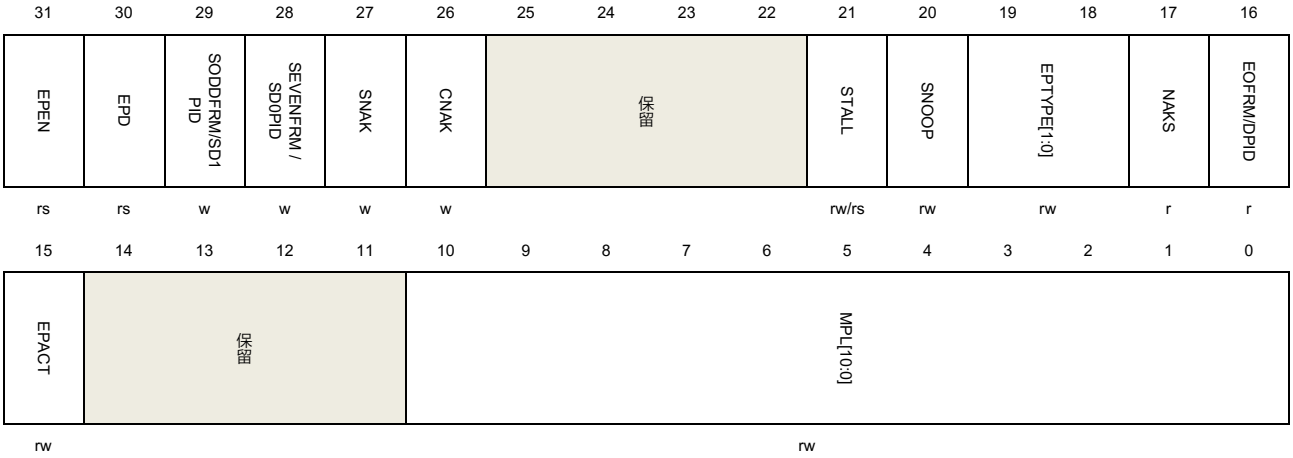
15	EPACT	端点激活 对于端点0，该域固定为1
14:2	保留	必须保持复位值。
1:0	MPL[1:0]	最大包长 该位是只读位，其数值来自于寄存器USBHS_DIEP0CTL的位MPL： 00：64字节 01：32字节 10：16字节 11：8字节

设备 OUT 端点 x 控制寄存器(USBHS_DOEPxCTL)(x= 1..5, x 是端点编号)

地址偏移：0x0B00 + (x * 0x20)
复位值：0x0000 0000

软件用该寄存器控制OUT端点0以外的每个逻辑OUT端点

该寄存器采用字(32位)访问



位/位域	名称	描述
31	EPEN	端点使能 软件置位，USBHS清零 0：端点除能 1：端点使能 软件应该按照操作指南使能或除能端点。
30	EPD	端点除能 软件通过置1该位除能端点，软件应该按照操作指南使能或除能端点。
29	SODDFRM	设置奇数帧(适用于同步OUT端点) 该位只针对同步OUT端点有效 软件置1该位来置位该寄存器的EOFRM位
	SD1PID	设置DATA1 PID(适用于中断和大容量OUT端点)

		软件置1该位来置位该寄存器的DPID位
28	SEVENFRM	设置偶数帧(适用于同步OUT端点) 软件置1该位来清零该寄存器的EOFRM位
	SD0PID	设置DATA0 PID(适用于中断和大容量OUT端点) 软件置1该位来清零该寄存器的DPID位
27	SNAK	设置NAK 软件置1该位从而置1该寄存器的NAKS位
26	CNAK	清零NAK 软件置1该位从而清零该寄存器的NAKS位
25:22	保留	必须保持复位值。
21	STALL	STALL握手 在OUT事务中，软件可以通过置1该位发送STALL握手包。该位比该寄存器的NAKS位和寄存器USBHS_DCTL的GINS位优先级要高，如果STALL和NAKS位都被置位，STALL位生效。 对于控制OUT端点： 当OUT端点接收SETUP令牌时，只有USBHS可以清零该位，软件不可清零此位。 对于中断或大容量OUT端点： 只有软件可以清零该位
20	SNOOP	调查模式 该位控制OUT端点的调查模式，在调查模式中，USBHS不再检查接收数据包的CRC值 0：调查模式除能 1：调查模式使能
19:18	EPTYPE[1:0]	端点类型 该域定义端点的传输类型 00：控制 01：同步 10：大容量 11：中断
17	NAKS	NAK状态 当该寄存器的STALL位和寄存器USBHS_DCTL的位GONS被清零，该位控制USBHS的NAK状态： 0：根据端点的Rx FIFO的状态，发送握手包 1：USBHS发送NAK握手给OUT事务 该位是只读位，通过该寄存器的CNAK和SNAK位控制该位
16	EOFRM	奇偶帧(适用于同步OUT端点) 对于同步传输，软件通过使用该位控制USBHS只在奇数帧或偶数帧发送数据包给OUT事务，如果当前帧号的奇偶性不匹配该位，USBHS不保存数据包 0：只在偶数帧发送数据

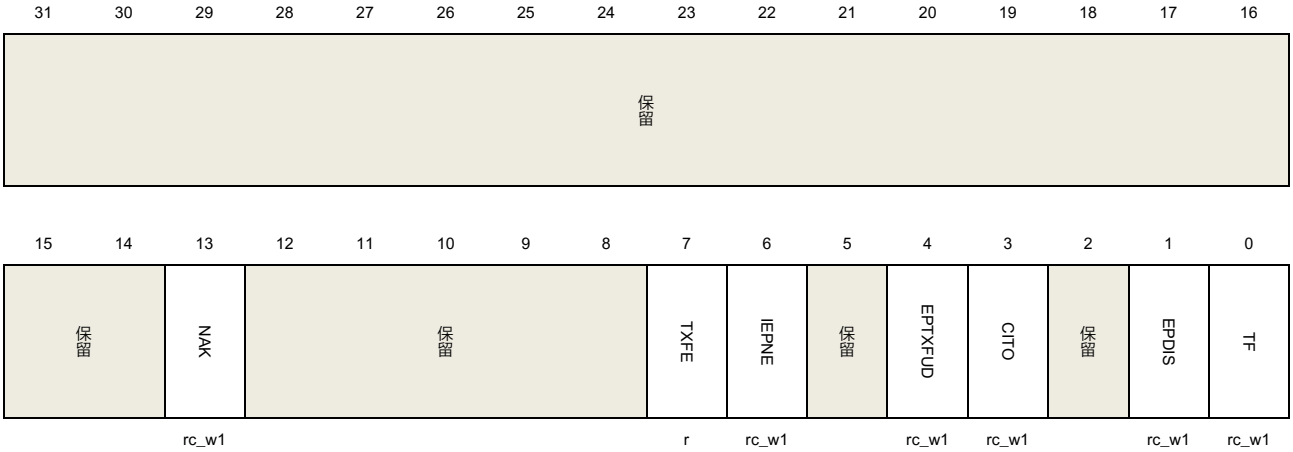
		1：只在奇数帧发送数据
	DPID	端点数据PID(适用于中断或大容量端点) 在端点或大容量传输中，有数据PID翻转机制，在传输开始之前，软件通过设定SD0PID来设置此位，按照USB协议中描述的数据PID翻转机制，USBHS在传输过程中保持该位。 0：数据包PID是DATA0 1：数据包PID是DATA1
15	EPACT	端点激活 位控制端点是否激活，当端点没有激活，忽略任何令牌，不做任何回复
14:11	保留	必须保留为 复位值
10:0	MPL[10:0]	该位定义最大包长

设备 IN 端点 x 中断标志寄存器(USBHS_DIEPxINTF)(x = 0..5, x 是端点编号)

地址偏移：0x0908 + (x * 0x20)
复位值：0x0000 0080

该寄存器包含IN端点的状态和事件，当获得一个IN端点的中断时，应该读取该端点的中断标志寄存器，从而获知中断源。该寄存器的标志位通常硬件置位，除了TXFE位，各位写1清零。

该寄存器采用字(32位)访问



位/位域	名称	描述
31:14	保留	必须保持复位值。
13	NAK	发送NAK握手 USBHS在发出一个NAK握手包后置该位，因为寄存器USBHS_DIEPxCTL的NAKS位被置位，或端点的Tx FIFO里没有包数据。
12:8	保留	必须保持复位值。
7	TXFE	发送FIFO空

		端点的Tx FIFO达到寄存器USBHS_GAHBCS的位TXFTH定义的空阈值。
6	IEPNE	IN端点NAK有效 寄存器USBHS_DIEPxCTL的位SNAK的设置生效，该位可以通过写1清零或设置CNAK位
5	保留	必须保持复位值。
4	EPTXFUD	端点Tx FIFO下溢 如果当IN令牌被接收后，Tx FIFO没有包数据，该标志被触发。
3	CITO	控制IN事务超时中断 在控制IN事务中，如果设备等待的握手包超时，该标志位被触发
2	保留	必须保持复位值。
1	EPDIS	端点除能 端点除能时，该标志位被触发
0	TF	传输完成 当该端点的所有IN事务完成，该标志位被触发。

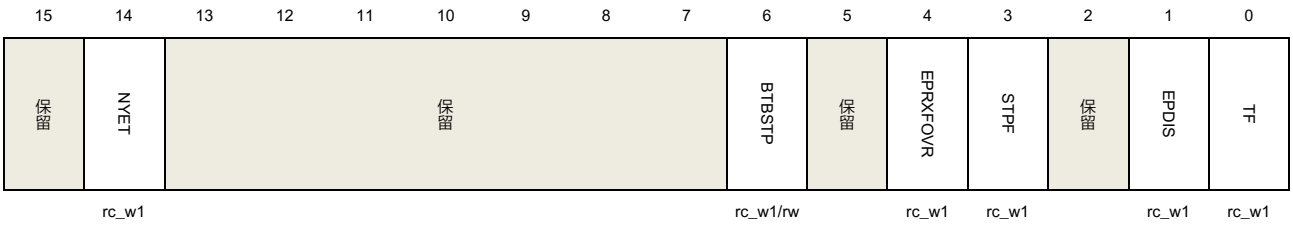
设备 OUT 端点 x 中断标志寄存器(USBHS_DOEPxINTF)(x = 0..5, x 是端点编号)

地址偏移：0x0B08 + (x * 0x20)
复位值：0x0000 0000

该寄存器包含OUT端点的状态和事件，当获得一个OUT端点的中断时，应该读取该端点的中断标志寄存器，从而获知中断源。该寄存器的标志位通常硬件置位，各位写1清零。

该寄存器采用字(32位)访问





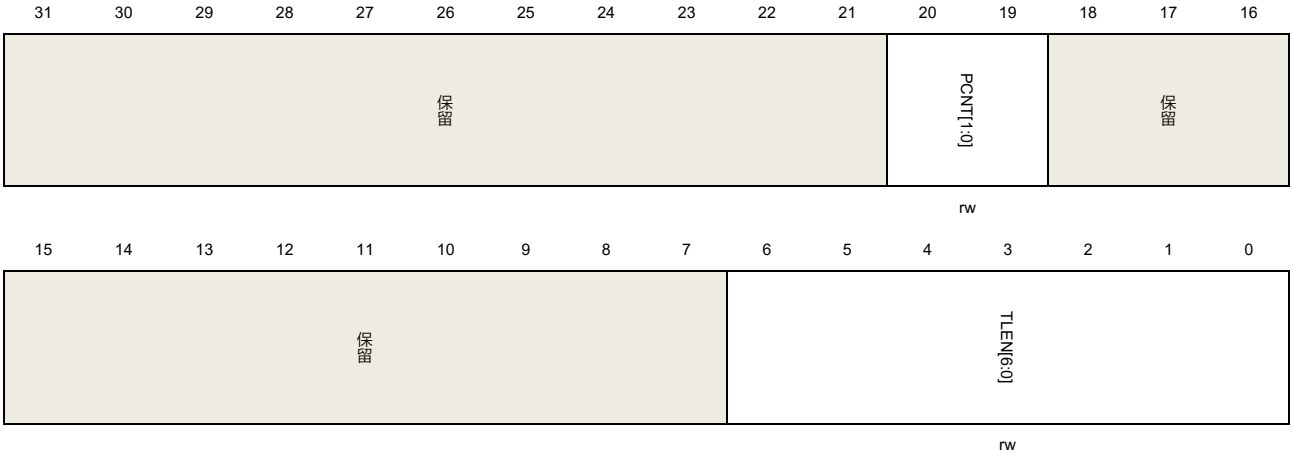
位/位域	名称	描述
31:15	保留	必须保持复位值。
14	NYET	发送NYET握手 发送NYET握手包时，该标志被触发

13:7	保留	必须保持复位值。
6	BTBSTP	连续SETUP包(适用于控制OUT端点) 当一个控制OUT端点接收超过连续3个SETUP包时，该标志被触发。
5	保留	必须保持复位值。
4	EPRXFOVR	端点Rx FIFO上溢 当OUT令牌被接收时，如果OUT端点的Rx FIFO没有足够的空间存放数据包，该位被触发。在这种情况下，USBHS不能接收OUT数据包，发送一个NAK握手包。
3	STPF	SETUP阶段完成(适用于控制OUT端点) 当一个SETUP阶段完成，也就是USBHS在一个setup令牌后接收了一个IN或OUT令牌，该位被置位。
2	保留	必须保持复位值。
1	EPDIS	端点除能 端点除能时，该标志位被触发
0	TF	传输完成 当该端点的所有OUT事务完成，该标志位被触发

设备 IN 端点 0 传输长度寄存器(USBHS_DIEP0LEN)

地址偏移：0x0910
复位值：0x0000 0000

该寄存器采用字(32位)访问



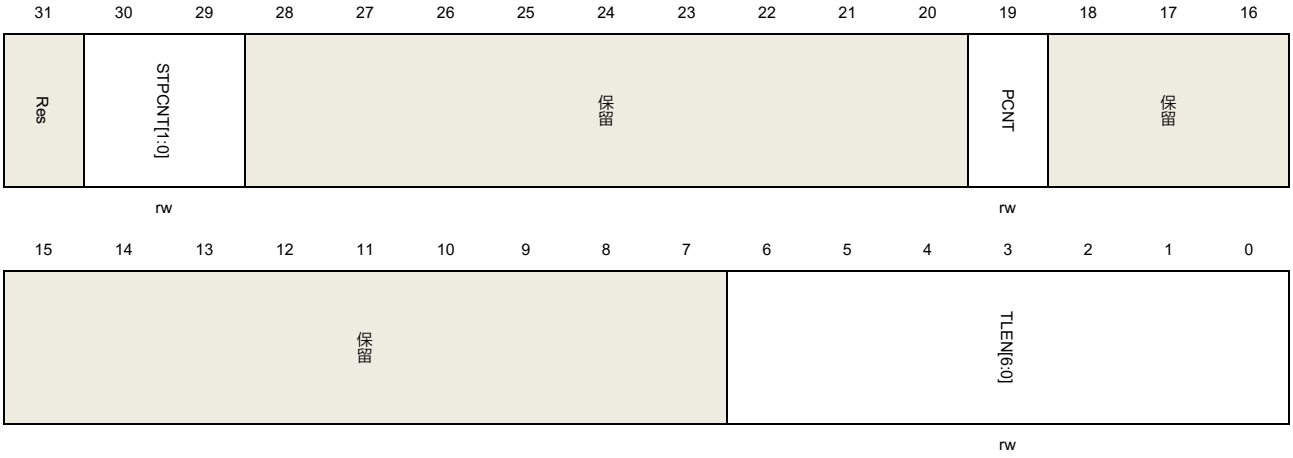
位/位域	名称	描述
31:21	保留	必须保持复位值。
20:19	PCNT[1:0]	包数 传输中被发送的数据包数量 在端点使能之前，软件设置该位，在传输开始后，该域在每次数据包成功发送后自

		动减少。
18:7	保留	必须保持复位值。
6:0	TLEN[6:0]	传输长度 一次传输的数据总字节数 该域是IN传输中需要发送的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据写入端点的Tx FIFO中，该域减少与包数据大小相同的数值。

设备 OUT 端点 0 传输长度寄存器(USBHS_DOEP0LEN)

地址偏移：0x0B10
复位值：0x0000 0000

该寄存器采用字(32位)访问



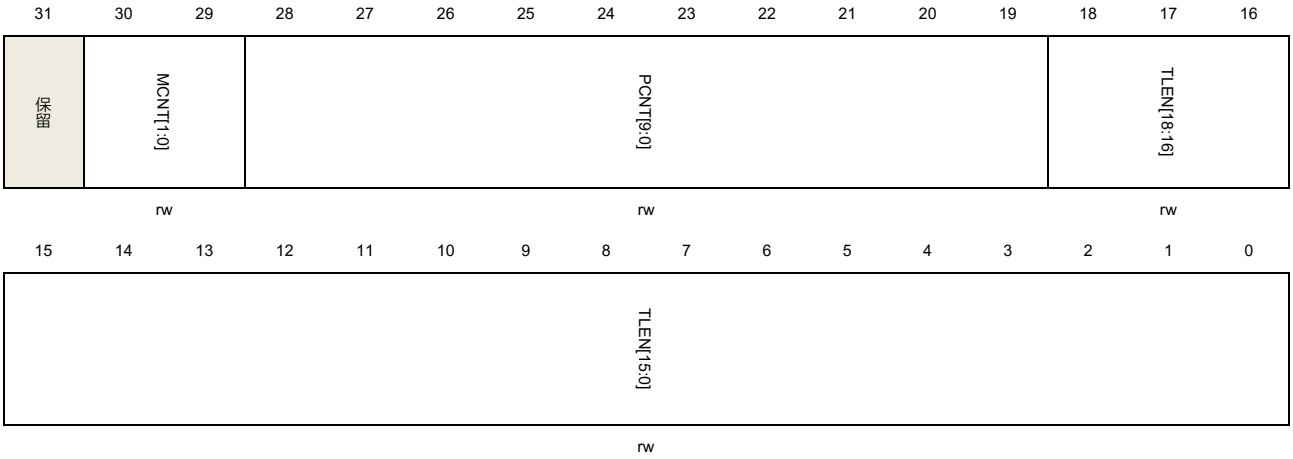
位/位域	名称	描述
31	保留	必须保持复位值。
30:29	STPCNT[1:0]	SETUP包计数 该域定义端点可以接受的最大连续SETUP包数量 在SETUP传输之前，设置该域，每当连续SETUP包接收到时，该域值减1，当该域达到0时，寄存器USBHS_DOEP0INTF的BTBSTP标志被触发。 00：0个包 01：1个包 10：2个包 11：3个包
28:20	保留	必须保持复位值。
19	PCNT	包计数 一次传输中应该接收到包数量。 在端点使能前，软件设置该位，在传输开始后，每当数据包接收到后，该域数值自动减少。

18:7	保留	必须保持复位值。
6:0	TLEN[6:0]	传输长度 传输中数据总字数。 该域是OUT传输中需要接收的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据读取端点的Rx FIFO中，该域减少与包数据大小相同的数值。

设备 IN 端点 x 传输长度寄存器(USBHS_DIEPxLEN)(x = 1..5, x 是端点编号)

地址偏移：0x910 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问

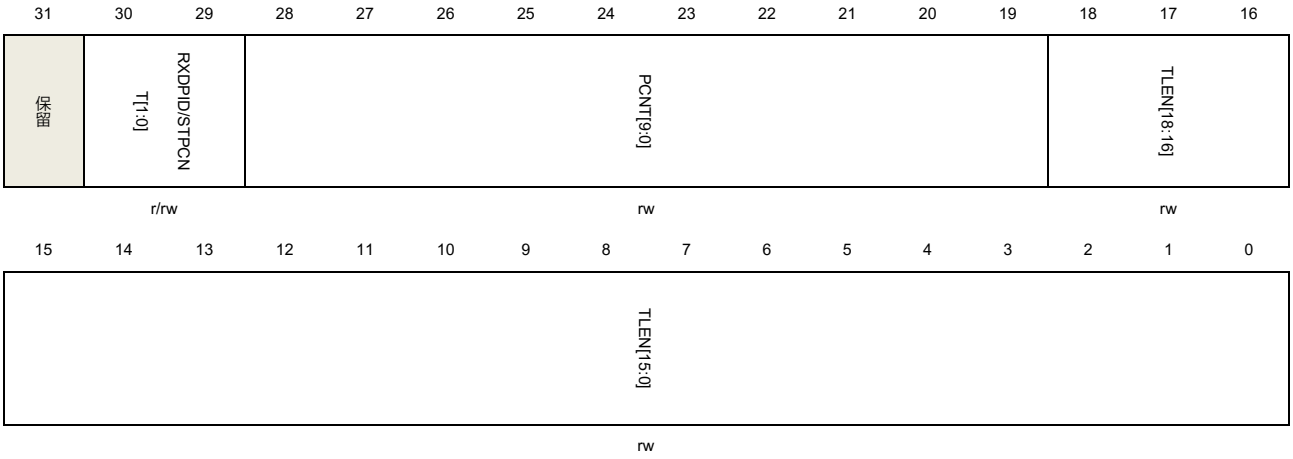


位/位域	名称	描述
31:29	保留	必须保持复位值。
30:29	MCNT[1:0]	多包个数 该域描述在一帧内需要传输的包的个数 01:1个包 10:2个包 11:3个包
28:19	PCNT[9:0]	包数量 传输中被发送的数据包数量 在端点使能之前，软件设置该位，在传输开始后，该域在每次数据包成功发送后自动减少。
18:0	TLEN[18:0]	传输长度 传输的数据总字节数 该域是IN传输中需要发送的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据写入端点的Tx FIFO中，该域减少与包数据大小相同的数值。

设备 OUT 端点 x 传输长度寄存器(USBHS_DOEPxLEN)(x = 1..5, x 是端点编号)

地址偏移：0x0B10 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问



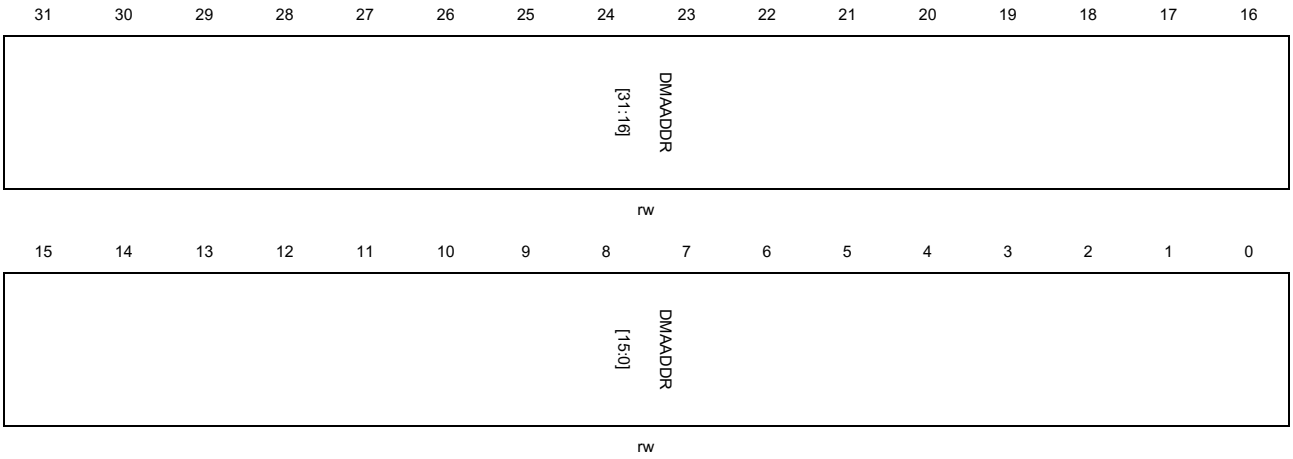
位/位域	名称	描述
31	保留	必须保持复位值。
30:29	RXDPID[1:0]	接收数据PID(适用于同步OUT端点) 该域保存该端点该数据包所接受的最后一个数据包的PID 00：DATA0 01：DATA2 10：DATA1 11：MDATA
	STPCNT[1:0]	SETUP包数(适用于控制OUT端点) 该位定义该端点可以接受连续SETUP最大包数 在SETUP传输之前，设置该域，每当连续SETUP包接收到时，该域值减1，当该域达到0时，寄存器USBHS_DOEP0INTF的BTBSTP标志被触发。 00：0个包 01：1个包 10：2个包 11：3个包
28:19	PCNT[9:0]	包数 传输中应该接收到包数量 在端点使能前，软件设置该位，在传输开始后，每当数据包接收到后，该域数值自动减少。
18:0	TLEN[18:0]	传输长度 传输中数据总字数 该域是IN传输中需要接收的包数据的总字节数，在端点使能之前，软件设置该位，在软件或DMA成功地将包数据读取端点的Rx FIFO中，该域减少与包数据大小相同

的数值。

设备 IN 端点 x DMA 地址寄存器(USBHS_DIEPxDMAADDR)/设备 OUT 端点 x DMA 地址寄存器(USBHS_DOEPxDMAADDR)(x = 0..5, x 是端点编号)

地址偏移：
IN端点：0x0914 + (x * 0x20)
OUT端点：0x0B14 + (x * 0x20)
复位值：0x0000 0000

该寄存器采用字(32位)访问



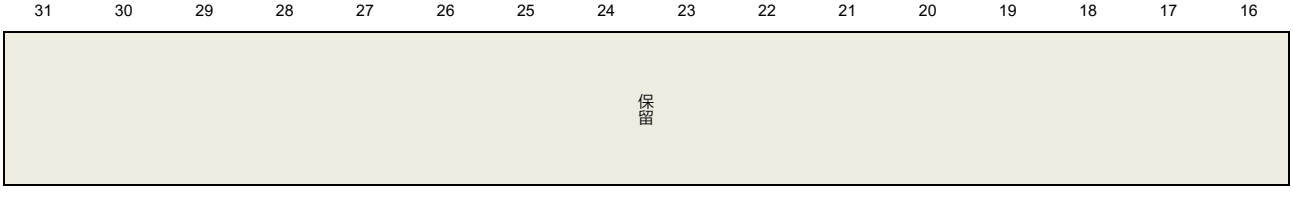
位/位域	名称	描述
31:0	DMAADDR[31:0]	DMA地址 该域定义端点的DMA地址，DMA使用该地址为IN端点提取包数据，或为OUT端点写入包数据。

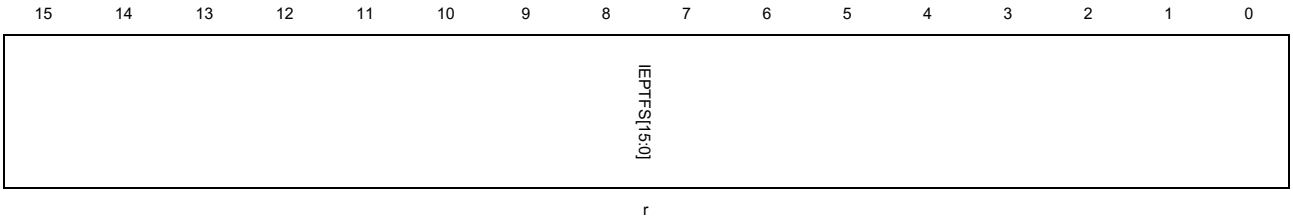
设备 IN 端点 x 发送 FIFO 状态寄存器(USBHS_DIEPxTFSTAT)(x = 0..5, x 是端点编号)

地址偏移：0x0918 + (x * 0x20)
复位值：0x0000 0200

该寄存器包含每个端点的Tx FIFO的信息。

该寄存器采用字(32位)访问



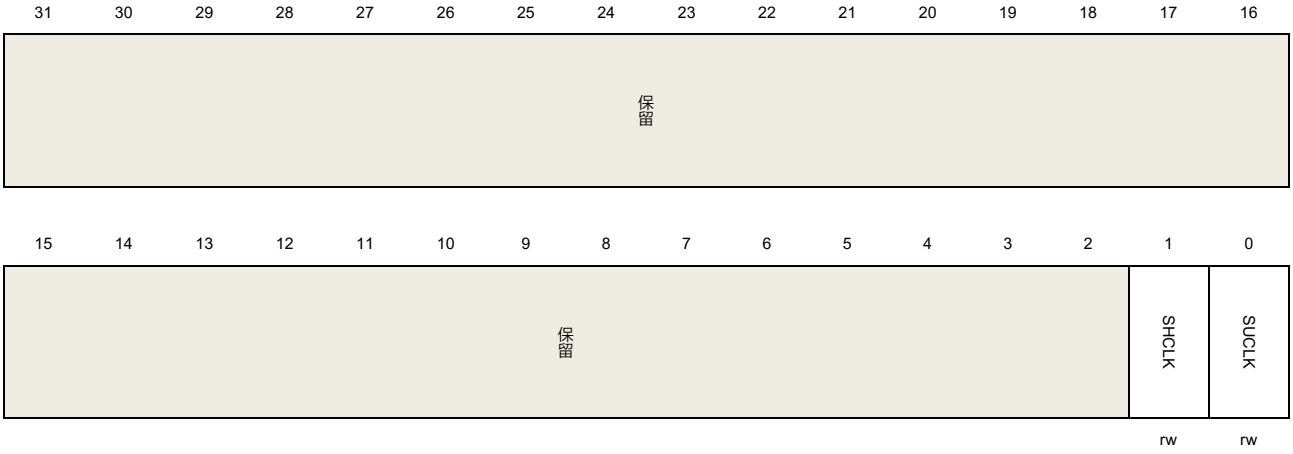


位/位域	名称	描述
31:16	保留	必须保持复位值。
15:0	IEPTFS[15:0]	IN端点的Tx FIFO可用空间 IN端点的Tx FIFO可用空间用32位字为单位 0：FIFO是满的 1：1字可用 … n：n字可用

34.7.4. 电源和时钟控制寄存器(USBHS_PWRCLKCTL)

地址偏移：0x0E00
复位值：0x0000 0000

该寄存器采用字(32位)访问



位/位域	名称	描述
31:2	保留	必须保持复位值。
1	SHCLK	停止HCLK 停止HCLK，节省电量 0：HCLK未停止 1：HCLK停止
0	SUCLK	停止USB时钟 停止USB时钟，节省电量 0：USB时钟未停止

1：USB时钟停止

35. 附录

35.1. 寄存器表中使用的缩写列表

表 35-1. 寄存器功能位访问属性

寄存器表中缩写	描述
读/写(rw)	软件可以对这个位进行读写。
只读(r)	软件只能对这个位进行读。
只写(w)	软件只能对这个位进行写。读取该位将返回复位值。
读/写 1 清零(rc_w1)	软件可以读该位，对该位写入 1 可以清除这个位。写入 0 对位值没有影响。
读/写 0 清零(rc_w0)	软件可以读该位，对该位写入 0 可以清除这个位。写入 1 对位值没有影响。
翻转 (t)	软件可以通过写 1 来翻转该位。写入 0 对位值没有效果。
只读/写 1 触发(rt_w1)	软件只能读该位，写入 1 触发事件，但对位值没有影响。
可读/可置位(rs)	软件可以读该位，也可以将这个位设置为 1。写入 0 对位值没有影响。
可读/读清零(rc_r)	软件可以读该位，读该位会自动清零。写入 0 对位值没有影响。
可读/读置位(rs_r)	软件可以读该位，读该位会置位该位。写对位值没有影响。
读/写一次(rwo)	软件只可写该位一次，可以读任意次。只有复位可将该位恢复为默认值。
读/写清零(rc_w)	软件可以读该位，对该位写可以清除这个位。写 0 和写 1 效果相同。
只读/写 1 触发(rt_w)	软件只能读该位，写 0 或 1 触发事件，但对位值没有影响。

35.2. 术语表

表 35-2. 术语

术语	描述
字	32 位长度数据
半字	16 位长度数据.
字节	8 位长度数据
IAP(应用内编程)	IAP 是在用户程序运行时对微控制器的闪存重新编程的能力。
ICP(在线编程)	ICP 是当设备安装在用户应用板上时，一个使用 JTAG 协议，或引导加载程序的微控制器的闪存编程能力。
选项字节	存储在闪存中的产品配置位
AHB	高级高性能总线
APB	高级外设总线
RAZ	读为 0
WI	写忽略
RAZ/WI	读为 0/写忽略

35.3. 可用外设

对于各个 MCU 系列的外设及其数量，请参考相应型号的数据手册。

36. 版本历史

表 36-1. 版本历史

版本号	描述	日期
1.0	初始发布	2024 年 3 月 1 日
1.1	1.更新*图 32-8. 增强发送描述符*和*图 32-10. 增强接收描述符*。 2.更新 USART_CTL3 寄存中 EBIE 和 RTIE 位的描述。 3.更新*公钥加密处理器(PKCAU)*章节中 PKCAU 的基地址。 4.更新*闪存结构*章节中对于 BANK1_Ex 的描述。	2024 年 8 月 5 日
1.2	1.更新*表 7-2. 中断向量表*中 IRQ 54 和 IRQ101 的外设中断描述。 2.删除*引导配置*章节中关于 Bank1 代码从 bootloader 启动修改中断向量表偏移的描述。 3.修改 *VDD 域*章节中关于 PDR_ON 引脚描述，PDR_ON 引脚使用需参考 Datasheet 推荐的电路图。 4.修改*控制寄存器 1(I2C_CTL1)*的 bit15 位域名。 5. 将*表 14-2. DMA0 外设请求*中的 DAC0 和 DAC1 改为 DAC0_OUT0 和 DAC0_OUT1。 6.更新*图 4-1. 电源域概览*。 7.更新*表 18-2. ADC 输入引脚定义*。	2025 年 2 月 19 日
1.3	1. 更新*设备状态寄存器(USBHS_DSTAT)*中 SPST 位的功能描述。 2. 更新*引导配置*章节中关于引导源的描述，由三种引导源改为四种引导源。 3. 更新*设备状态寄存器 (USBFS_DSTAT)*中 ES[1:0]位域描述。 4. 将 *24.1.3* 章节中的 SMBus 超时时间改为 25ms。 5. 更新 *24.2.4* 章节 *从机地址寄存器 1(I2C_SADDR1)*ADDMSK2[2:0]位域描述。 6. 修改 *控制寄存器 2(I2C_CTL2)* 的复位值为 0x0000FE00。 7. 更新*图 5-2. 时钟树*，删除图中 PLL 中的系数 R 和 PLLI2S 中的系数 P。 8. 在 *I2S 时钟*章节增加注意事项，要求 I2S 串行时钟的配置值需设置为低于 PCLK 时钟的 1/6 倍以下(不包含 1/6)。 9. 在*错误检查和纠正(ECC)*章节中增加注意事项。 10. 更新关于*闹钟输出*的描述。 11. 更新*状态与标志寄存器(HAU_STAT)*中 DMAS 位的描述。 12. 更新*输入重映射寄存器(TIMERx_IRMP)(x=10)*的位	2025 年 8 月 29 日

	域及描述。 13. 更新 ***SDIO 寄存器***的外设基地址。 14. 在 ***HXTAL 时钟监视器(CKM)***章节中增加 CKM 的注意事项。 15. 在***时钟输出功能***章节中增加 CK_OUT 的注意事项。 16. 在 ***SMBus 警报***章节中增加使用 SMBus 报警功能的限制条件。 17. 在***选项字节修改***章节中增加操作选项字节的注意事项。	
1.4	1. 更新***图 5-2. 时钟树***。 2. 更新***主机帧间隔寄存器(USBHS_HFT)***中的 FRI[15:0]位域描述。 3. 在 ***I2C 时序配置***章节增加关于 SDADELY=0 时的注意事项。 4. 更新***从机地址寄存器 0(I2C_SADDR0)***和***从机地址寄存器 1(I2C_SADDR1)***中的 ADDRESS[7:1]位域描述。 5. 更新***时序寄存器(I2C_TIMING)***中的 SDADELY[3:0]位域描述。 6. 更新图 ***27-1. DCI 模块示意图***和***表 27-1. DCI 引脚***。 7. 更新***系统复位***章节的描述。 8. 增加 SPI CRC 使用说明。 9. 删除 ***SPI5 四线 SPI 控制寄存器(SPI_QCTL)***中的 IO23_DRV 位。 10. 更新***发送状态寄存器(CAN_TSTAT)***中 MTF0/1/2 的位域说明。 11. 更新***位时序(Bit time)小节***中关于有效边沿的描述，并增加并增加符合 ISO11898 的标准说明。 12. 增加***时序寄存器(I2C_TIMING)***在 I2CEN = 1 时，不能被改写的限制。 13. 在 ***24.2.4*** 章节增加***控制寄存器 1(I2C_CTL1)***中 SADDRESS[9:0]、TRDIR、ADD10EN、HEAD10R 和 BYTENUM[7:0]位域的使用限制。 14. 在 I2C 主机模式小节增加 BYTENUM[7:0]不能配置为零的注意事项。 15. 增加***接收超时寄存器(USART_RT)***中 RT[23:0]位域的注意事项。 16. 更新***串行红外(IrDA SIR)编解码功能模块***小节中 IrDA 的低功耗模式下的分频系数相关的描述。	2026 年 1 月 20 日
1.5	1. 更新 ***I2C 时序配置***小节中 SDA 输出总延时的计算公式。 2. 更新***通道控制寄存器 y(TIMERx_CHCTLy)***的 CHxCOMFEN 位域描述。 3. 更新***扫描运行模式***小节中 ADC 在该模式下使用 DMA 的软件流程。	2026 年 9 月 29 日

	4. 在***通用串行总线高速接口(USBHS)***章节增加OUT传输操作顺序(DMA 除能)的注意事项。 5.更新***以太网(ENET)***章节中的 MSC 中断状态位的清除方式、PTP 控制寄存器有关位域描述以及 IGBS 帧间隔位域描述。 6. 更新***状态寄存器(I2C_STAT)***中 SMBALT 位描述。 7. 更新***备份域控制寄存器(RCU_BDCTL)***中 bit3 的访问属性。 8. 更正***FLASH ECC 地址寄存器(SYSCFG_FLASHECC_ADDR)***中的ECCEADDR6[31:0]位域说明。	

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved