

GigaDevice Semiconductor Inc.

GD32C2x1 系列硬件开发指南

应用笔记

AN240

1.2 版本

(2026 年 04 月)

目录

目录.....	2
图索引.....	3
表索引.....	4
1. 前言.....	5
2. 硬件设计.....	6
2.1. 电源.....	6
2.1.1. V _{DD} /V _{DDA} 电源域.....	7
2.1.2. 供电设计.....	7
2.2. 电源检测及复位.....	9
2.2.1. POR / PDR.....	10
2.2.2. BOR.....	11
2.2.3. NRST 引脚.....	12
2.3. 时钟.....	13
2.3.1. 外部高速晶体振荡时钟 (HXTAL).....	15
2.3.2. 外部低速晶体振荡时钟 (LXTAL).....	16
2.3.3. 时钟输出能力 (CKOUT).....	17
2.3.4. HXTAL 时钟监视器 (CKM).....	18
2.3.5. LXTAL 时钟监视器 (LCKM).....	18
2.4. 启动配置.....	18
2.5. 典型外设模块.....	19
2.5.1. GPIO 电路.....	19
2.5.2. ADC 电路.....	20
2.5.3. Standby 模式唤醒电路.....	22
2.6. 下载调试电路.....	23
2.7. 参考原理图设计.....	24
3. PCB Layout 设计.....	25
3.1. 电源去耦电容.....	25
3.2. 时钟电路.....	25
3.3. 复位电路.....	26
4. 封装说明.....	27
5. 版本历史.....	28

图索引

图 2-1. GD32C231 / GD32C221 系列电源域概览	6
图 2-2. GD32C211 系列电源域概览	7
图 2-3. GD32C231 / GD32C221 系列推荐供电设计	8
图 2-4. GD32C211 系列推荐供电设计	8
图 2-5. RCU_RSTSCK 寄存器	9
图 2-6. GD32C231xx / GD32C221xx 系列系统复位电路	9
图 2-7. GD32C211xx 系列系统复位电路	10
图 2-8. 上电/掉电复位波形图	10
图 2-9. BOR 阈值波形图	11
图 2-10. 推荐外部复位电路	12
图 2-11. NRST 引脚上下电 MOS 管脉冲示意图	13
图 2-12. GD32C231/ GD32C221 系列时钟树	14
图 2-13. GD32C211 系列时钟树	15
图 2-14. HXTAL 外部晶体电路	16
图 2-15. HXTAL 外部时钟电路	16
图 2-16. LXTAL 外部晶体电路	17
图 2-17. LXTAL 外部时钟电路	17
图 2-18. 推荐 BOOT 电路设计	19
图 2-19. 标准 IO 的基本结构	20
图 2-20. ADC 采集电路设计	21
图 2-21. 推荐 Standby 外部唤醒引脚电路设计	22
图 2-22. 推荐 SWD 接线参考设计	23
图 2-23. GD32C231/ GD32C221 推荐参考原理图设计	24
图 2-24. GD32C211 推荐参考原理图设计	24
图 3-1. 推荐电源引脚去耦 Layout 设计	25
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	26
图 3-3. 推荐 NRST 走线 Layout 设计	26

表索引

表 1-1. 适用产品	5
表 2-1. V_{BOR} 阈值电压设置	11
表 2-2. CKOUTSEL[2:0]控制位	18
表 2-3. BOOT 模式	19
表 2-4. 采样周期与外部输入阻抗关系	21
表 2-5. SWD 下载调试接口分配	23
表 4-1. 封装型号说明	27
表 5-1. 版本历史	28

1. 前言

本文是专为基于Arm® Cortex®-M23架构的32位通用MCU GD32C2x1系列开发者提供的，对GD32C2x1系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32C2x1系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32C2x1系列电源管理、供电的设计；
2. 电源检测及复位，主要介绍GD32C2x1系列电源检测及复位的功能设计；
3. 时钟，主要介绍GD32C2x1系列高、低速时钟的功能设计；
4. 启动配置，主要介绍GD32C2x1系列BOOT配置及设计；
5. 典型外设模块，主要介绍GD32C2x1系列主要功能模块硬件设计；
6. 下载调试电路，主要介绍GD32C2x1系列推荐典型下载调试电路；
7. 参考电路及PCB Layout设计，主要介绍GD32C2x1系列硬件电路设计及PCB Layout设计注意事项；
8. 封装说明，主要介绍GD32C2x1系列所包含的封装形式及命名。

该文档也满足了基于GD32C2x1系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

类型	型号
MCU	GD32C231xx 系列
	GD32C221xx 系列
	GD32C211xx 系列

2. 硬件设计

2.1. 电源

GD32C2x1系列V_{DD}/V_{DDA}工作电压范围为2.3 V ~ 5.5 V。如[图2-1. GD32C231 / GD32C221系列电源域概览](#)和[图2-2. GD32C211系列电源域概览](#)所示，GD32C2x1系列设备有两个电源域，包括V_{DD}/V_{DDA}域、1.2 V域。V_{DD}/V_{DDA}域由电源直接供电，且在V_{DD}/V_{DDA}域中嵌入了一个LDO，用来为1.2 V域提供1.2V电源。

图 2-1. GD32C231 / GD32C221 系列电源域概览

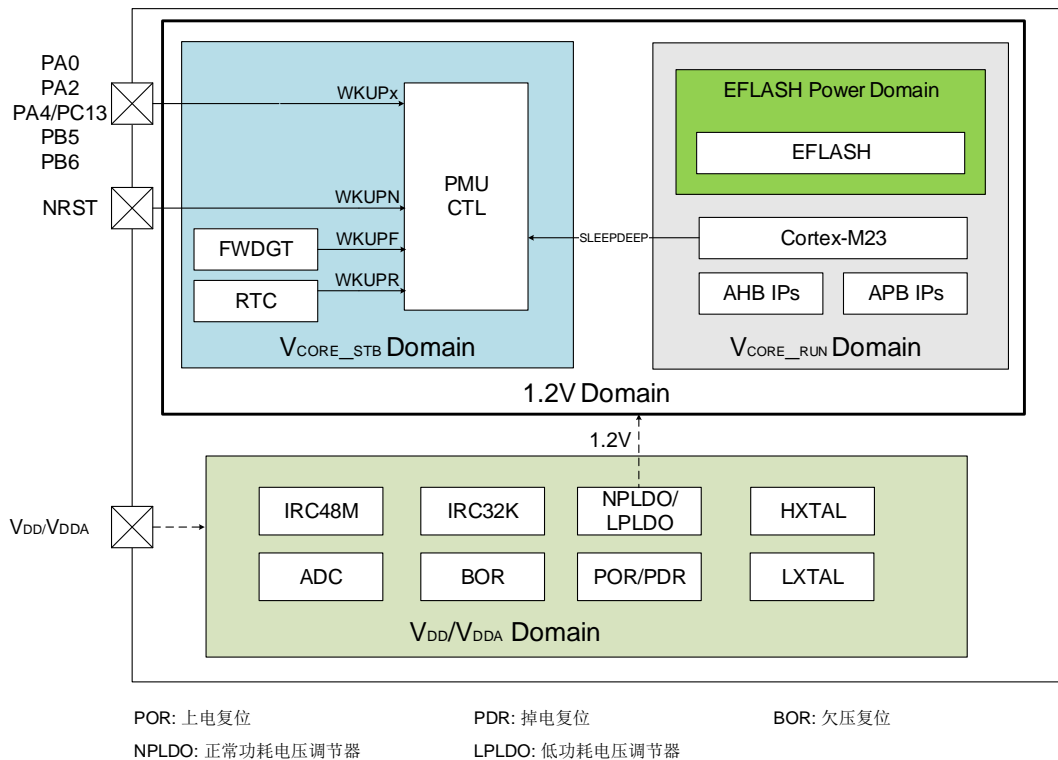
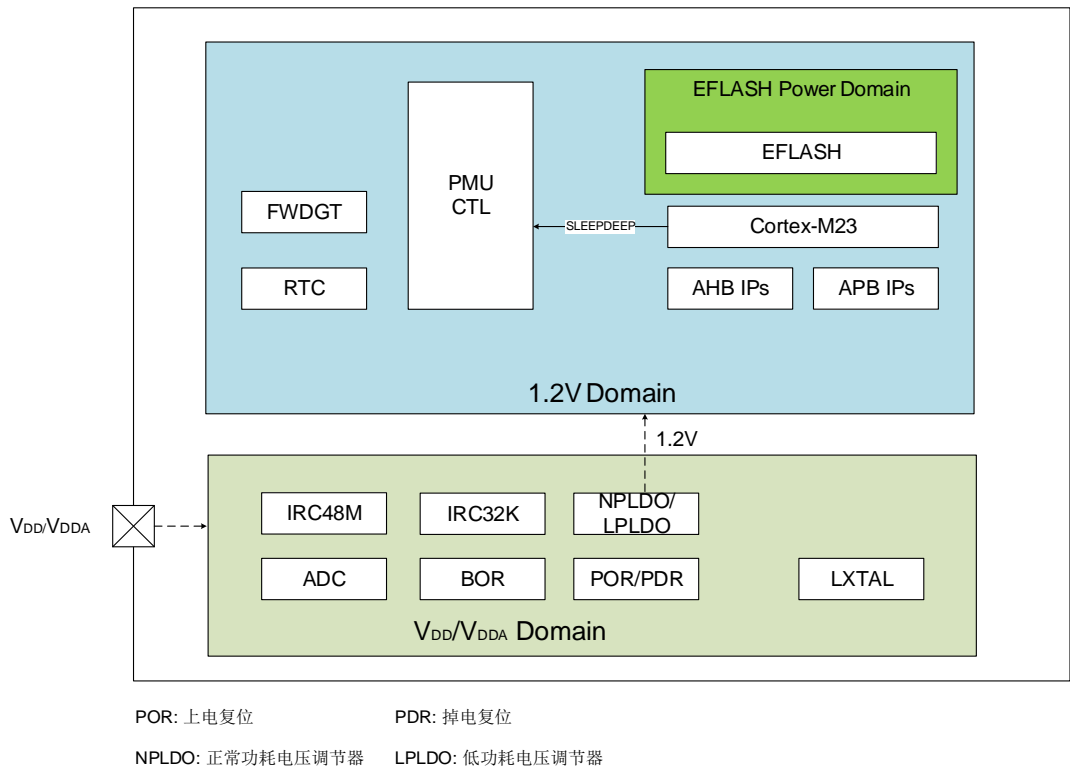


图 2-2. GD32C211 系列电源域概览



2.1.1. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA} 域包括HXTAL（高速外部晶体振荡器。GD32C211系列仅支持高速时钟外灌。）、LXTAL（低速外部晶体振荡器）、NPLDO、LPLDO、POR/PDR（上电 / 掉电复位）、BOR（欠压复位）、ADC（A/D转换器）、IRC48M（内部48M RC振荡器）、IRC32K（内部32kHz RC振荡器）等等。

为了提高ADC的转换精度，在48引脚封装上单独引出VREFP引脚为ADC提供参考电源。

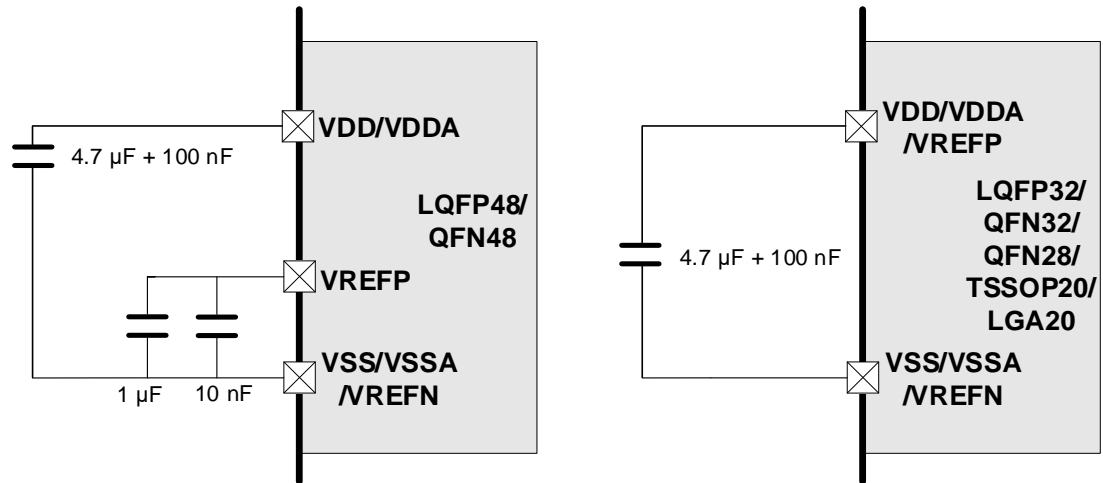
- 48引脚的封装芯片含有VREFP引脚， V_{REFP} 由外部电源提供或者外部连接到 V_{DD}/V_{DDA} ；
- 小于48引脚的封装芯片无VREFP引脚， V_{REFP} 在内部直连至 V_{DD}/V_{DDA} 。

2.1.2. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD}/V_{DDA} 引脚必须外接电容（100nF陶瓷电容+不小于4.7uF钽电容）；
- VREFP引脚可连接至 V_{DD}/V_{DDA} ，需外接10nF+1uF陶瓷电容。

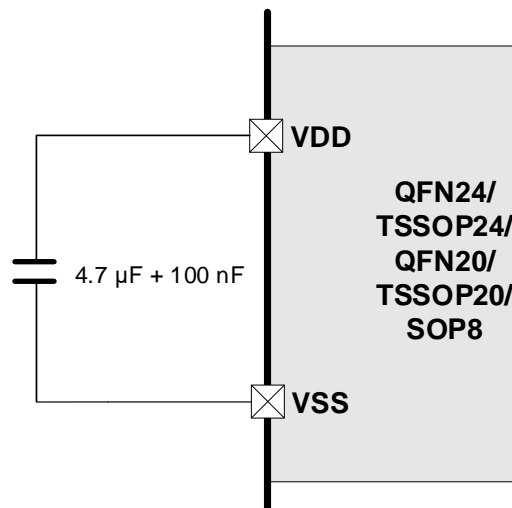
图 2-3. GD32C231 / GD32C221 系列推荐供电设计



注意:

1. 所有去耦电容须靠近芯片对应引脚放置;
2. 当MCU电源电压不稳定, 或有电压跌落等风险时, 建议将VDD/VDDA引脚的4.7uF电容调整为不低于10uF的电容;
3. LQFP48: VSS、VSSA、VREFN内部直连, VDD、VDDA内部直连;
4. QFN48: VSS、VSSA、VREFN内部和EPAD直连, VDD、VDDA内部直连;
5. LQFP32: VSS、VSSA、VREFN内部直连, VREFP、VDD、VDDA内部直连;
6. QFN32: VSS、VSSA、VREFN内部和EPAD直连, VREFP、VDD和VDDA内部直连;
7. TSSOP20: VSS、VSSA、VREFN内部直连, VREFP、VDD、VDDA内部直连;
8. LGA20: VSS、VSSA、VREFN内部直连, VREFP、VDD和VDDA内部直连。

图 2-4. GD32C211 系列推荐供电设计



注意:

1. 所有去耦电容须靠近芯片对应引脚放置;
2. 当MCU电源电压不稳定, 或有电压跌落等风险时, 建议将VDD/VDDA引脚的4.7uF电容调整为不低于10uF的电容;

3. QFN24: VSS、VREFN内部和EPAD直连, VDD、VREFP内部直连;
4. TSSOP24: VSS、VREFN内部直连, VDD、VREFP内部直连;
5. QFN20: VSS、VREFN内部直连, VDD、VREFP内部直连;
6. TSSOP20: VSS、VREFN内部直连, VDD、VREFP内部直连;
7. SOP8: VSS、VREFN内部直连, VDD、VREFP内部直连。

2.2. 电源检测及复位

GD32C231xx / GD32C221xx 系列复位控制包括三种复位: 电源复位、系统复位和备份寄存器复位。GD32C211xx 复位控制包括三种控制方式: 电源复位、系统复位、RTC 复位。电源复位为冷复位, GD32C231xx / GD32C221xx 系列电源复位复位所有除了备份域的寄存器, GD32C211 系列电源复位复位所有的寄存器。电源和系统复位的过程中, NRST 会维持一个低电平, 直至复位结束。MCU 无法执行起来时, 可以通过示波器监测 NRST 管脚波形来判断芯片是否有一直发生复位事件。

另外, MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021074)来判断, 该寄存器只有上电复位才能清除标志位, 所以在使用过程中, 获取到复位源后, 可通过RSTFC控制位清除复位标志, 那样发生看门狗复位或其他复位事件时, 才能较准确在RCU_RSTSCK寄存器中体现出来:

图 2-5. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	BORRST	RSTFC	OBLR	保留						
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	F		RSTF							
r	r	r	r	r	r	r	r	r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													IRC32K	IRC32K	
													STB	EN	
													r	r	

MCU内部集成有上电/掉电复位电路, 在设计外部复位电路时, NRST管脚必须要放置一个电容(典型值100nF), 确保NRST管脚上电能产生一个至少20us的低脉冲延时, 完成有效上电复位过程。

图2-6. GD32C231xx / GD32C221xx系列系统复位电路

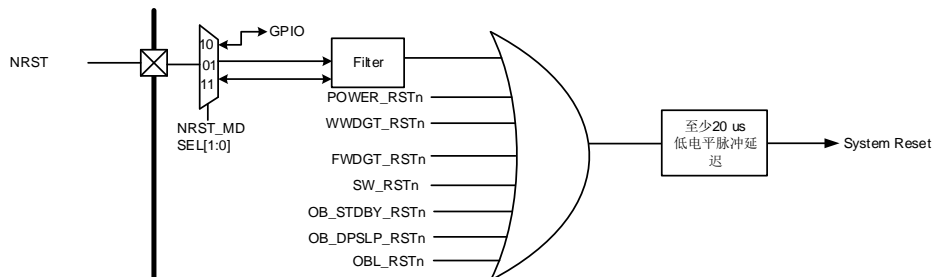
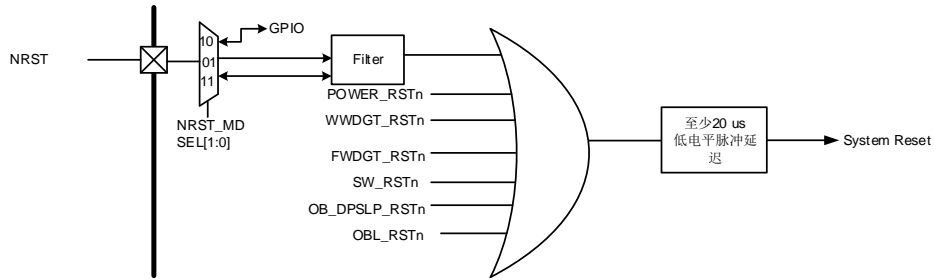


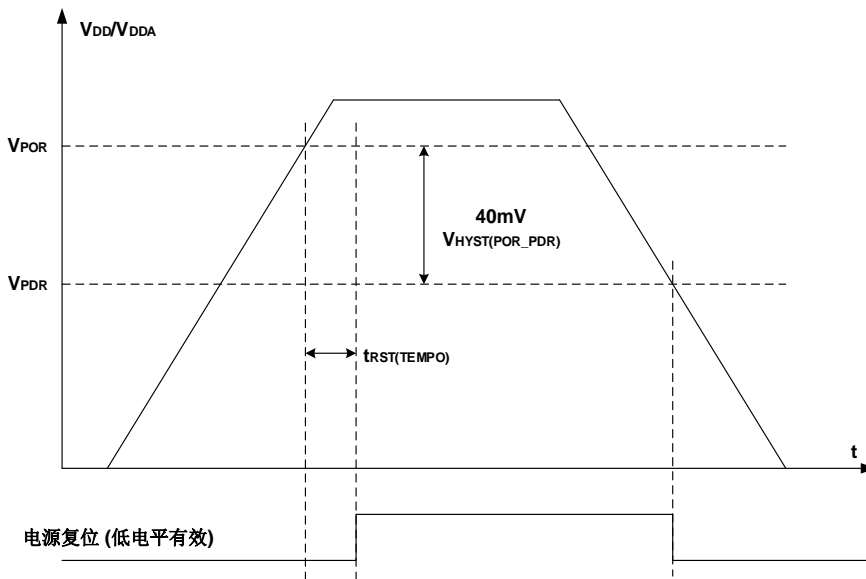
图2-7. GD32C211xx系列系统复位电路



2.2.1. POR / PDR

芯片内部集成 POR/ PDR（上电/掉电复位）电路，用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号，对于 GD32C231/ GD32C221 系列复位除 V_{CORE_STB} 域之外的所有寄存器，对于 GD32C211 系列复位所有寄存器。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压。迟滞电压 $V_{HYST}(POR_PDR)$ 值约为 40mV。

图2-8. 上电/掉电复位波形图



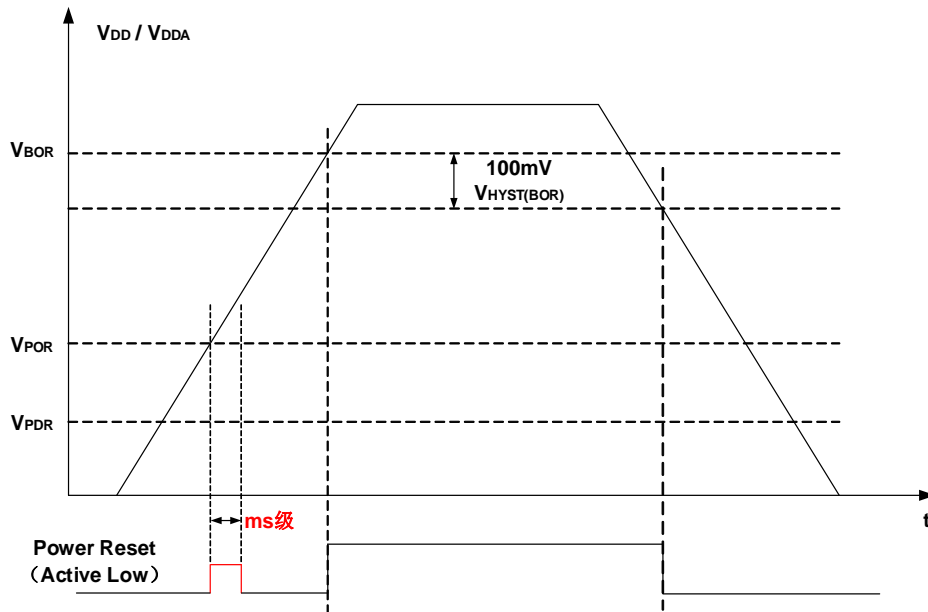
系统上电过程，当 V_{DD} 上升至 V_{POR} ，延迟 $t_{RST}(TEMPO)$ 后触发电源复位，在电源复位释放为高电平前，需确保 V_{DD} 上升至 V_{DD_MIN} ，确保系统正常运行。系统掉电过程，当 V_{DD} 下降至 V_{PDR} ，电源复位并保持低电平。

由于 $V_{DD_MIN} = 2.3V$ ， $V_{POR} \approx V_{PDR} \approx 1.6V$ ，电压区间较大。当 V_{DD} 电压处于 $V_{POR} \sim V_{DD_MIN}$ 或 $V_{DD_MIN} \sim V_{PDR}$ 区间，且 NRST 为高电平时，系统可能处于异常运行状态，用户可要通过配置选项字节 BORST_EN 使能 BOR，配置 BOR 电压接近 V_{DD_MIN} 规避异常风险。

2.2.2. BOR

GD32C2x1 系列 MCU 内部还集成有 BOR 电路。BOR 电路用于检测 V_{DD} / V_{DDA} 。在电压低于选项字节的 $BORR_TH$ 和 $BORF_TH$ 定义的阈值时，BOR 会产生电源复位信号复位除 V_{CORE_STB} 域的整个芯片。注意 POR/PDR（上电 / 掉电复位）电路总是处于检测状态。BOR 通过置位选项字节中的 $BORST_EN$ 位使能。[图 2-9. BOR 阈值波形图](#)显示了供电电压和 BOR 复位信号之间的关系。 V_{BORR} 和 V_{BORF} 表示 BOR 复位的阈值电压，该值在选项字节 $BORR_TH$ 和 $BORF_TH$ 中定义。BOR 的迟滞电压 $V_{HYST(BOR)}$ 为 100 mV。

图2-9. BOR阈值波形图



BOR 阈值通过选项字节 $BORR_TH$ 、 $BORF_TH$ 设置，可以设置四种不同的 level。另外可以通过 $BORST_EN$ 配置电压波动复位失能，此时上电复位由 POR/PDR 级别定义。对应关系参照下表：

表 2-1. V_{BOR} 阈值电压设置

名称	条件	典型值	
		GD32C231 GD32C221	GD32C211
$BORF_TH=BORR_TH=11$ (BOR level4)	上升沿	2.90 V	2.90 V
	下降沿	2.80 V	2.80 V
$BORF_TH=BORR_TH=10$ (BOR level3)	上升沿	2.60 V	2.60 V
	下降沿	2.50 V	2.50 V
$BORF_TH=BORR_TH=01$ (BOR level2)	上升沿	2.30 V	2.30 V
	下降沿	2.20 V	2.20 V
$BORF_TH=BORR_TH=00$ (BOR level1)	上升沿	2.10 V	2.10 V
	下降沿	2.00 V	2.00 V
$BORST_EN=0$ (BOR off, POR and PDR on)	上升沿	1.633 V	1.62 V
	下降沿	1.593 V	1.58 V

不管BOR是否使能，POR / PDR（上电 / 掉电复位）电路总是处于检测状态。因此，电源复位电平都会在 V_{DD}/V_{DDA} 上升到 V_{POR} 时，被拉高一次，加载选项字节使能BOR后会迅速拉低，直到 V_{DD}/V_{DDA} 上升到选项字节BORR_TH设置的 V_{BOR} ，电源复位电平会再次被拉高。

即，在 V_{DD}/V_{DDA} 上升过程中，NRST引脚电压会在 V_{DD}/V_{DDA} 达到 V_{POR} 时出现一个脉冲。该脉冲持续时间为ms级。该脉冲不会影响芯片正常工作，其示意如图2-9. BOR阈值波形图中红色脉冲所示。

2.2.3. NRST 引脚

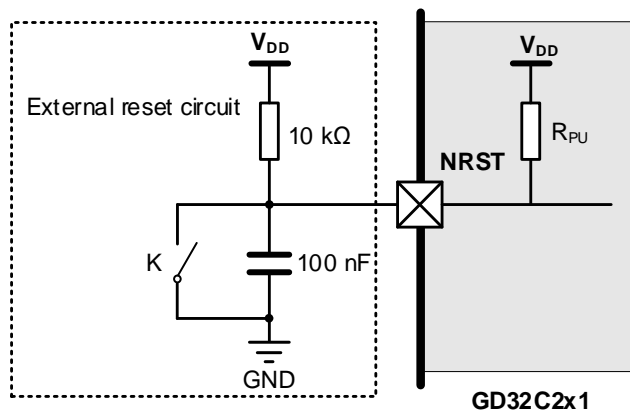
NRST引脚具备3种模式，可通过配置选项字节控制寄存器FMC_OBCTL的NRST_MDSEL[1:0]位选择：

1. 输入/输出模式（默认模式）：NRST引脚的GPIO功能不可用，复位信号可以从NRST引脚传输到MCU，导致MCU复位，复位脉冲信号可以通过NRST引脚反应出来，最小复位脉冲持续时间为20us。
2. 输入模式：NRST引脚的GPIO功能不可用，复位信号可以从NRST引脚传输到MCU并使其发生复位，MCU的内部复位信号不反映在NRST引脚上。
3. GPIO模式：NRST引脚只能作为标准GPIO使用，复位功能不可用，MCU内部复位信号不反映在NRST引脚上。

选项字节字节在每次上电复位或在FMC_CTL寄存器中OBRDL位置1后，重新加载并生效。因此，在选项字节加载生效前，NRST引脚为默认模式的NRST功能。若配置NRST引脚为GPIO输入模式，则在选项字节加载生效前该引脚避免接外部低电平，否则系统处于复位状态无法正常运行。

对于MCU的NRST引脚，为防止误触发复位，NRST管脚建议放置一个电容（典型值为100 nF）。

图 2-10. 推荐外部复位电路



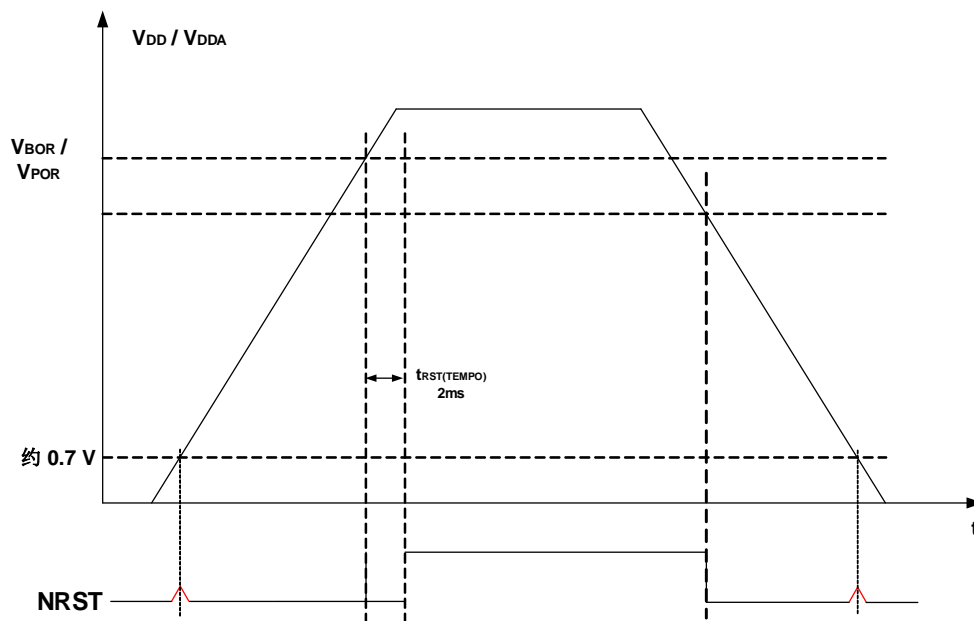
注意：

1. 上拉电阻建议10kΩ即可，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区；

5. 对于GD32C211系列SOP8封装，PA0、PA1、PA2和NRST-PC2的4个IO pad同时bonding到引脚4上，引脚4出厂默认配置为NRST功能。用户可以通过配置选项字节FMC_OBCTL的NRST_MDSEL[1:0]=10，再配置SYSCFG_CFG3_PINMUX1将引脚4配置成其他IO功能，在选项字节加载生效前，引脚4避免接外部低电平，否则芯片处于复位状态无法正常运行。

因MOS管门限电压特性，在芯片上下电过程中，当 $V_{DD}/V_{DDA} < 0.7V$ 时，芯片内部下拉MOS管不会将NRST引脚拉低。即，在芯片上下电过程中，在 $V_{DD}/V_{DDA} \approx 0.7V$ 时，会出现一个微小脉冲，该脉冲不影响芯片正常工作，其示意如下图2-8中红色脉冲所示。

图 2-11. NRST 引脚上下电 MOS 管脉冲示意图



因充电和放电速度差异，下降沿的脉冲持续时间比上升沿长一些，二者持续时间都是ms级。

2.3. 时钟

GD32C2x1系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源。其中，GD32C231/ GD32C221系列时钟主要特征：

- 4-48 MHz外部高速晶体振荡器(HXTAL)
- 48 MHz内部高速RC振荡器(IRC48M)
- 32.768 kHz外部低速晶体振荡器 (LXTAL)
- 32 kHz内部低速RC振荡器(IRC32K)
- HXTAL和LXTAL时钟监视器

GD32C211系列因引脚PC14-OSC32IN/OSCEXTIN的功能复用，不可同时使用高速外灌时钟OSCEXTIN和LXTAL。GD32C211系列时钟主要特征：

- 4到48MHz外部高速外灌时钟（OSCEXTIN）；
- 内部48MHz RC振荡器（IRC48M）；
- 32768 Hz外部低速晶体振荡器（LXTAL）；

- 内部32KHz RC振荡器（IRC32K）；
- LXTAL时钟监视器。

图 2-12. GD32C231/ GD32C221 系列时钟树

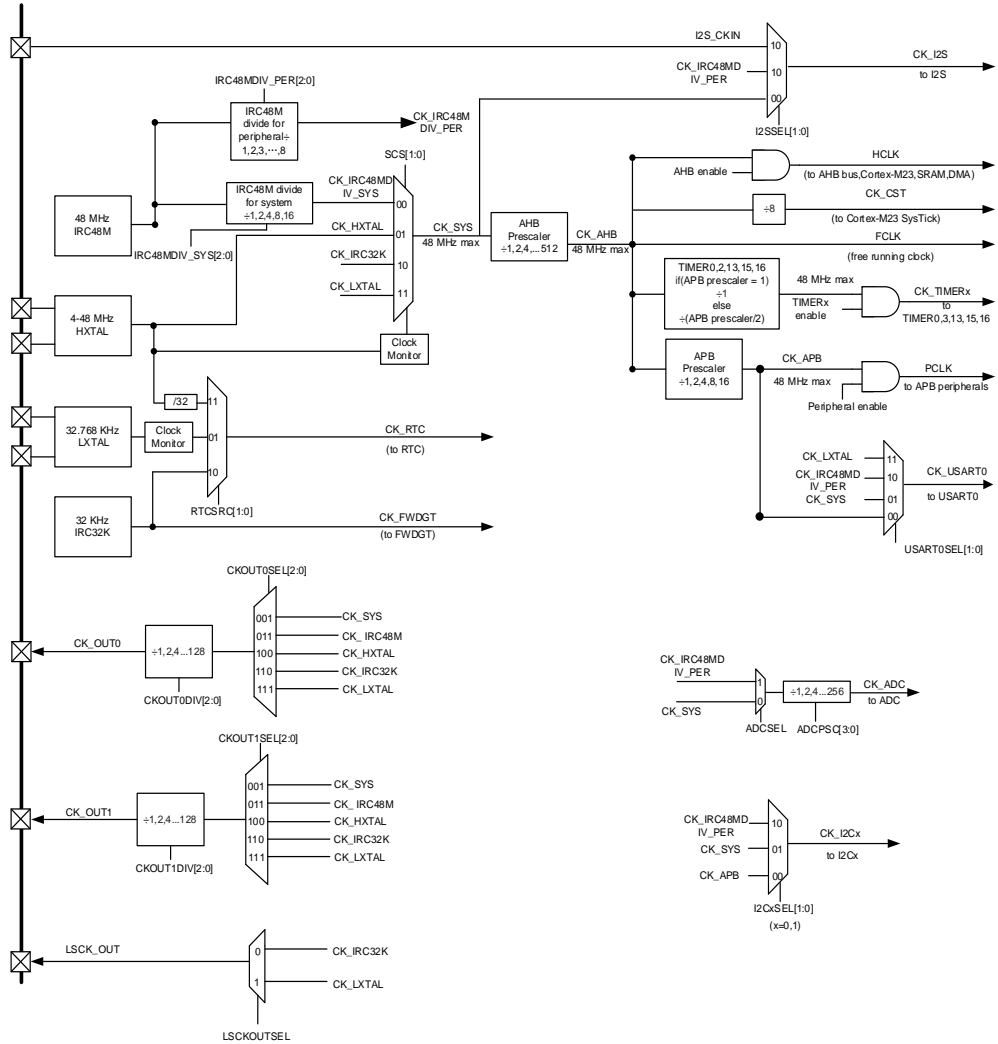


图 2-14. HXTAL 外部晶体电路

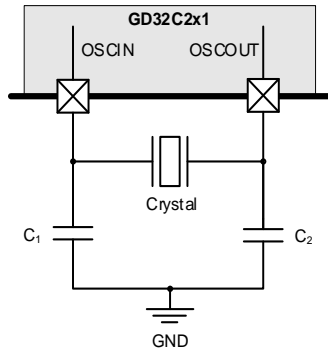
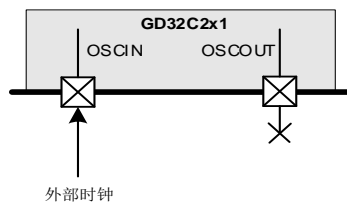


图 2-15. HXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从 OSCIN 输入，OSCOUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_s)$ ，其中 C_s 为 PCB 和 MCU 引脚的杂散电容，典型值为 10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚；
3. C_s 为 PCB 板走线及 IC pin 上的寄生电容，当晶体离 MCU 越近， C_s 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > IRC48M；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}/V_{DDA}，低电平不大于 0.3V_{DD}/V_{DDA}。如不打开 Bypass，对有源晶振的振幅幅值要求会大大降低；
7. 谐振器与 MCU 时钟引脚连接的走线可能会应为 PCB 布局布线的空间限制导致连接到 OSCOUT 和 OSCIN 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 晶体是一个 32.768 kHz 的低速外部晶体（无源晶体），能够为 RTC 提供一个低功耗且高精度的时钟源。MCU 的 RTC 模块相当于一个计数器，精度会受到晶体性能、匹配电容以及 PCB 材质等影响，如果想要获取到较好精度，在电路设计时，建议将 RTC_OUT 引脚接至定时器输入捕获管脚，通过 TIMER 来对 LXTAL 进行校准，根据校准情况设定 RTC 的分频寄存器。LXTAL 支持旁路时钟输入（有源晶振等），可通过配置 RCU_CTL1 寄存器的 LXTALBPS 位来使能。LXTAL 使用 Bypass 模式时，OSC32OUT 可以悬空，也可以配置成 GPIO 或者 OSC32EN 功能。

其中，OSC32EN功能可以向外部时钟源提供时钟使能信号，当MCU进入低功耗模式时可请求停止外部时钟源，降低系统功耗。

图 2-16. LXTAL 外部晶体电路

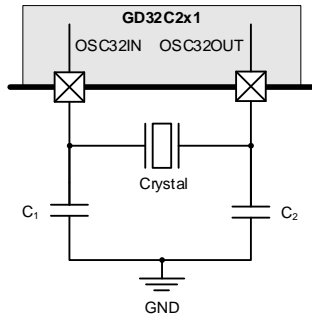
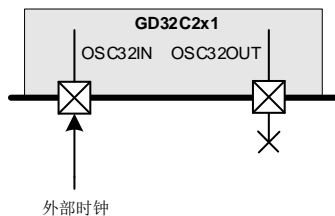


图 2-17. LXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC32IN输入，OSC32OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. MCU可以设置LXTAL的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试配置 $RCU_CTL1_LXTALDRI = 1$ 将LXTAL的驱动能力调整为高驱动能力；
4. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到MCU两个晶振引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

GD32C2x1系列MCU可输出从32 kHz到48 MHz的时钟。通过设置时钟配置寄存器RCU_CFG0中的CK_OUT时钟源选择位域CKOUTSEL能够选择不同的时钟信号。相应的GPIO引脚应该被配置成备用功能I/O(AFIO)模式来输出选择的时钟信号。

表 2-2. CKOUTSEL[2:0]控制位

CKOUTSEL[2:0]	时钟源	
	GD32C231 GD32C232	GD32C211
000	无时钟	无时钟
001	CK_SYS	CK_SYS
010	保留	保留
011	CK_IRC48M	CK_IRC48M
100	CK_HXTAL	CK_HXTAL (OSCEXTIN)
101	保留	保留
110	CK_IRC32K	CK_IRC32K
111	CK_LXTAL	CK_LXTAL

2.3.4. HXTAL 时钟监视器 (CKM)

设置时钟控制寄存器RCU_CTL0中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，时钟中断寄存器RCU_INT中的HXTAL时钟阻塞标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断和Cortex®-M23的不可屏蔽中断相连。

注意：CKM仅适用于GD32C231 / GD32C221系列；如果HXTAL被选作系统，HXTAL故障将促使选择IRC48MDIV_SYS为系统时钟源。

2.3.5. LXTAL 时钟监视器 (LCKM)

设置时钟控制寄存器 RCU_CTL0 中的 LXTAL 时钟监视使能位时钟监视使能位 LCKMEN，LXTAL 可以使能时钟监视功能。该功能必须在 LXTAL 启动延迟完毕和 IRC32K 使能后使能。

对于 GD32C231 / GD32C221 系列，LXTAL 上的时钟监视器在除 V_{CORE_STB} 以外的所有模式下工作；对于 GD32C211 系列，LXTAL 上的时钟监视器在所有模式下工作。如果在外部 32KHz 振荡器上检测到故障，可以向 CPU 发送中断。这个故障引发的中断和 Cortex®-M23 的不可屏蔽中断 NMI 相连。如果 LXTAL 被选为 CK_SYS 的时钟源，LXTAL 故障将会迫使 CK_SYS 源到 IRC32K 将自动禁用。

然后，软件必须禁用 LCKMEN 位，停止有缺陷的 32kHz 振荡器，并更改 RTC 时钟源，或采取任何必要的措施来保护应用程序。

当 LCKMEN 启用时，一个 4 位加一个计数器将在 IRC32K 域工作。如果 LXTAL 时钟卡在 0/1 错误或减慢约 20KHz，计数器将溢出。将发现 LXTAL 时钟故障。

2.4. 启动配置

GD32C2x1 系列微控制器提供了三种引导源，可以通过BOOT0引脚和用户选项字节中的引导模式配置位 (BOOTLK, nBOOT1, SWBT0, nBOOT0) 来进行选择。当SWBT0位配置为0时，BOOT0引脚的电平状态会在复位后的第四个CK_SYS(系统时钟)的上升沿进行锁存，BOOT0

引脚电平被采样后，该引脚可以被释放并用于其他用途。当SWBT0为配置1时，通过配置引导模式配置位（BOOTLK, nBOOT1, nBOOT0）选择所需的启动源，BOOT0引脚电平无效。

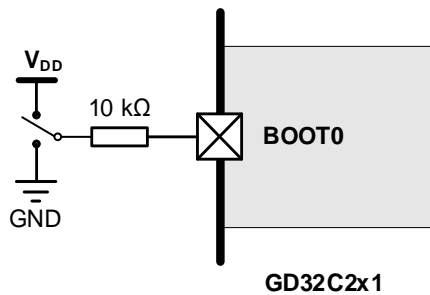
嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。Bootloader可以通过USART0/1, I2C0和外界交互。

无论其他模式如何配置，都可以通过配BOOTLK位从主Flash存储器的唯一入口进行强制引导。

表 2-3. BOOT 模式

引导源选择	启动模式配置				
	BOOTLK	nBOOT1 位	BOOT0 引脚	SWBT0 位	nBOOT0 位
主 Flash 存储器	0	x	0	0	x
System 存储器	0	1	1	0	x
片上 SRAM	0	0	1	0	x
主 Flash 存储器	0	x	x	1	1
System 存储器	0	1	x	1	0
片上 SRAM	0	0	x	1	0
主 Flash 存储器	1	x	x	x	x

图 2-18. 推荐 BOOT 电路设计



注意：

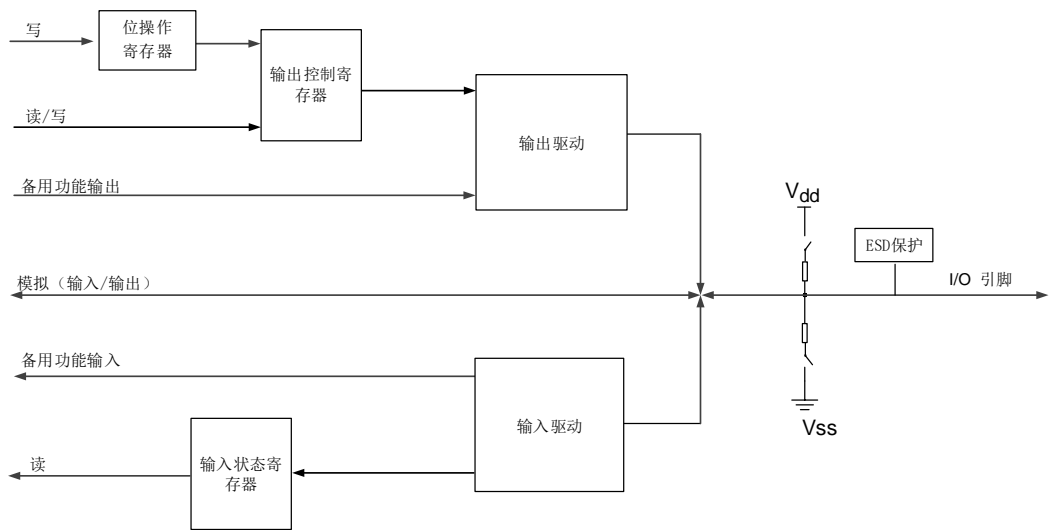
1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT0引脚状态被采样到，它可以被释放用于其他用途。

2.5. 典型外设模块

2.5.1. GPIO 电路

GD32C231/ GD32C221系列最多可支持45个通用I/O引脚（GPIO），分别为PA0 ~ PA15, PB0 ~ PB15, PC6 ~ PC7, PC13 ~ PC15, PD0 ~ PD3, PF0 ~ PF3；GD32C211最多可支持22个通用I/O引脚（GPIO），分别为PA0 ~ PA15, PB3 ~ PB8, PC14 ~ PC15。每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-19. 标准 IO 的基本结构

**注意：**

1. IO口分为N5T和5VT两种类型，对于N5T的IO，要求GPIO的输入电压 $V_{IN} \leq V_{DD}/V_{DDA} + 0.3V$ 。对于5VT的IO，允许GPIO的输入电压 $V_{IN} > V_{DD}/V_{DDA}$ ，但要求 $V_{IN} \leq 5.5V$ ；
2. 5VT的IO口配置为开漏模式时，需要外部上拉来工作；
3. GD32C2x1的GPIO符合CMOS和TTL标准，当与支持TTL电平的器件进行通讯时，要求 $2.7V \leq V_{DD}/V_{DDA} \leq 3.6V$ ；
4. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
5. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PD0、PF0仅支持四个中的其中一个IO口产生外部中断，不支持四个同为外部中断模式；
7. 对于GD32C211系列SOP8封装，存在多个IO pad同时连接到同一个引脚上，用户可通过SYSCFG_CFG3配置相应引脚为目标GPIO功能。特别地，引脚4上同时连接PA0、PA1、PA2和NRST-PC2的4个IO pad，且引脚4出厂默认配置为NRST功能。用户可以通过配置选项字节FMC_OBCTL的NRST_MDSEL[1:0]=10，再配置SYSCFG_CFG3_PINMUX1将引脚4配置成其他IO功能，在选项字节加载生效前，引脚4避免接外部低电平，否则芯片处于复位状态无法正常运行。

2.5.2. ADC 电路

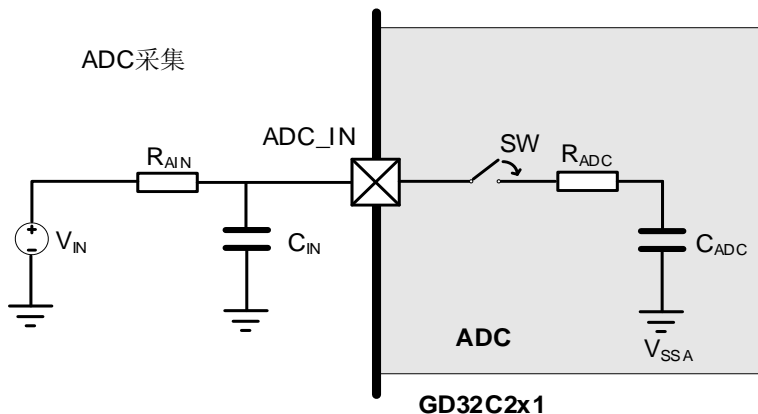
GD32C2x1内部集成了一个12位的SAR ADC。GD32C231/GD32C221系列最多支持16个通道，可测量13个外部和3个内部信号源，内部信号为温度传感器 V_{SENSE} 通道（ADC_CH13）、内部参考电压 V_{REFINT} 输入通道（ADC_CH14）、ADC正参考电压 V_{REFP} 输入通道（ADC_CH15）；GD32C211系列最多支持11个通道，可测量9个外部和2个内部信号源，内部信号为温度传感器 V_{SENSE} 通道（ADC_CH9）、内部参考电压 V_{REFINT} 输入通道（ADC_CH10）。

温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压 V_{REFINT} 提供了一个稳定的电压输出（1.2V）给到ADC。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部V_{REFINT}进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500pF的小电容即可。

图 2-20. ADC 采集电路设计



ADC输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-4. 采样周期与外部输入阻抗关系

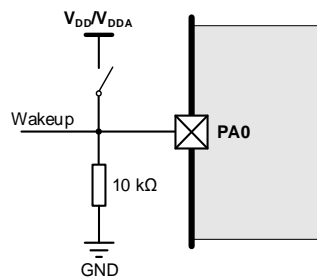
Resolution	Sampling cycles	GD32C231 GD32C232		GD32C211	
		$f_{ADC} = 24\text{MHz}$		$f_{ADC} = 16\text{MHz}$	
		t_s (μs)	R_{AIN} max (k Ω)	t_s (μs)	R_{AIN} max (k Ω)
12 bits	2.5	0.104	0.441	/	/
	3.5	0.146	0.979	0.219	1.61
	7.5	0.313	3.125	0.469	4.83
	12.5	0.521	5.809	0.781	8.86
	19.5	0.813	9.566	1.219	14.49
	39.5	1.656	20.300	2.469	30.6
	79.5	3.313	41.769	4.968	62.8
10 bits	2.5	0.104	0.665	/	/
	3.5	0.146	1.292	0.219	2.08
	7.5	0.313	3.796	0.469	5.84
	12.5	0.521	6.927	0.781	10.5
	19.5	0.813	11.310	1.219	17.11
	39.5	1.656	23.833	2.469	35.9
	79.5	3.313	48.880	4.968	73.47
8 bits	2.5	0.104	0.979	/	/

Resolution	Sampling cycles	GD32C231 GD32C232		GD32C211	
		$f_{ADC} = 24\text{MHz}$		$f_{ADC} = 16\text{MHz}$	
		t_s (μs)	R_{AIN} max (k Ω)	t_s (μs)	R_{AIN} max (k Ω)
	3.5	0.146	1.730	0.219	2.74
	7.5	0.313	4.736	0.469	7.25
	12.5	0.521	8.493	0.781	12.88
	19.5	0.813	13.752	1.219	20.77
	39.5	1.656	28.780	2.469	43.32
	79.5	3.313	58.836	4.968	88.4
	160.5	6.688	119.700	10.03	179.7
6 bits	2.5	0.104	1.448	/	/
	3.5	0.146	2.387	0.219	3.73
	7.5	0.313	6.144	0.469	9.36
	12.5	0.521	10.840	0.781	16.41
	19.5	0.813	17.415	1.219	26.27
	39.5	1.656	36.200	2.469	54.45
	79.5	3.313	73.770	4.968	110.8
	160.5	6.688	149.850	10.03	224.9

2.5.3. Standby 模式唤醒电路

GD32C231/ GD32C221系列产品具备六种省电模式可以实现更低的功耗，它们是运行模式1，睡眠模式，睡眠模式1，深度睡眠模式，深度睡眠模式1和待机模式。其中功耗最低的是Standby待机模式，此低功耗模式需要的唤醒时间也是最长的。从Standby模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPENx位即可。对应WKUP唤醒引脚参考电路设计如下：

图 2-21. 推荐 Standby 外部唤醒引脚电路设计



注意：

1. 该模式在电路设计时需要注意，WKUP引脚至V_{DD}/V_{DDA}间如果有串电阻，可能会增加额外的功耗；
2. 如果WUPEN0在进入省电模式(Standby)之前置1，WKUP0引脚的上升沿会将系统从省电模式唤醒。由于WKUP0引脚为高电平有效，WKUP0引脚内部被配置为输入下拉模式。当

在输入已经为高的时候置位该控制位，将会触发一个唤醒事件，其他WKUP位同理，具体可参考用户手册。

2.6. 下载调试电路

GD32C2x1系列内核仅支持SWD调试接口。SWD接口标准为5针接口，其中2根信号接口。

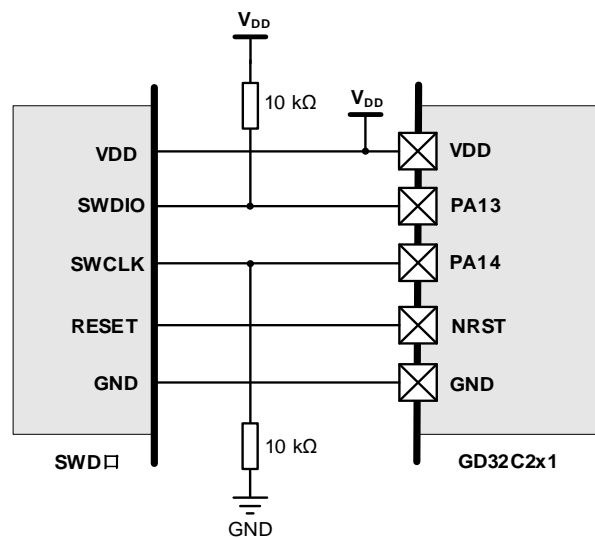
注意：

1. SWCLK与BOOT0共享一个GPIO (PA14)，用户选项字节SWBT0位出厂初始配置为1，此时BOOT0引脚电平无效，可通过用户选项字节中的引导模式配置位（BOOTLK比特位，nBOOT1比特位，nBOOT0比特位）选择引导模式。复位后，PA14引脚默认功能为SWCLK，调试相关端口为输入PU/PD模式，其中：
PA13： SWDIO为上拉模式
PA14： SWCLK为下拉模式
2. 当用户选项字节SWBT0位配置为0时，BOOT0引脚的电平状态会在复位后的第四个CK_SYS(系统时钟)的上升沿进行锁存，然后被释放用于其他用途，释放后的默认功能为SWCLK。在BOOT0引脚的电平状态锁存前，调试相关端口未配置为输入PU/PD模式。

表 2-5. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-22. 推荐 SWD 接线参考设计



有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1kΩ电阻。

2.7. 参考原理图设计

图 2-23. GD32C231/ GD32C221 推荐参考原理图设计

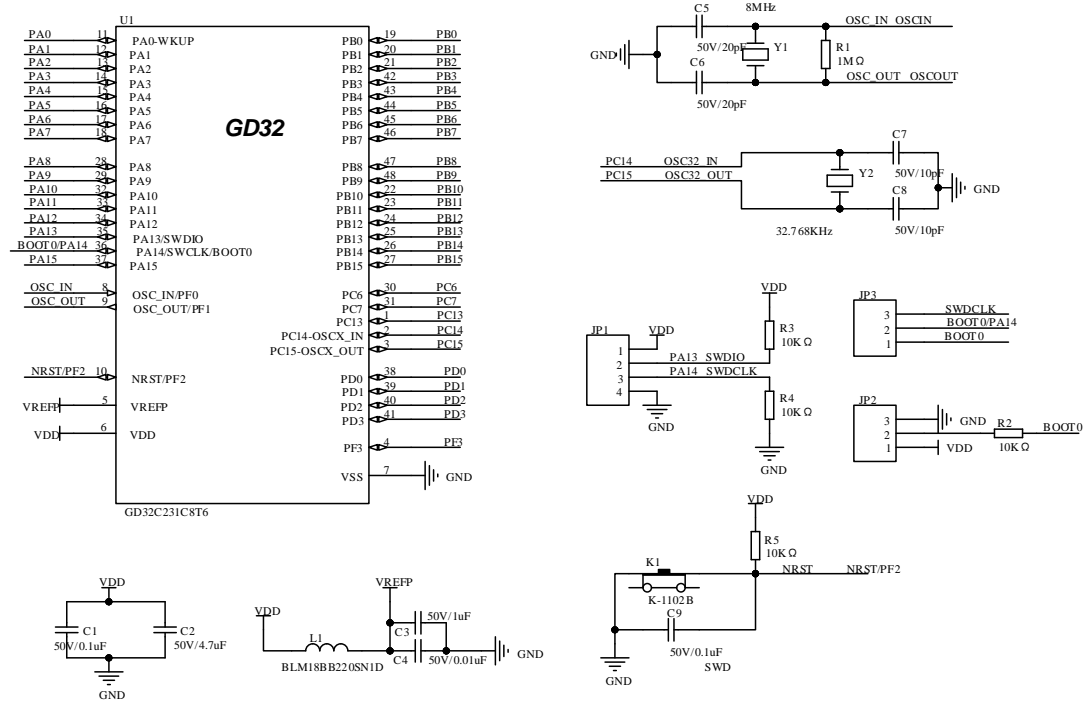
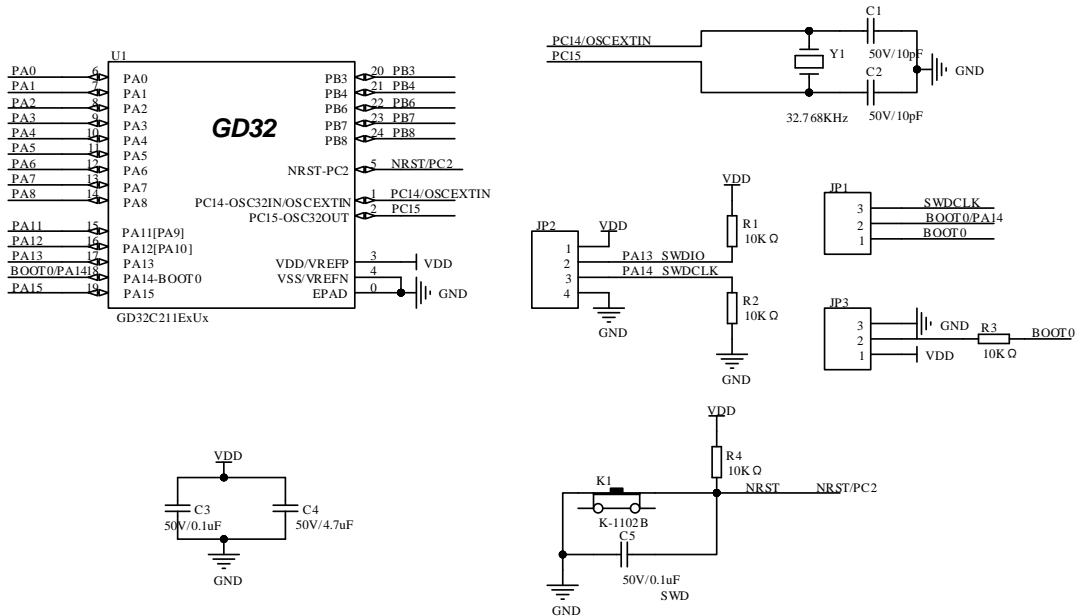


图 2-24. GD32C211 推荐参考原理图设计



3. PCB Layout 设计

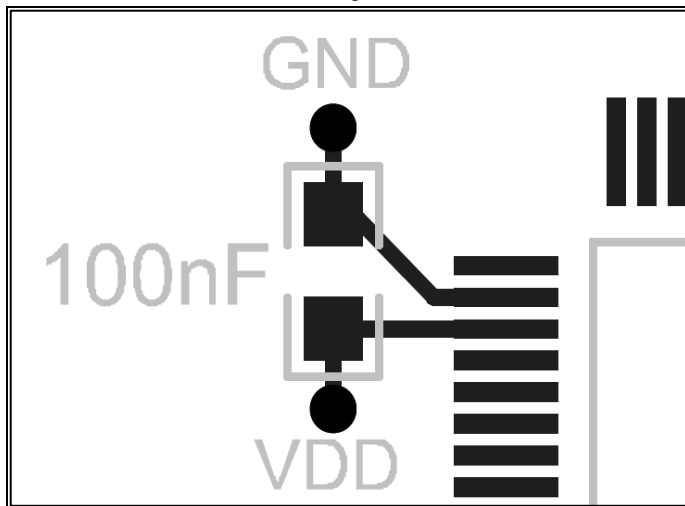
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32C2x1系列电源有VDD/VDDA、VREFP等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容焊盘处打孔连接到地。

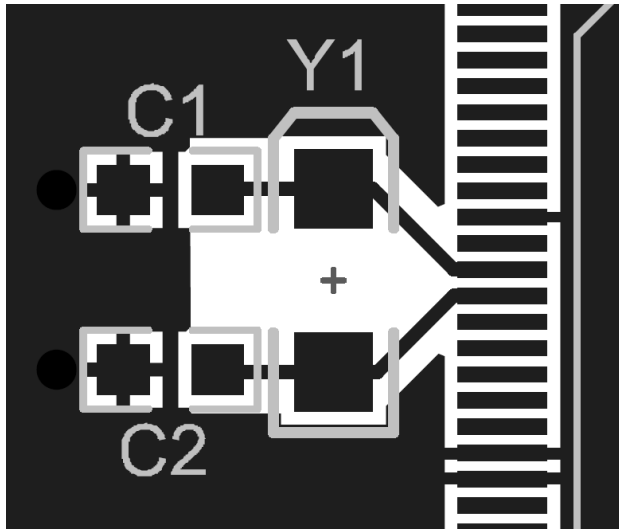
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32C2x1系列时钟的HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



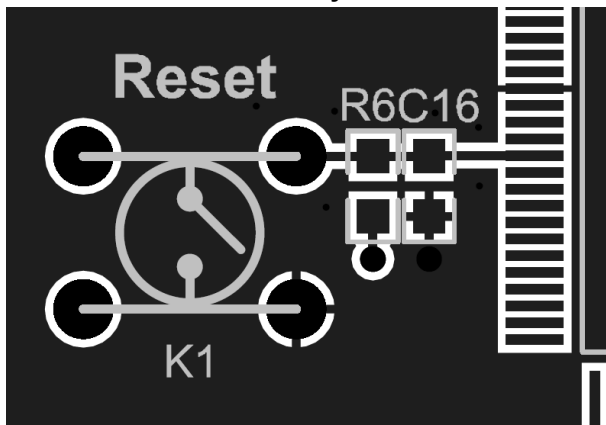
注意：

1. 晶体尽量靠近MCU时钟Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

4. 封装说明

GD32C231系列共有7种封装形式，分别为LQFP48、QFN48、LQFP32、QFN32、QFN28、TSSOP20和LGA20。

GD32C221系列共有3种封装形式，分别为LQFP48、QFN32和TSSOP20。

GD32C211系列共有5种封装形式，分别为QFN24、TSSOP24、QFN20、TSSOP20和SOP8。

表 4-1. 封装型号说明

产品型号	封装
GD32C231CxTx	LQFP48(7X7, 0.5pitch)
GD32C231CxUx	QFN48(7X7, 0.5pitch)
GD32C231KxTx	LQFP32(7X7, 0.8pitch)
GD32C231KxUx	QFN32(5X5, 0.5pitch)
GD32C231GxUx	QFN28(4X4, 0.5pitch)
GD32C231FxPx	TSSOP20(6.4X4.4, 0.65pitch)
GD32C231FxVx	LGA20(5X5, 0.5pitch)
GD32C221CxTx	LQFP48(7X7, 0.5pitch)
GD32C221KxUx	QFN32(5X5, 0.5pitch)
GD32C221FxPx	TSSOP20(6.5X4.4, 0.65pitch)
GD32C211ExUx	QFN24(4X4, 0.5pitch)
GD32C211ExPx	TSSOP24(7.8X4.4, 0.65pitch)
GD32C211FxUx	QFN20(3X3, 0.5pitch)
GD32C211FxPx	TSSOP20(6.5X4.4, 0.65pitch)
GD32C211JxMx	SOP8(4.9X3.9, 1.27pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2025 年 06 月 03 日
1.1	新增 GD32C221/GD32C211 内容。	2025 年 09 月 08 日
1.2	新增 BOR、NRST、GPIO 配置说明。	2026 年 04 月 23 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.