GigaDevice Semiconductor Inc.

GD32E10x/C10x 芯片使用限制

勘误手册

1.1 版本

(2025 年 6 月)

目录

目录 2

图索引 4

表索引 5

1. 前言 6

1.1. 芯片版本定义 6

1.2. 芯片使用限制总览 6

2. 芯片使用限制描述 8

2.1. FMC 8

2.1.1. 当执行双字编程时，如果编程地址处的一个字为 0xFFFFFFFF，则在该地址执行双字编程操作不会导致 PGERR 位被设置 8

2.2. PMU 8

2.2.1. 在进入深度睡眠之前发生中断时，MCU 不能被唤醒 8

2.2.2. VDD 快速跌落然后回升，会导致 MCU 死机或复位 9

2.3. RCU 10

2.3.1. 当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒 10

2.3.2. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位 10

2.3.3. 当 DSLP_HOLD 置位且系统时钟选择 CK_PLL 时，在进入深度睡眠模式后 MCU 系统时钟丢失 11

2.4. ADC 11

2.4.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误 11

2.5. DAC 11

2.5.1. 当 DAC 被禁用时，DAC 输出引脚存在到 VREFP 引脚的漏电 11

2.5.2. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点 12

2.6. TIMER 12

2.6.1. 在开启输出比较影子寄存器功能时，使用 timer 捕获/比较事件触发 DMA 传输会导致数据丢失 12

2.7. USART 12
2.7.1. 当 USART 配置为 DMA 发送模式且在置位 TEN 之前开启 DMA 通道时，会导致数据丢失... 12
2.8. I2C 13
2.8.1. 由于 BTC 未清除导致多读回一个数据 13
2.8.2. SAM_V 模式下，90ms 超时中断无法被进入 13
2.8.3. 将 I2CEN 从禁能状态转为使能状态，会概率性发送一个额外的 start 信号 13
2.8.4. 当 I2C 工作在 SMBUS 模式时，如果 SCL 被拉低，第一个超时时间为 25ms，此后如果 SCL 持续拉低超时时间会是 130ms 13
2.9. CAN 14
2.9.1. CAN 在接收大量数据时存在数据错位的风险 14
2.10. USBFS 14
2.10.1. USBFS-OTG 挂起状态进入时间不是 3ms 而是 6ms 14
2.11. Core 14
2.11.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成 14
3. 版本历史 16

图索引

图 1-1. GD32E10x/C10x 的芯片修订版本..... 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6

1. 前言

该文档适用于 GD32E10x/C10x 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

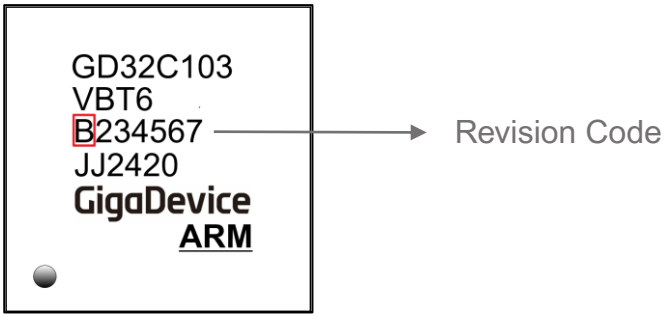
表 1-1. 适用产品

类型	产品系列
MCU	GD32E103xx 系列
	GD32C103xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32E10x/C10x 的芯片修订版本*所示。

图 1-1. GD32E10x/C10x 的芯片修订版本



1.2. 芯片使用限制总览

GD32E10x/C10x 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案	
		修订版本 A	修订版本 B
FMC	*当执行双字编程时，如果编程地址处的一个字为 0xFFFFFFFF，则在该地址执行双字编程操作不会导致 PGERR 位被设置*	Y	Y
PMU	*在进入深度睡眠之前发生中断时，MCU 不能被唤醒*	Y	Y
	VDD 快速跌落然后回升，会导致 MCU 死机或复位	Y	Y
RCU	*当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒*	Y	Y
	当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位	Y	Y
	当 DSLP_HOLD 置位且系统时钟选择 CK_PLL 时，在进入深度睡眠模式后 MCU 系统时钟丢失	Y	Y

ADC	***当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误***	Y	Y
DAC	***当 DAC 被禁用时，DAC 输出引脚存在到 VREFP 引脚的漏电***	N	N
	在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点	Y	Y
TIMER	***在开启输出比较影子寄存器功能时，使用 timer 捕获/比较事件触发 DMA 传输会导致数据丢失***	Y	Y
USART	***当 USART 配置为 DMA 发送模式且在置位 TEN 之前开启 DMA 通道时，会导致数据丢失***	Y	Y
I2C	***由于 BTC 未清除导致多读回一个数据***	Y	Y
	SAM_V 模式下，90ms 超时中断无法被进入	Y	Y
	将 I2CEN 从禁能状态转为使能状态，会概率性发送一个额外的 start 信号	N	N
	当 I2C 工作在 SMBUS 模式时，如果 SCL 被拉低，第一个超时时间为 25ms，此后如果 SCL 持续拉低超时时间会是 130ms	N	N
CAN	***CAN 在接收大量数据时存在数据错位的风险***	Y	Y
USBFS	***USBFS-OTG 挂起状态进入时间不是 3ms 而是 6ms***	N	N
Core	***当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成***	Y	Y

注意:

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. FMC

2.1.1. 当执行双字编程时，如果编程地址处的一个字为 0xFFFFFFFF，则在该地址执行双字编程操作不会导致 PGERR 位被设置

描述与影响

当执行双字编程时，如果编程地址处的一个字为 0xFFFFFFFF，则在该地址执行双字编程操作不会导致 PGERR 位被设置，但编程的数据将会不正确。例如，如果地址 0x08001000 处的值为 0xFFFFFFFF A55AA55A，则下一次在地址 0x08001000 执行双字编程操作不会导致 PGERR 位被设置。

解决方案

在编程之前确保地址处的数据为空。在对同一地址进行编程之前，程序需要对该地址区域执行擦除操作。

2.2. PMU

2.2.1. 在进入深度睡眠之前发生中断时，MCU 不能被唤醒

描述与影响

当系统应用程序存在其他中断代码(如滴答定时器，定时器周期中断等)，且需要通过 WFE 或 WFI 指令进入深度睡眠模式时，系统将存在运行一段时间后无法被唤醒的风险。

解决方案

在进入深度睡眠模式之前，应用程序需要屏蔽除 EXTI 唤醒源之外的所有中断，然后在唤醒后恢复所有需要的中断。最新的固件库已经规避了这个问题。参考代码如下：

```
void pmu_to_deepsleepmode(uint32_t ldo,uint8_t deepsleepmodecmd)
{
    static uint32_t reg_snap[ 4 ];
    /* clear stbmod and ldolp bits */
    PMU_CTL &= ~((uint32_t)(PMU_CTL_STBMOD | PMU_CTL_LDOLP));

    /* set ldolp bit according to pmu_ldo */
    PMU_CTL |= ldo;

    /* set sleepdeep bit of Cortex-M4 system control register */
```

```
    SCB->SCR |= SCB_SCR_SLEEPDEEP_Msk;

    reg_snap[0] = REG32(0xE000E010U);
    reg_snap[1] = REG32(0xE000E100U);
    reg_snap[2] = REG32(0xE000E104U);
    reg_snap[3] = REG32(0xE000E108U);
    /* clear all interrupt except EXTI line wakeup source interrupt */
    REG32(0xE000E010U) &= 0x00010004U;
    REG32(0xE000E180U)   = 0XFF7FF83DU;
    REG32(0xE000E184U)   = 0XBFFFF8FFU;
    REG32(0xE000E188U)   = 0xFFFFFFFFU;

    /* select WFI or WFE command to enter deepsleep mode */
    if(WFI_CMD == deepsleepmodecmd){
        __WFI();
    }else{
        __SEV();
        __WFE();
        __WFE();
    }
    /* restore all interrupt */
    REG32(0xE000E010U) = reg_snap[0] ;
    REG32(0xE000E100U) = reg_snap[1] ;
    REG32(0xE000E104U) = reg_snap[2] ;
    REG32(0xE000E108U) = reg_snap[3] ;

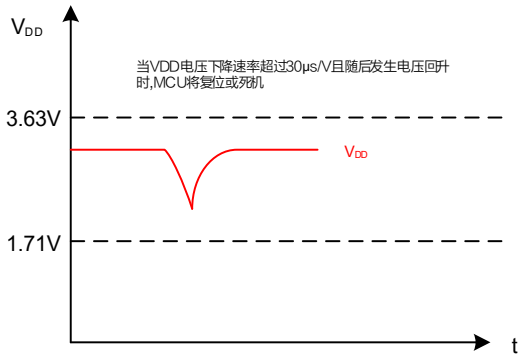
    /* reset sleepdeep bit of Cortex-M3 system control register */
    SCB->SCR &= ~((uint32_t)SCB_SCR_SLEEPDEEP_Msk);
}
```

2.2.2. VDD 快速跌落然后回升，会导致 MCU 死机或复位

描述与影响

当 VDD 跌落速度超过 30us/V 时(例如 VDD 以 25us/V 的跌落速度从 3.63V 下降到 1.71V)，然后回升，可能会出现 MCU 死机或复位现象。

例如，MCU 工作在 3.3V，CMOS 功率管被打开导致 VDD 电压跌落，后续的电容充电又使得 VDD 电压回升。



解决方案

在进行 PCB 设计时，保证 VDD 的跌落速度不超过 30us/V。

2.3. RCU

2.3.1. 当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒

描述与影响

当 DSLP_HOLD 置位后且在深度睡眠模式下调试 MCU，MCU 在进入深度睡眠模式后无法唤醒。

解决方案

当置位 DSLP_HOLD 以启用低功耗调试时，应用程序需要在进入深度睡眠模式之前将系统时钟切换到 IRC8M。

2.3.2. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位

描述与影响

当 LXTAL 意外停振时，LXTALSTB 位无法通过禁能 LXTAL 清除，导致 LXTAL 无法重新启动。

解决方案

通过重复置位和复位 LXTALBPS 超过十次来清除 LXTALSTB 位，然后重新配置 LXTAL。以下是清除 LXTALSTB 位的参考代码：

```
void lxtal_stb_clear(void)
{
    volatile   uint32_t i = 0U;
    /* close LXTAL clock */
    rcu_osci_off(RCU_LXTAL);
    for(i = 0; i < 10; i++) {
        /* enable the LXTAL bypass mode */
```

```
            rcu_osci_bypass_mode_enable(RCU_LXTAL);
            /* disable the LXTAL bypass mode */
            rcu_osci_bypass_mode_disable(RCU_LXTAL);
        }
    }
```

2.3.3. 当 DSLP_HOLD 置位且系统时钟选择 CK_PLL 时，在进入深度睡眠模式后 MCU 系统时钟丢失

描述与影响

当 DSLP_HOLD 置位后且在深度睡眠模式下调试 MCU，由于 IRC8M 时钟未成功切换，在进入深度睡眠模式后，MCU 系统时钟丢失。

解决方案

当置位 DSLP_HOLD 以启用低功耗调试时，应用程序需要在进入深度睡眠模式之前将系统时钟切换到 IRC8M。

2.4. ADC

2.4.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误

描述与影响

当 ADC 时钟相较于 PCLK 时钟慢很多时，在 EOC 置位后立刻读取 ADC_RDATA 寄存器会导致数据采集错误。

解决方案

在 EOC 标志置位后，延迟 2 个 ADC 时钟后再读取 ADC_RDATA 寄存器。

2.5. DAC

2.5.1. 当 DAC 被禁用时，DAC 输出引脚存在到 VREFP 引脚的漏电

描述与影响

当 DAC 被禁用且 V_{REFP} 小于 V_{DD} 超过 0.7V 时，DAC 输出引脚存在到 VREFP 引脚的漏电。

解决方案

避免 V_{REFP} 小于 V_{DD} 超过 0.7V。

2.5.2. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点

描述与影响

当 DAC 配置为噪声模式且 DAC 输出值设置为较大值时，叠加值(DH+DWBW)将超过最大值 4095，导致 DAC 输出信号出现零电压异常断点。

解决方案

配置 DAC 输出值和噪声波峰值时，避免叠加值(DH+DWBW)溢出。

2.6. TIMER

2.6.1. 在开启输出比较影子寄存器功能时，使用 timer 捕获/比较事件触发 DMA 传输会导致数据丢失

描述与影响

当使用 timer 捕获/比较事件触发 DMA 传输并且开启了输出比较影子寄存器功能时，DMA 传输数据 0x00 到 TIMERx_CHyCV 寄存器将会导致 0x00 之后的第二个数据丢失。

解决方案

使用以下方法之一：

1) 在 DMA 传输缓冲区中不要使用数据 0x00；
2) 0x00 之后的第二个数据搬运两次；
3) 使用 timer 更新事件触发 DMA 搬运。

2.7. USART

2.7.1. 当 USART 配置为 DMA 发送模式且在置位 TEN 之前开启 DMA 通道时，会导致数据丢失

描述与影响

当 USART 配置为 DMA 发送模式(DEN 被置位)时，在禁能发送器(TEN 被复位)的情况下启用 DMA 通道传输，将导致缓冲区中的所有数据被发送到 USART 数据寄存器，从而导致数据丢失。

解决方案

在使能对应 DMA_CHxCTL 寄存器的 CHEN 位之前，先置位 USART_CTL0 寄存器中 TEN 位。

2.8. I2C

2.8.1. 由于 BTC 未清除导致多读回一个数据

描述与影响

当 RBNE 置位且 BTC 未置位时，如果在读取 I2C_DATA 寄存器数据之前发生中断且在中断处理过程中 BTC 标志被置位，那么 I2C 将额外读取一个数据，原因是只读取数据操作无法清除 BTC 标志。

解决方案

使用以下规避方案之一：

1) 使用中断方法读取 I2C_DATA 寄存器(需要更高的中断优先级)；

2) 使用 DMA 方法读取 I2C_DATA 寄存器(推荐)。

2.8.2. SAM_V 模式下，90ms 超时中断无法被进入

描述与影响

当使能 SAM_V 接口超时检测功能时，90ms 超时中断无法被进入。

解决方案

通过置位 SMBSEL 和 SMBEN 使能 SMBUS 主机模式，并禁能 STOEN。

2.8.3. 将 I2CEN 从禁能状态转为使能状态，会概率性发送一个额外的 start 信号

描述与影响

将 I2CEN 从禁能状态转为使能状态，会概率性发出一个额外的 start 信号。

解决方案

无规避方案。

2.8.4. 当 I2C 工作在 SMBUS 模式时，如果 SCL 被拉低，第一个超时时间为 25ms，此后如果 SCL 持续拉低超时时间会是 130ms

描述与影响

SMBUS 模式下，如果 SCL 一直拉低，第一次的超时中断进入时间是 25ms，如果 SCL 持续

拉低，后续的中断进入时间会是 130ms。

解决方案

无规避方案。

2.9. CAN

2.9.1. CAN 在接收大量数据时存在数据错位的风险

描述与影响

CAN 在接收大量数据且当发生数据溢出错误时，会导致相关的状态标记位错误，进而导致后续数据接收错位和数据混乱。

解决方案

软件处理建议如下：

1) 减少数据溢出发生的建议：

- 添加过滤
- 提高软件中断处理速度，即时取走数据

2) 数据溢出后处理的建议：

- 通过溢出中断即时取走 3 帧数据，然后置位 SWRST 复位 CAN
- 设置 CAN 的状态位 INIT 或 SLEEP，取走 3 帧数据，再设置回 NORMAL 状态

2.10. USBFS

2.10.1. USBFS-OTG 挂起状态进入时间不是 3ms 而是 6ms

描述与影响

USBFS-OTG 挂起状态进入时间不是 3ms 而是 6ms。

解决方案

无规避方案，但不影响 USBFS-OTG 的正常使用。

2.11. Core

2.11.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成

该限制参考了"Cortex-M4 & Cortex-M4 with FPU Software Developers Errata Notice"中的 Arm

ID 编号 776924。

描述与影响

VDIV 和 VSQRT 指令执行需要 14 个周期。当发生中断时，VDIV 或 VSQRT 指令不会终止，而是在中断堆栈操作期间完成执行。如果启用了浮点状态的惰性上下文保存，浮点上下文的自动堆栈不会发生，直到在中断服务程序中执行了浮点指令。

惰性上下文保存默认启用。当启用时，中断服务程序中第一条指令开始执行的最短时间为 12 个周期。在某些时间条件下，如果中断服务程序中仅有一或两条指令，VDIV 或 VSQRT 指令可能无法将其结果写入寄存器组或 FPSCR。

故障发生条件如下：

1) 浮点单元已启用。
2) 惰性上下文保存未禁能。
3) 执行了 VDIV 或 VSQRT 指令。
4) VDIV 或 VSQRT 的目标寄存器为 s0 - s15 之一。
5) 中断发生并被响应。
6) 正在执行的中断服务程序未包含浮点指令。
7) 在执行 VDIV 或 VSQRT 后 14 个周期内，执行中断返回。

这 14 个周期中最少有 12 个周期用于上下文状态入栈，剩余 2 个周期供中断服务程序中的指令使用，或在整个入栈序列中应用 2 个等待状态(这意味着每次访问的等待状态并非固定)。

通常，这意味着如果存储系统在堆栈事务中插入等待状态，则此问题无法被观察到。

此限制的影响是 VDIV 或 VQSRT 指令未正确完成，寄存器组和 FPSCR 未更新，将导致这些寄存器保存错误的过时数据。

解决方案

仅当浮点单元使能时才需要解决方案。如果堆栈位于外部存储器，则无需解决方案。

有两种可能的解决方案：

1) 通过将 FPCCR 地址 0xE000EF34 的第 30 位 LSPEN 清零(设置为 0)来禁能浮点状态的惰性上下文保存。
2) 确保每个中断服务程序除异常返回指令外包含多于 2 条指令。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 9 月 9 日
1.1	1. 删除 I2C 使用限制，***由于 I2C0 和 I2C1 的启动信号存在时间差，导致仲裁获胜的 master 无法接收 ACK，总线被阻塞***和 ***I2C 主机在仲裁丢失时，无法发起新的访问*** 2. 添加 I2C 模块使用限制，参考 ***I2C 工作在 SMBUS 模式，如果 SCL 被拉低，第一个超时时间为 25ms，此后如果 SCL 持续拉低超时时间会是 130ms***	2025 年 6 月 20 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved