

GigaDevice Semiconductor Inc.

GD32H75E 系列硬件开发指南

应用笔记

AN312

1.0 版本

（2026 年 3 月）

目录

目录	2
图索引	4
表索引	6
1. 前言	7
2. 硬件设计	8
2.1. 电源	8
2.1.1. 备份域	8
2.1.2. V _{DD} / V _{DDA} 电源域	9
2.1.3. 0.9V 电源域	9
2.1.4. V _{DD33} / V _{DD3Ax} 电源域	12
2.1.5. V _{DDIO} 电源域	12
2.1.6. 1.1 V 电源域	12
2.1.7. 晶振电源	12
2.1.8. USB 电源	12
2.1.9. 供电设计	13
2.2. 复位及电源管理	16
2.2.1. POR / PDR	17
2.2.2. BOR	18
2.2.3. LVD	19
2.2.4. ESC 系统复位	20
2.2.5. ESC 模块复位	20
2.2.6. 外部复位电路	21
2.3. 时钟	22
2.3.1. 外部高速晶体振荡时钟 (HXTAL)	24
2.3.2. 外部低速晶体振荡时钟 (LXTAL)	25
2.3.3. 时钟输出能力 (CKOUT)	26
2.3.4. HXTAL 时钟监视器 (CKM)	27
2.3.5. LXTAL 时钟监视器 (LCKM)	27
2.3.6. ESC 时钟输出测试模式	28
2.4. 启动配置	28
2.5. 典型外设模块	29
2.5.1. GPIO 电路	29
2.5.2. ESC-GPIO 电路	30
2.5.3. ESC 总线接口 (PDI Wrapper) 电路	36
2.5.4. ESC 硬件配置表	37
2.5.5. 以太网 PHYS	38
2.5.6. ADC 电路	40

2.5.7.	内部温度传感器	41
2.5.8.	USB 电路	43
2.5.9.	CAN 电路	45
2.6.	热管理及低功耗模式	45
2.6.1.	MCU 低功耗模式	46
2.6.2.	ESC 低功耗模式	46
2.7.	下载调试电路	47
2.8.	参考原理图设计	49
3.	PCB Layout 设计	50
3.1.	电源去耦电容	50
3.2.	0.9V 电源域电路	51
3.3.	时钟电路	52
3.4.	复位电路	53
3.5.	以太网接口电路	53
3.6.	USB 电路	54
3.7.	BGA 封装的扇出	54
4.	钢网与焊接	56
4.1.	钢网	56
4.1.1.	钢网推荐厚度	56
4.1.2.	钢网的清洁与使用	56
4.2.	焊接	57
5.	封装说明	58
6.	版本历史	59

图索引

图 2-1. 旁路模式	10
图 2-2. 旁路模式上下电时序图.....	11
图 2-3. USB 稳压器供电时连接示意图.....	13
图 2-4. USB 稳压器旁路时连接示意图.....	13
图 2-5. GD32H75E 系列推荐供电设计（使能 ESC 内部稳压器）	14
图 2-6. GD32H75E 系列推荐供电设计（不使能 ESC 内部稳压器）	15
图 2-7. GD32H75E 系列 SMPS 降压稳压器推荐设计.....	16
图 2-8. RCU_RSTSCK 寄存器	17
图 2-9. 系统复位电路.....	17
图 2-10. 上电 / 掉电复位波形图.....	18
图 2-11. BOR 波形图.....	18
图 2-12. LVD 阈值波形图	19
图 2-13. 推荐 PDR_ON 引脚电路设计	19
图 2-14. RCU_RSTCFG 寄存器	20
图 2-15. 推荐外部复位电路	21
图 2-16. NRST 引脚上下电 MOS 管脉冲示意图.....	22
图 2-17. GD32H75E 系列时钟树	23
图 2-18. GD32H75E 系列时钟树(续).....	24
图 2-19. HXTAL 外部晶体电路	24
图 2-20. HXTAL 外部时钟电路	25
图 2-21. LXTAL 外部晶体电路.....	26
图 2-22. LXTAL 外部时钟电路.....	26
图 2-23. 推荐 BOOT 电路设计	29
图 2-24. 标准 IO 的基本结构	30
图 2-25. PDI Wrapper 框图	36
图 2-26. 端口连接 PHYS	38
图 2-27. PHY 功能模块图.....	39
图 2-28. 内置 PHY 与 RJ45 网口(内部带变压器)连接示意图.....	39
图 2-29. 使用外部 PHY 的连接示意图.....	40
图 2-30. ADC 采集电路设计.....	40
图 2-31. ADC 的模拟配置	41
图 2-32. 测量方式	42
图 2-33. 在主机或设备模式下连接示意图	44
图 2-34. OTG 模式下使用内部嵌入式 PHY 连接示意图.....	44
图 2-35. 使用外部 ULPI PHY 的连接示意图	45
图 2-36. CAN 参考电路	45
图 2-37. 推荐 Standby 外部唤醒引脚电路设计	46
图 2-38. PME 中断待处理	46
图 2-39. 推荐 JTAG 接线参考设计	47
图 2-40. 推荐 SWD 接线参考设计	48

图 2-41. GD32H75E 推荐参考原理图设计	49
图 3-1. 推荐电源引脚去耦 Layout 设计	50
图 3-2. BGA240 封装 SMPS 供电模式推荐 layout 图.....	51
图 3-3. BGA240 封装旁路模式推荐 layout 图.....	52
图 3-4. 推荐时钟引脚 Layout 设计	52
图 3-5. 推荐 NRST 走线 Layout 设计	53
图 3-6. 推荐 MDI 差分对 Layout 设计	53
图 3-7. BGA240 封装的扇出方式	55
图 4-1. 推荐回流焊温度曲线	57

表索引

表 1-1. 适用产品	7
表 2-1. 电源供电模式对应表	9
表 2-2. 默认供电模式寄存器初始状态	10
表 2-3. 旁路寄存器配置表	11
表 2-4. 电源供电模式对应表	12
表 2-5. 晶振电源供电模式对应表	12
表 2-6. SMPS 降压稳压器外围器件推荐值	16
表 2-7. 不同复位类型下复位内容	16
表 2-8. 时钟输出 0 的时钟源选择	27
表 2-9. 时钟输出 1 的时钟源选择	27
表 2-10. 引导模式选择	28
表 2-11. 引导模式详细描述	28
表 2-12. GPIO 配置表	31
表 2-13. LAN 端口 A 引脚说明	31
表 2-14. LAN 端口 B 引脚说明	31
表 2-15. LAN 端口 A 和端口 B 电源引脚说明	32
表 2-16. EtherCAT MII 端口和配置脚引脚说明	32
表 2-17. OSPI 引脚说明	33
表 2-18. EtherCAT 分布式时钟引脚说明	33
表 2-19. EtherCAT GPIO 引脚说明	34
表 2-20. EEPROM 引脚说明	34
表 2-21. LED 和配置脚引脚说明	34
表 2-22. 其他引脚说明	35
表 2-23. 内核和 I/O 电源引脚说明	36
表 2-24. ESC 硬件配置表	37
表 2-25. USBHS 信号线描述	43
表 2-26. 节能模式总结	46
表 2-27. JTAG 下载调试接口分配	47
表 2-28. SWD 下载调试接口分配	48
表 4-1. GD32H75E 芯片推荐钢网厚度	56
表 4-2. 回流焊相关参数	57
表 5-1. 封装型号说明	58
表 6-1. 版本历史	59

1. 前言

本文是专为基于Arm® Cortex®-M7架构的32位超高性能工业互联MCU GD32H75E系列开发者提供的，对GD32H75E系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32H75E系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用开发指南总共分为七部分来讲述：

1. 电源，主要介绍GD32H75E系列各电源域及供电设计；
2. 复位及电源管理，主要介绍GD32H75E系列复位功能及电源管理；
3. 时钟，主要介绍GD32H75E系列高、低速时钟的功能设计；
4. 启动配置，主要介绍GD32H75E系列BOOT配置及设计；
5. 典型外设模块，主要介绍GD32H75E系列主要功能模块硬件设计；
6. 热管理及低功耗模式，主要介绍GD32H75E系列的热管理及低功耗模式；
7. 下载调试电路，主要介绍GD32H75E系列推荐典型下载调试电路；
8. 参考电路及PCB Layout设计，主要介绍GD32H75E系列硬件电路设计及PCB Layout设计注意事项；
9. 钢网与焊接，主要介绍钢网选择与使用方法及回流焊温度曲线；
10. 封装说明，主要介绍GD32H75E系列所包含的封装形式及命名。

该文档也满足了基于GD32H75E系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

类型	型号
MCU	GD32H75Exx系列

注意：本应用笔记仅作参考，若与用户手册或数据手册内容有冲突，以用户手册或数据手册为准。

2. 硬件设计

2.1. 电源

GD32H75E系列设备有多个电源域，包括 V_{DD} / V_{DDA} 域，0.9 V域，备份域， V_{DD33} / V_{DD3Ax} 域， V_{DDIO} 域和1.1 V域。 V_{DD} / V_{DDA} / V_{DD33} / V_{DD3Ax} / V_{DDIO} 域由电源直接供电。GD32H75E系列内嵌入了LDO和低功率开关电源降压稳压器（SMPS降压稳压器），用来为0.9V域和1.1 V域供电。在备份域中有一个电源切换器，当 V_{DD} 电源关闭时，电源切换器可以将备份域的电源切换到VBAT引脚，此时备份域由VBAT引脚（电池）供电。USB部分有专门的外部供电引脚和电压调节器，可以输入5 V电源供电或3.3 V电源供电。

2.1.1. 备份域

备份域供电电压范围为 1.8 V ~ 3.6 V，由内部电源切换器来选择 V_{DD} 供电或 V_{BAT} （电池）供电，然后由 V_{BAK} 为备份域供电，该备份域包含 RTC（实时时钟）、LXTAL（低速外部晶体振荡器），BPOR（备份域上电复位）和 BREG，以及 PC13 至 PC15 共 3 个 BKP PAD。为了确保备份域中寄存器的内容及 RTC 正常工作，当 V_{DD} 关闭时，VBAT 引脚可以连接至电池或其他备份电源供电。电源切换器是由 V_{DD} / V_{DDA} 域掉电复位电路控制的。对于没有外部电池的应用，建议将 VBAT 引脚通过 100nF 的电容对地后连接到 VDD 引脚上。

备份域的复位源包括备份域上电复位和备份域软件复位。在 V_{BAK} 没有完全上电前，BPOR 信号强制设备处于复位状态。应用软件可以通过设置 RCU_BDCTL 寄存器 BKPRST 位来触发备份域软件复位。

RTC的时钟源可以是低速内部32kHz RC振荡器（IRC32K）或低速外部晶体振荡器（LXTAL），或由RTCDIV[5:0]（位于RCU_CFG0寄存器中）位域控制的高速外部晶体振荡器（HXTAL）时钟分频。当 V_{DD} 被关闭时，RTC只能选择LXTAL作为时钟源。在通过WFI / WFE指令进入省电模式之前，Cortex®-M7能够通过RTC寄存器预期的唤醒时间并启用唤醒功能或者根据EXTI，以实现RTC定时器唤醒事件。进入省电模式一定时间之后，当经过的时间与预设的唤醒时间匹配时，RTC将唤醒设备。

当备份域由 V_{DD} 供电（ V_{BAK} 连接至 V_{DD} ）时，以下功能可用：

- PC13可以作为通用I/O口或RTC功能引脚；
- PC14和PC15可以作为通用I/O口或LXTAL晶振引脚。

当备份域由 V_{BAT} 电源供电时（ V_{BAK} 连接至 V_{BAT} ），以下功能可用：

- PC13仅可以作为RTC功能引脚；
- PC14和PC15仅可作为LXTAL晶振引脚。

注意：

1. 由于 PC13 至 PC15 引脚是通过电源切换器供电的，电源切换器仅可通过小电流，因此当 PC13 至 PC15 的 GPIO 口在输出模式时，其工作的速度不能超过 2MHz（最大负载为 30pF）；
2. 备份域的 LDO 可以产生 V_{CORE_BKP} 电压，当 V_{DD}/V_{DDA} 上电时，0.9V 电源域的 BKP RAM

由 V_{CORE} 供电；当 V_{DD}/V_{DDA} 掉电时，0.9V 电源域的 BKP RAM 由 V_{CORE_BKP} 供电。

V_{DD} 可以通过一个内部电阻给外部电池充电。通过配置 PMU_CTL2 寄存器中 VCRSEL 位，可以选择内部电阻 5k Ω 或 1.5k Ω 用于外部 V_{BAT} 电池充电。将 PMU_CTL2 寄存器中 VCEN 位置 1 可以使能 V_{BAT} 电池充电。在 BKP only 模式， V_{BAT} 电池充电不可用。

注意：在 BKP only 模式下， V_{DD} 掉电，备份域由 V_{BAT} 引脚供电。

2.1.2. V_{DD} / V_{DDA} 电源域

V_{DD} / V_{DDA} 电源域包括 V_{DD} 域和 V_{DDA} 域两部分。如果 V_{DDA} 不等于 V_{DD} ，要求两者之间的压差不能超过 300mV（芯片内部 V_{DDA} 与 V_{DD} 通过背靠背二极管连接）。为避免噪声， V_{DDA} 可通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路（单点接地，通过 0 Ω 电阻或者磁珠等）连接至 V_{SS} 。

为了提高 ADC 的转换精度，为 V_{DDA} 独立供电可使模拟电路达到更好的特性。GD32H75E 在内部集成有专为 ADC 独立供电的 V_{REFP} 引脚（外部供电：使用 12 位 ADC 时， $1.8V \leq V_{REFP} \leq V_{DDA}$ 。使用 14 位 ADC 时，若 $V_{DDA} \geq 2.4V$ 时， $2.4V \leq V_{REFP} \leq V_{DDA}$ ； $V_{DDA} < 2.4V$ 时， $1.8V \leq V_{REFP} \leq V_{DDA}$ ）。

- BGA240 封装中含有 V_{REFP} 和 V_{REFN} 引脚， V_{REFP} 可以使用外部参考电源，也可以直连至 V_{DDA} ， V_{REFN} 必须连接到 V_{SSA} ；
- V_{REFP} 引脚通过内部二极管连接至 V_{DDA} 引脚，当 $V_{REFP} \geq V_{DDA} + 0.3V$ 时，会有漏电到 V_{DDA} 引脚上；
- GD32H75E 系列拥有 V_{REFBUF} ，当 V_{REFP} 引脚未连接外部参考电源时，可由 V_{REFBUF} 产生 1.5 ~ 2.5V 的四个档位参考电压，具体请参考用户指南和数据手册。

2.1.3. 0.9V 电源域

使用 SMPS 降压稳压器和 LDO，可以设置 0.9V 电源域的供电电源。不同配置可提供四种有效的 0.9V 电源域供电模式，模式对应表如 [表2-1. 电源供电模式对应表](#) 所示。

表 2-1. 电源供电模式对应表

Mode	Supply Configuration
0	无配置的供电模式（默认供电模式）
1	LDO 供电模式
2	SMPS 供电模式
6	旁路模式

- 无配置的供电模式（默认供电模式）

无配置的供电模式，该模式为初始过渡模式。在芯片复位后，软件若不设置任何电源模式，芯片会保持在此模式状态。此时所有寄存器为复位值，SMPS、LDO 均使能。在此阶段若硬件按如下设置可能出现的情况：

1. 硬件设置为 LDO 供电模式，则 LDO 输出 0.9V，为 $V_{0.9V}$ 域供电。该状态与 LDO 供电模式相同；
2. 硬件设置为 SMPS 供电，则 SMPS 输出 1V 至 V_{CORE} 。但同时 LDO 也使能， V_{DDLDO} 与 V_{CORE} 短接， V_{CORE} 电压存在波动。因此在复位后软件应配置成 SMPS 供电模式以保证系统可靠

性；

3. 硬件设置为旁路模式，LDO 使能但被硬件强制旁路，电源来自外部输入，可能存在未知风险。综上所述，该情况下在复位后软件立即应配置成旁路模式以保证安全。

总之，该模式为芯片启动初始过渡状态，长期使用会有不可预知风险，应当在芯片正常运行时将软硬件配置为其他模式。

寄存器默认状态如[表2-2. 默认供电模式寄存器初始状态](#)：

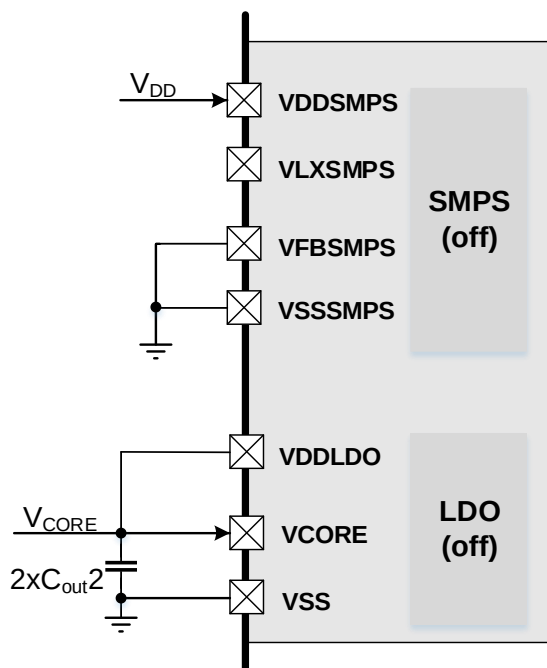
表 2-2. 默认供电模式寄存器初始状态

Symbol	Description
DVSEN	1: SMPS 使能
LDOEN	1: LDO 使能
LDOVS[2:0]	010: LDO 输出 0.9V
BYPASS	0: BYPASS 不使能

■ 旁路模式

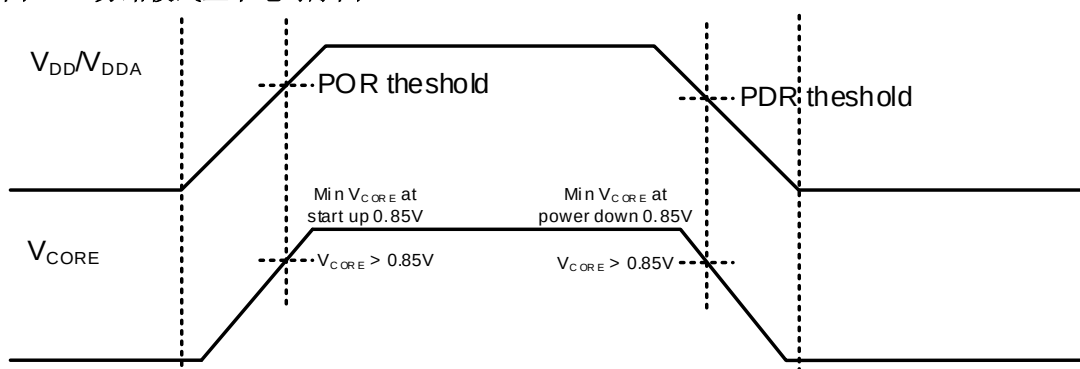
该模式 SMPS 关闭，LDO 关闭，外部电路通过 V_{CORE} 引脚为 V_{0.9V} 域供电。具体电路可参考[图 2-1. 旁路](#)设计（SMPS 模块关闭时，V_{DDSMPS} 引脚必须连接到 V_{DD} 或 V_{SS} 上）。

图 2-1. 旁路模式



旁路模式上电时序图如[图 2-2. 旁路模式上下电时序图](#)所示，当 MCU 的 V_{DD}/V_{DDA} 电压上升到 POR 阈值前，需保证 V_{CORE} 电压大于 0.85V；当 MCU 的 V_{DD}/V_{DDA} 电压跌落到 PDR 阈值前，需保证 V_{CORE} 电压大于 0.85V。同时在任何工况下，都需要保证 V_{DD}/V_{DDA} 电压大于 V_{CORE} 电压。

图 2-2. 旁路模式上下电时序图



进入该供电模式的配置方式为：DVSEN 位为 0b0，DVSCFG 和 DVSV[1:0]的值无影响，SMPS 降压稳压器为关闭状态；LDOEN 位为 0b0，LDO 为关闭状态；BYPASS 位为 0b1，0.9V 电源域由 VCore 引脚供电。SMPS、LDO 输出电压的寄存器配置如[表 2-3. 旁路寄存器配置表](#)：

表 2-3. 旁路寄存器配置表

Symbol	Description
DVSEN	0: SMPS 不使能
LDOEN	0: LDO 不使能
BYPASS	1: BYPASS 使能

注意：

- 旁路模式中，外部器件输出电压到 VCore，应保证其典型值为 0.9V，电压范围在 0.873V ~ 0.955V 以内，在较恶劣的应用场景下也应确保电源波动范围在 50mV 以内；
- 工作在旁路模式下，会有比较大的电流从外部器件经 VCore 引脚流入 V0.9V 电源域（根据仿真与测试结果，该电流最大会达到 400mA 量级），因此对于外部供电器件的要求较高，我们建议外部器件的带载能力需大于 600mA，且不同负载下的输出电压波动范围也需满足前述 50mV 的要求；考虑电源稳定性要求，旁路模式推荐使用外部 LDO 供电；
- 考虑到 PCB 走线的 ESR 效应与大电流的 IR drop，在 PCB 走线时，需要考虑加宽外部供电到 VCore 引脚走线的宽度以减小 ESR，保证在芯片 VCore 引脚处的电压是满足幅值以及波动要求。
- 封装上多个 VCore 引脚建议在外通过走线连接在一起。关于 VCore 引脚处的去耦与滤波电容，工作在旁路模式时，建议每一个 VCore 引脚就近放置一颗 100nF 电容。
- 当使用旁路模式进入 standby 模式时，先进入 standby 模式，再关闭外部 VCore 电源，外部 VCore 电源必须关闭；当退出 standby 模式时，先打开外部 VCore 电源，再退出 standby 模式。

注意：除上述有效组合外，其它 DVSEN、DVSCFG、DVSVC[1:0]、LDOEN、BYPASS 位或位值的配置组合均无效。0.9V 电源域的电源状态在复位后保持不变（无配置的供电模式）。

注意：当 SMPS 降压稳压器为 0.9V 电源域供电，并且 DVSVC[1:0]配置了错误的数值，将使 SMPS 降压稳压器输出高电压到 0.9V 电源域，此时 0.9V 电源域将启动硬件过压保护，硬件置位 DVSVC[1:0] 0b00。

注意：最大工作频率与供电电压有关，具体请参考数据手册。

2.1.4. V_{DD33} / V_{DD3Ax} 电源域

V_{DD33} / V_{DD3Ax} 电源域包括 V_{DD33} 域和 V_{DD3Ax} 域两部分，分别为 ESC 设备内部 LDO 和 PHY 供电。为避免噪声， V_{DD3Ax} 可通过外部滤波电路连接至 V_{DD33} 。

2.1.5. V_{DDIO} 电源域

V_{DDIO} 电源域是为 ESC 设备 GPIO 供电的电源引脚。为避免噪声，可通过外部滤波电路连接至 V_{DD33} 。

2.1.6. 1.1 V 电源域

1.1 V 电源域包括 V_{DDCR} 和 V_{DD1Ax} 。使用内部稳压器，可以设置 1.1 V 电源域的供电电源， V_{DD1Ax} 可通过外部滤波电路连接至 V_{DDCR} 。不同配置可提供两种有效的 1.1 V 电源域供电模式，模式对应表如 [表2-4. 电源供电模式对应表](#) 所示。

表 2-4. 电源供电模式对应表

REG_EN	供电模式
置高	LDO 供电模式
置低	旁路模式

电源供电模式由硬件设置，当引脚 REG_EN 置高时，由内部 LDO 输出 1.1 V，为 $V_{1.1V}$ 域供电。当引脚 REG_EN 置低时，则必须外部引入 1.1 V，为 $V_{1.1V}$ 域供电。

2.1.7. 晶振电源

为了提高时钟电路的稳定性，GD32H75E 系列 ESC 晶振内部还集成了一个稳压器，该电路为晶振电路提供 1.1 V 电压。用户可以将 REG_EN 引脚置高使能 OSC_LDO 稳压器，将 V_{DD33} 引脚连接 3.3 V 电源为晶振模块提供电源。将 REG_EN 置低则不使能该稳压器，需将 OSCVDD11 引脚连接至外部 1.1 V 电源为晶振模块提供电源，如 [表2-5. 晶振电源供电模式对应表](#) 所示。

表 2-5. 晶振电源供电模式对应表

REG_EN	供电模式
置高	OSC_LDO 供电模式
置低	旁路模式

注意：任何情况下 OSCVSS 引脚必须接地。

2.1.8. USB 电源

GD32H75E 系列 USB 内部集成了一个稳压器，用户可以选择使能该稳压器，将 $V_{DD50USB}$ 引脚连接 5 V 电源为 USB 模块提供电源，如 [图2-3. USB 稳压器供电时连接示意图](#) 所示；或旁路该稳压器，将 $V_{DD33USB}$ 引脚连接 3.3 V 电源为 USB 模块提供电源，如 [图2-4. USB 稳压器旁路时连接示意图](#) 所示。

图 2-3. USB 稳压器供电时连接示意图

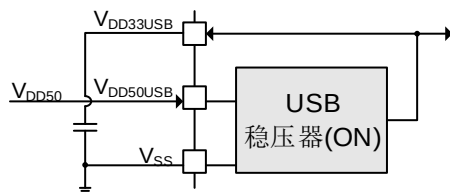
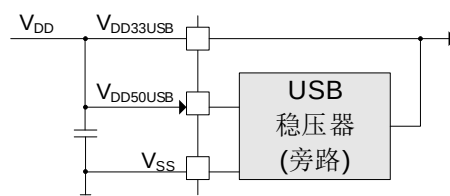


图 2-4. USB 稳压器旁路时连接示意图



注意：

1. 当 $V_{DD} \geq 3V$ 时，USB 电源可使用 USB 稳压器供电模式或旁路模式；当 $V_{DD} < 3V$ 时，USB 电源只能使用 USB 稳压器供电模式；
2. 当使用 USB 模块或使用 ISP 下载功能时，VDD33USB 必须供电，可通过上述两种方式之一供电。

2.1.9. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD脚必须外接电容（ $N * 100nF$ 陶瓷电容+不小于 $4.7\mu F$ 钽电容，至少一个VDD需要接不小于 $4.7\mu F$ 电容到GND，其他VDD引脚接 $100nF$ ）；
- VDDA脚必须外接电容（建议 $10nF + 1\mu F$ 陶瓷电容）；
- VREFP引脚可由内部产生也可直连至VDDA，且在VREFP引脚对地连接 $10nF + 1\mu F$ 陶瓷电容；
- VDD33引脚必须外接电容（ $100 nF$ 陶瓷电容 + $4.7 \mu F$ 钽电容）；
- VDDIO引脚必须外接电容（ $N * 100 nF$ 陶瓷电容）；
- VDDCR引脚必须外接电容（ $N * 100 nF$ 陶瓷电容 + $1 \mu F$ 陶瓷电容 + $470 pF$ 陶瓷电容）；
- VDD3Ax引脚必须外接电容（建议 $100 nF + 4.7 \mu F$ 陶瓷电容）；
- VDD1Ax引脚必须外接电容（ $N * 100 nF$ 陶瓷电容）。

图 2-5. GD32H75E 系列推荐供电设计 (使能 ESC 内部稳压器)

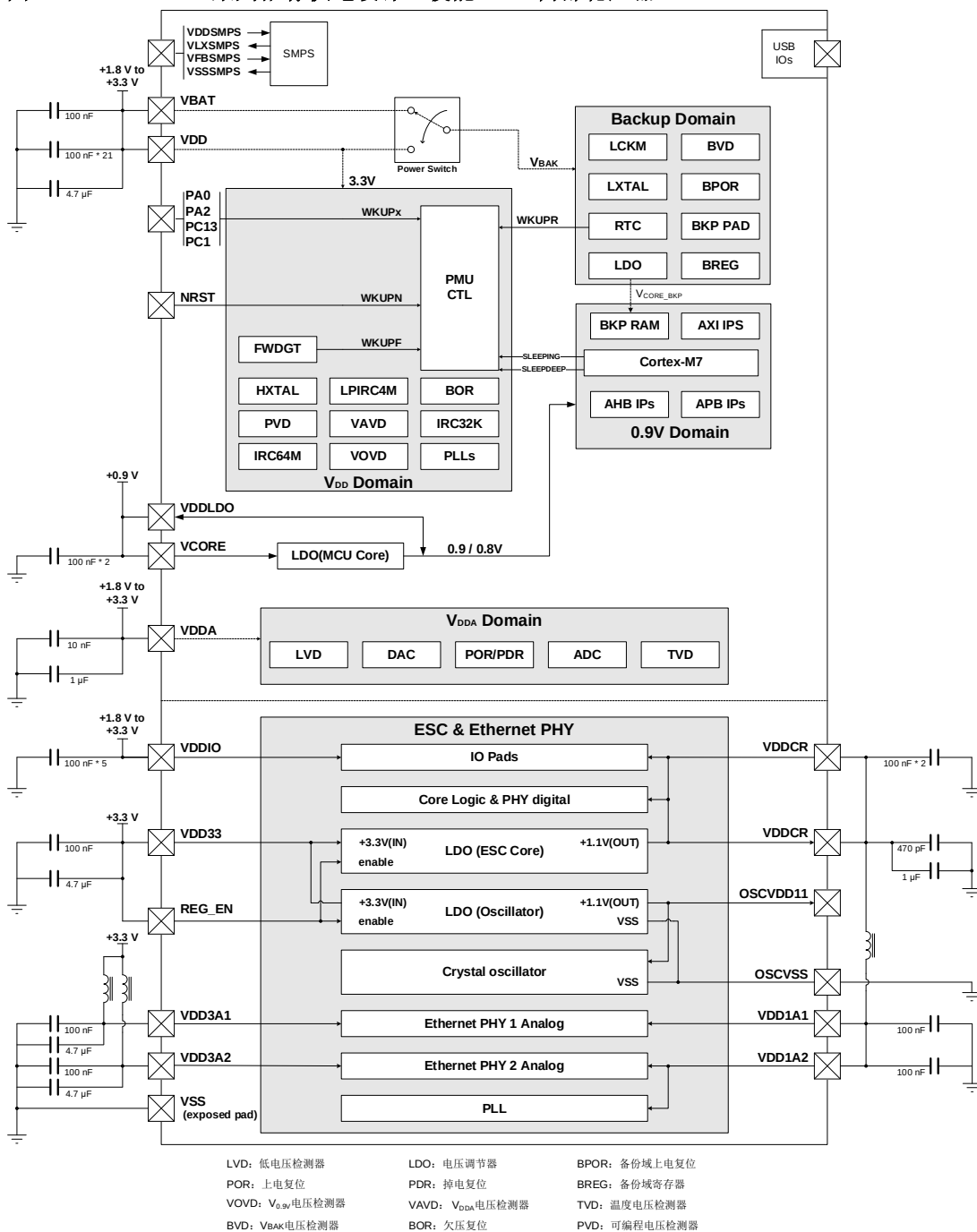
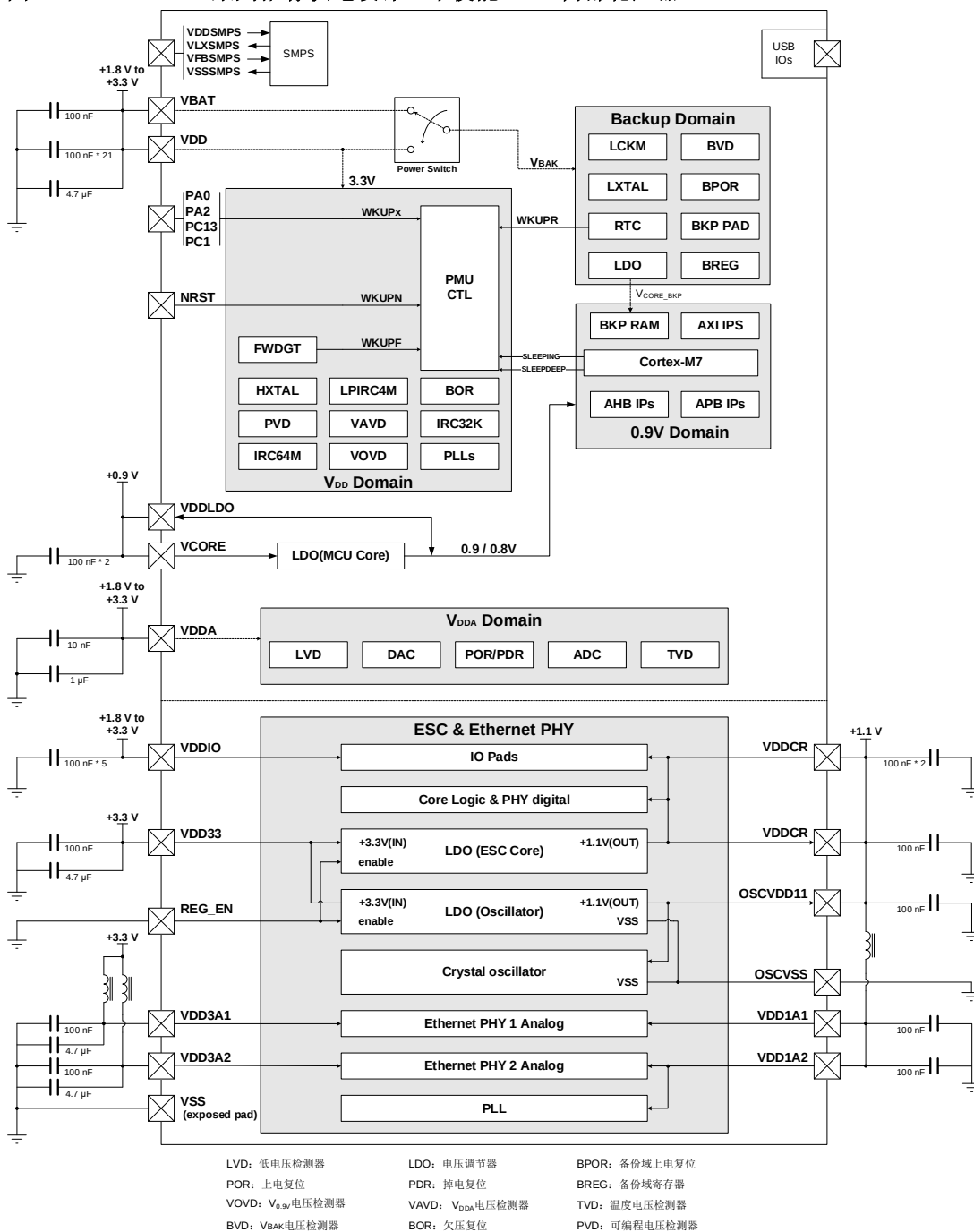


图 2-6. GD32H75E 系列推荐供电设计（不使能 ESC 内部稳压器）

**注意：**

- 所有去耦电容须靠近芯片对应 VDD、VDDA、VBAT、VREFP、VCORE、VDDIO、VDD33、VDD3Ax、VDDCR、OSCVDD11、VDD1Ax 引脚放置；
- 无论 LDO 是否使能，芯片的所有 VDDCR 应连接在一起，所有 VCORE 应连接在一起，所有的 VDDLDO 应连接在一起，具体参考 [2.1.3](#) 节；
- 当 LDO(MCU CORE)使能时，建议 VCORE 对 GND 接两个 2.2 μ F 的陶瓷电容；当 LDO(MCU CORE)旁路时，建议 VCORE 对 GND 接两个 100nF 的陶瓷电容；
- 当 MCU 电源电压不稳定，或有电压跌落等风险时，建议将 VDD、VDD33、VDD3Ax 的 4.7 μ F 电容调整为不低于 10 μ F 的电容；

SMPS电路推荐设计如[图2-7. GD32H75E系列SMPS降压稳压器推荐设计](#)所示，器件典型值参考[表2-6. SMPS降压稳压器外围器件推荐值](#)。

图 2-7. GD32H75E 系列 SMPS 降压稳压器推荐设计

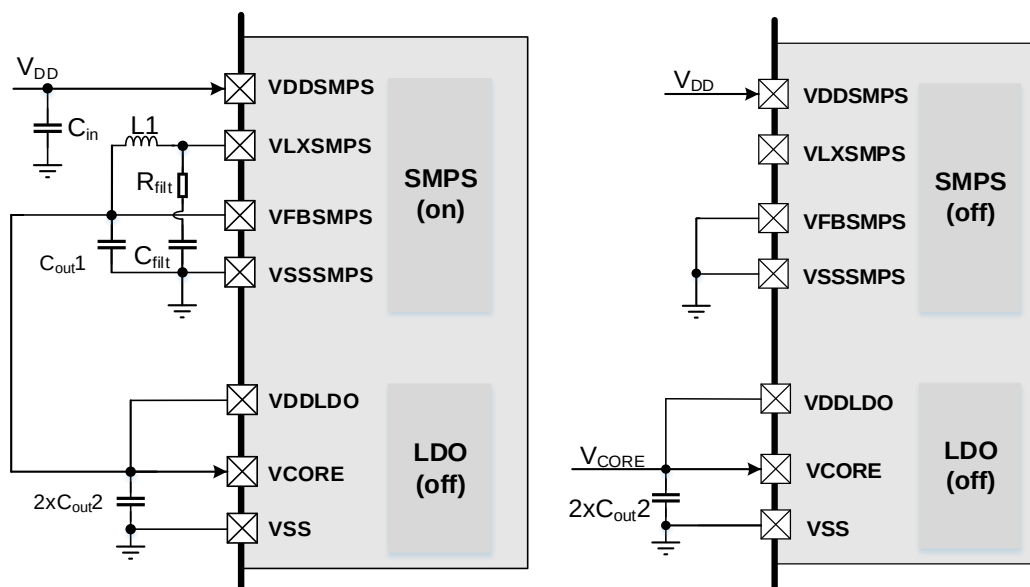


表 2-6. SMPS 降压稳压器外围器件推荐值

名称	描述	推荐值	封装
C _{in}	VDDSMPS 外接电容	10uF	0805
C _{filt}	VLXSMPS 外接电容	220pF	0603
R _{filt}	VLXSMPS 外接电阻	50Ω	0603
C _{OUT1}	VFBSMPS 外接电容	10uF	0805
C _{OUT2}	VCORE 外接电容	100nF/2.2uF	0603/0805
L1	VLXSMPS 外接电感	2.2uH	0806

2.2. 复位及电源管理

在本节中，默认VDD与VDDA保持连接，由同一电源供电。

GD32H75E系列复位控制包括五种复位：电源复位、系统复位、备份域复位、ESC系统复位和ESC模块复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。

表 2-7. 不同复位类型下复位内容

复位种类	复位内容
电源复位	除了备份域的所有系统
系统复位	除了SW-DP控制器、备份域和EtherCAT设备之外的其余部分，包括处理器内核和外设IP
备份域复位	备份区域
ESC系统复位	复位EtherCAT设备中的所有电路
ESC模块复位	复位EtherCAT设备中的一个或多个模块

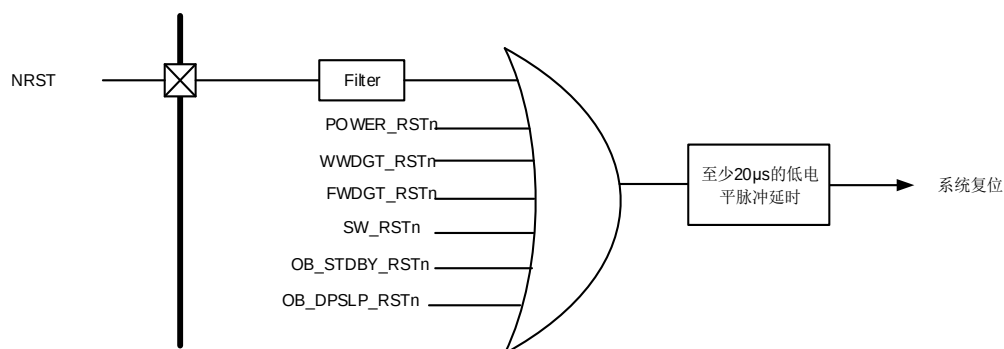
MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-8. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	BOR	RSTFC	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF									
r	r	r	r	r	r	r	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														IRC32K	IRC32KE
														STB	N
														r	rw

MCU内部集成有上电/掉电复位电路，当产生复位时，系统复位脉冲发生器保证每一个复位源（外部或内部）都能有至少20μs的低电平脉冲延时。为防止误触发复位，NRST管脚建议放置一个电容（典型值为100nF）。

图2-9. 系统复位电路



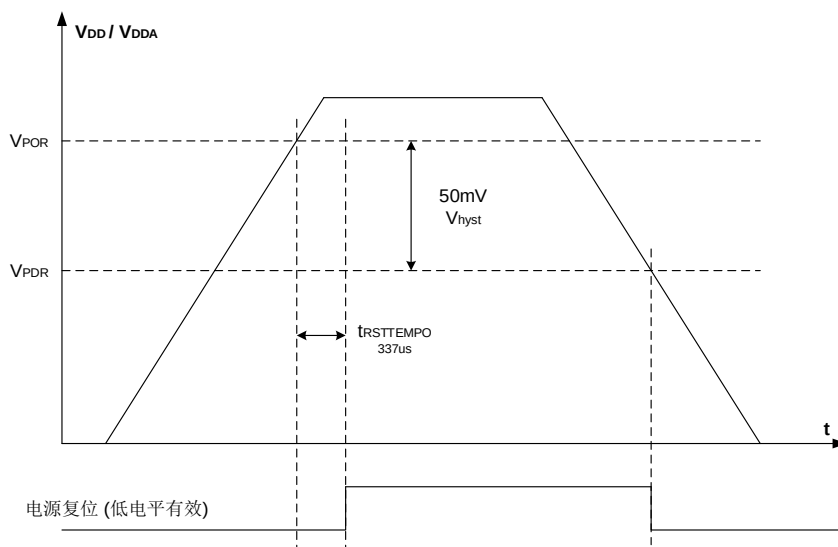
当以下事件之一发生时，产生备份域复位：

- 1、设置备份域控制寄存器中的BKPRST位为‘1’；
- 2、备份域电源上电复位（V_{DD}重新上电）。

2.2.1. POR / PDR

POR / PDR（上电 / 掉电复位）电路检测 V_{DD} / V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。图 2-10. 上电 / 掉电复位波形图显示了供电电压和电源复位信号之间的关系。V_{POR} 表示上电复位的阈值电压，V_{PDR} 表示掉电复位的阈值电压。迟滞电压 V_{hyst} 值约为 50mV。

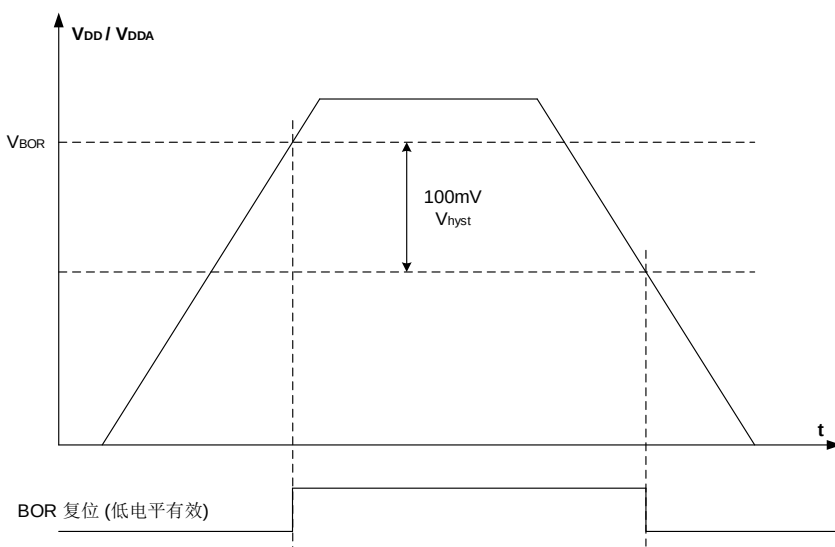
图2-10. 上电 / 掉电复位波形图



2.2.2. BOR

BOR 电路检测 V_{DD} 并在 BOR_TH 不为 0b11，同时电压低于选项字节的 BOR_TH 定义的阈值时产生电源复位信号复位除备份域之外的整个芯片。不管 BOR 是否使能，POR / PDR（上电 / 掉电复位）电路会一直处于检测状态。因此，无论 BOR 是否使能，电源复位电平都会在 V_{DD} 上升到 V_{POR} 时，被拉高。当 BOR 使能时，会迅速将被拉高的电源复位电平拉低，POR / PDR 处于检测到 $V_{DD} > V_{POR}$ 就将电源复位电平拉高的工作状态，将电源复位电平再次拉高，BOR 再将电源复位电平拉低，如此循环，在 NRST 引脚形成方波。直到 V_{DD} / V_{DDA} 电压大于 V_{BOR} 后，BOR 不再将电源复位电平拉低，电源复位保持高电平。 V_{DD} / V_{DDA} 电压大于 V_{POR} 且小于 V_{BOR} 时才会出现方波。[图 2-11. BOR 波形图](#) 显示了供电电压和 BOR 复位信号之间的关系。 V_{BOR} 表示 BOR 复位的阈值电压，该值在选项字节 BOR_TH 中定义。迟滞电压 V_{hyst} 值为 100mV。

图2-11. BOR波形图

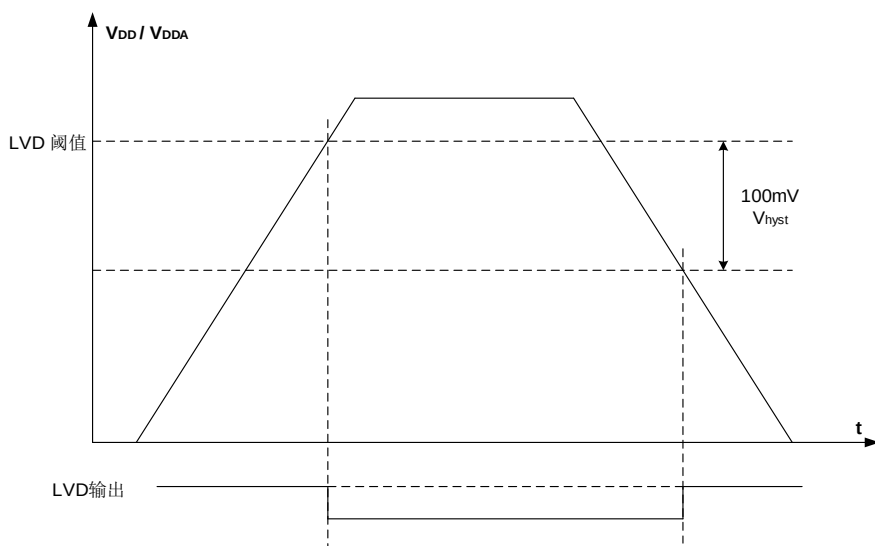


2.2.3. LVD

LVD的功能是检测 V_{DD} 供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器0（PMU_CTL0）中的LVDT[2:0]位进行配置。LVD通过LVDEN置位使能，位于电源控制状态寄存器（PMU_CS）中的LVDF位表示低电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-12. LVD阈值波形图](#)显示了 V_{DD} 供电电压和LVD输出信号的关系。（LVD中断信号依赖于EXTI第16线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为100mV。

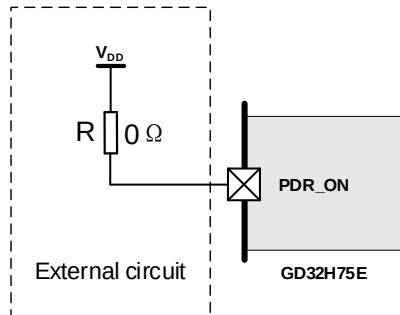
LVD应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里设置软复位等操作，避免MCU发生其他异常。

图 2-12. LVD 阈值波形图



GD32H75E系列内部电源监视器可以通过PDR_ON引脚进行使能或禁用，为确保芯片正常工作及提高抗干扰能力、在上电 / 掉电阶段发生有效的复位信号，PDR_ON的推荐电路如[图2-13. 推荐PDR_ON引脚电路设计](#)所示。

图 2-13. 推荐 PDR_ON 引脚电路设计



注意：PDR_ON引脚必须保持高电平。用户可以根据具体情况灵活调整上拉电阻R的值以获得更好的性能

当PDR_ON连接到GND时，以下功能将会被禁用：

1. 内部上电复位(POR) / 掉电复位(PDR)禁用;
2. 内部欠压复位(BOR)禁用;
3. 内部低压检测(LVD)禁用;
4. V_{BAT}功能禁用, VBAT引脚应连接至V_{DD}。

2.2.4. ESC 系统复位

ESC系统复位包括上电复位(POR)、外部引脚复位(RSTN)和EtherCAT系统复位,可以复位EtherCAT设备中的所有电路。ESC模块复位包括数字复位、PHY复位和EtherCAT内核复位,可以复位相应的模块。

POR(上电复位)是当设备刚上电或者电源断开后重上电时,发生上电复位。RSTN引脚复位是将RSTN输入引脚驱动为低电平可启动外部引脚复位。EtherCAT系统复位是由三个连续的特殊帧 / 命令序列启动。

2.2.5. ESC 模块复位

ESC多模块复位:通过设置配置寄存器(RCU_RSTCFG)的DRST位来执行数字复位。数字复位会复位除PHY之外的所有EtherCAT设备子模块。

ESC单模块复位:单模块复位仅复位指定的模块。单模块复位不会锁定配置引脚,包括端口A的PHY复位、端口B的PHY复位和EtherCAT控制器复位。单模块复位描述如下:

可通过置位复位配置寄存器(RCU_RSTCFG)中的PHYARST位或置位PHY控制寄存器(PHY_MII_CTL)中的MR_MAIN_REST位实现端口A的PHY复位。端口A的PHY复位后,PHYARST位和软复位Bit会自动清除。该复位不会影响设备的其他模块。可以通过复位配置寄存器(RCU_RSTCFG)中的PHYARST位或PHY控制寄存器(PHY_MII_CTL)中的MR_MAIN_REST位是否清除来检查端口A的PHY复位是否完成。

可通过置位复位配置寄存器(RCU_RSTCFG)中的PHYBRST位或置位PHY控制寄存器(PHY_MII_CTL)中的MR_MAIN_REST位实现端口B的PHY复位。端口B的PHY复位后,PHYBRST位和软复位Bit会自动清除。该复位不会影响设备的其他模块。可以通过复位配置寄存器(RCU_RSTCFG)中的PHYBRST位或PHY控制寄存器(PHY_MII_CTL)中的MR_MAIN_REST位是否清除来检查端口B的PHY复位是否完成。

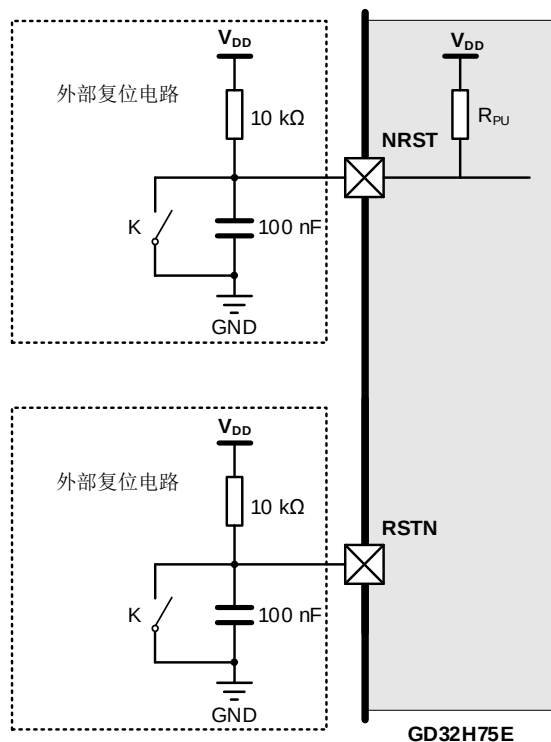
可以通过清除配置寄存器(RCU_RSTCFG)中的ESCRST位实现EtherCAT控制器的单独复位,这将复位EtherCAT内核及其寄存器。

图 2-14. RCU_RSTCFG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						PHYBREL	PHYAREL	保留	ESCRST	保留			PHYBRST	PHYARST	DRST
						RW	RW		RW				RW	RW	RW

2.2.6. 外部复位电路

图 2-15. 推荐外部复位电路

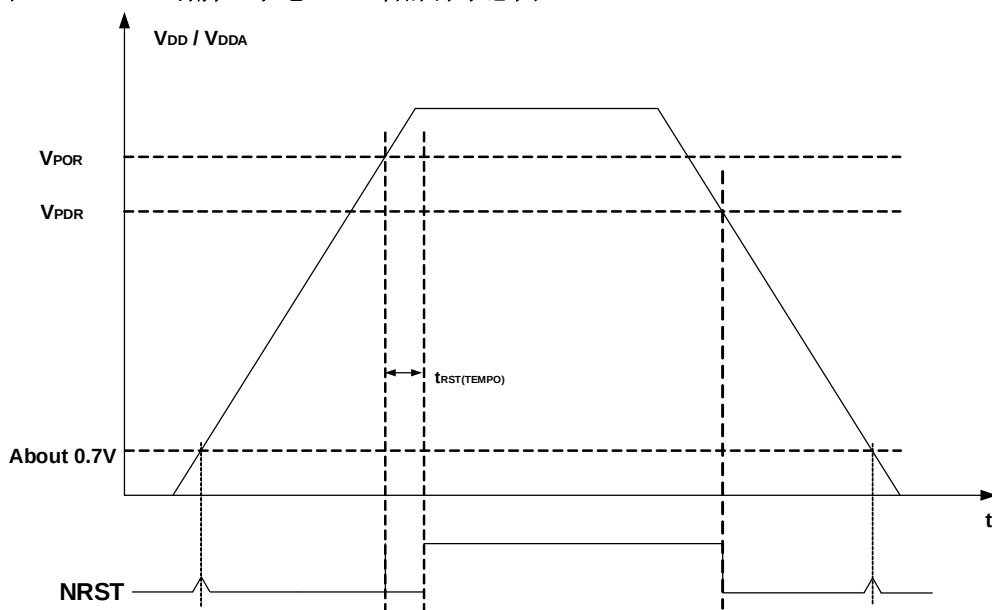


注意：

1. 内部上拉电阻 $R_{PU} = 40\text{ k}\Omega$ ，建议接外部上拉电阻 $10\text{ k}\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管（更多硬件防护设计参考官网 [《AN163 GD32 MCU EMC 硬件防护设计参考》](#)）；
3. 尽管 MCU 内部有硬件 POR 电路，仍推荐外部加 NRST、RSTN 复位阻容电路；
4. 如果 MCU 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 MCU 复位完成时间，避开上电异常时序区。

因 MOS 管门限电压特性，在芯片上下电过程中，当 $V_{DD}/V_{DDA} < 0.7\text{ V}$ 时，芯片内部下拉 MOS 管不会将 NRST 引脚拉低。即，在芯片上下电过程中，在 $V_{DD}/V_{DDA} \approx 0.7\text{ V}$ 时，会出现一个微小脉冲，该脉冲不影响芯片正常工作，其示意如 [图 2-16. NRST 引脚上下电 MOS 管脉冲示意图](#) 中脉冲所示。

图 2-16. NRST 引脚上下电 MOS 管脉冲示意图



因充电和放电速度差异，下降沿的脉冲持续时间比上升沿长一些，二者持续时间都是ms级。

2.3. 时钟

GD32H75E系列内部有完备的时钟系统。系统时钟通常由4到50 MHz无源晶体振荡器的OSCIN和OSCOUT提供，或者由单端4到50 MHz时钟源驱动器的OSCIN引脚提供。

ESC时钟控制单元主要由外部高速晶体振荡器（HXTAL）和锁相环（PLL）组成。ESC时钟通常由25 MHz无源晶体振荡器的OSCI和OSCO提供，或者由单端25 MHz时钟源驱动器的OSCI引脚提供。

用户可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4 - 50 MHz外部高速晶体振荡器（HXTAL）
- 25 MHz外部高速晶体振荡器（HXTAL）
- 内部64 MHz RC振荡器（IRC64M）
- 内部48 MHz RC振荡器（IRC48M）
- 32.768 kHz外部低速晶体振荡器（LXTAL）
- 内部32 kHz RC振荡器（IRC32K）
- 低功耗内部4M RC振荡器（LPIRC4M）
- PLL时钟源可选HXTAL、LPIRC4M或IRC64M
- PLLs支持整数和小数倍频因子
- PLLs小数倍频因子可在运行时修改
- 外设时钟支持动态切换
- HXTAL时钟监视器
- LXTAL时钟监视器

图 2-17. GD32H75E 系列时钟树

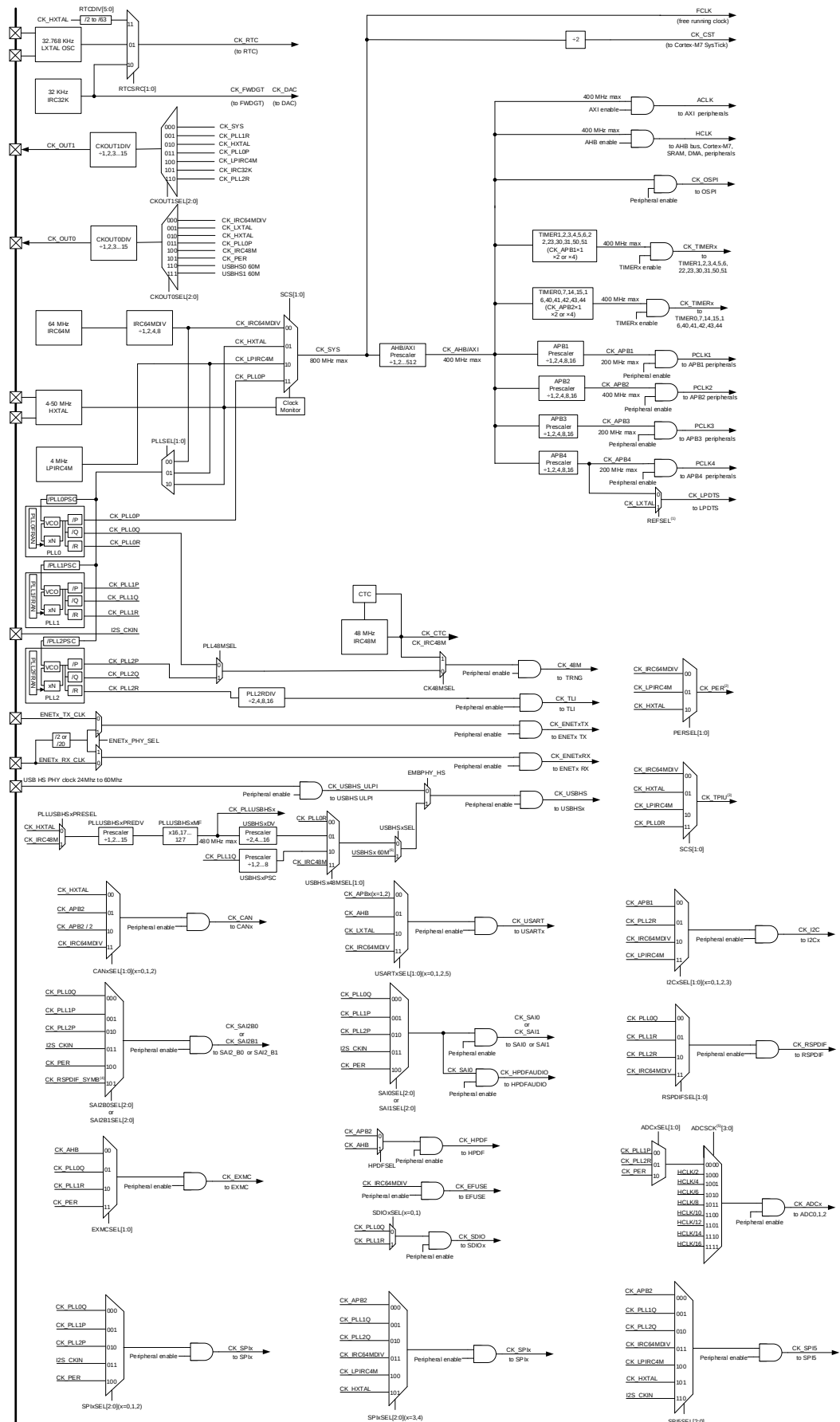
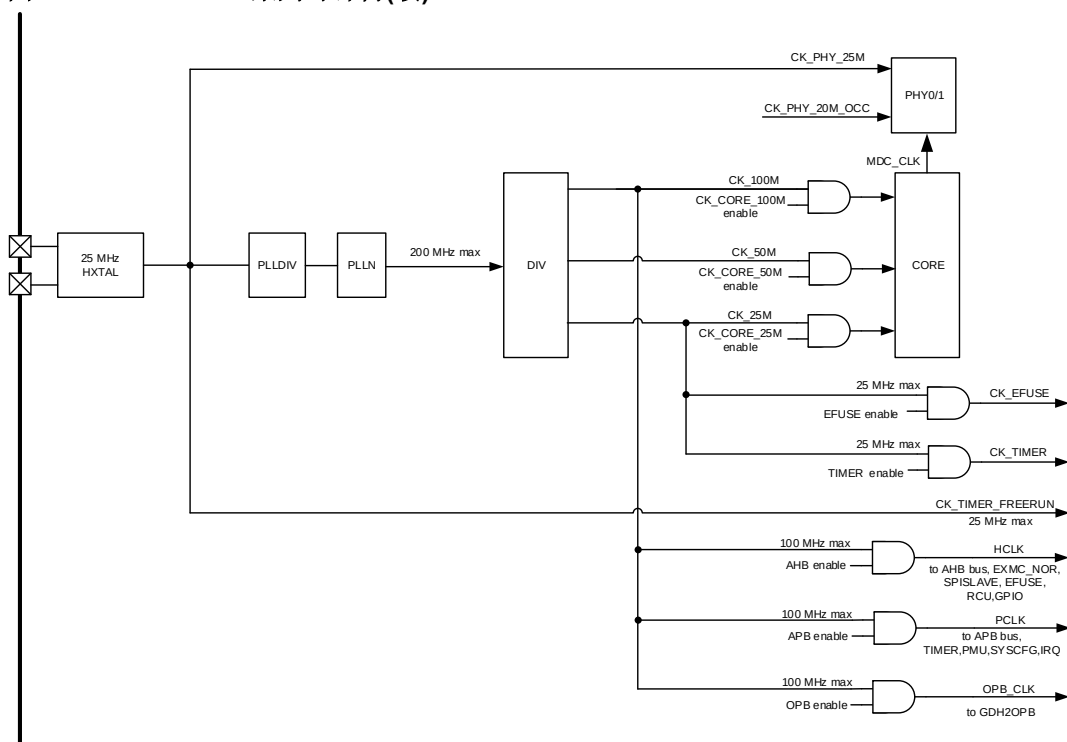


图 2-18. GD32H75E 系列时钟树(续)



注意:

1. REFSEL为LPDTS参考时钟选择位，可选择CK_PCLK4或CK_LXTAL；
2. CK_PER为外设时钟，该时钟可以为CK_LPIRC64MDIV，CK_LPIRC4M或CK_HXTAL；
3. CK_TPIU为跟踪端口接口单元（TPIU）时钟，该时钟可以为CK_IRC64MDIV，CK_LPIRC4M，CK_HXTAL或CK_PLL0R；
4. CK_RSPDIF_SYMB为RSPDIF符号时钟；
5. ADCSCK为ADC同步时钟选择位；
6. USBHSx 60M为USBHSx内部PHY 60M输入时钟源。

2.3.1. 外部高速晶体振荡时钟（HXTAL）

外部高速晶体振荡器可为系统时钟提供更为精确时钟源。带有特定频率的晶体必须与靠近两个HXTAL的引脚连接。与晶体连接的外部电阻和电容必须根据所选择的振荡器来调整。

图 2-19. HXTAL 外部晶体电路

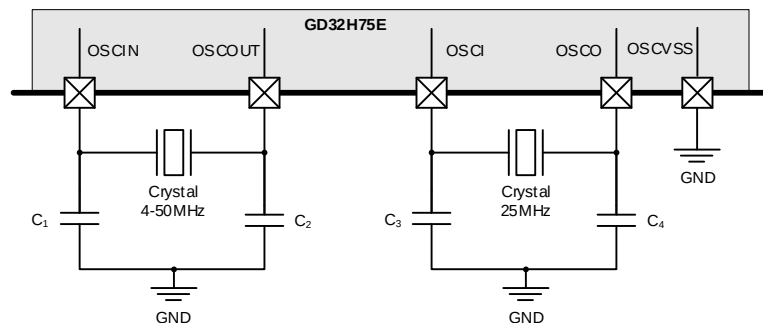
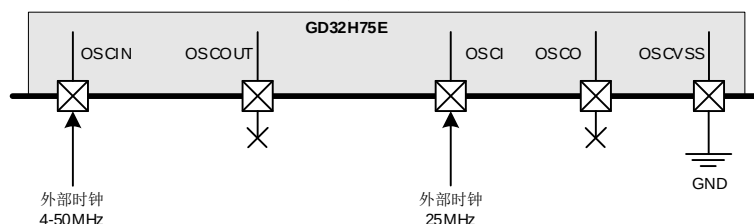


图 2-20. HXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从 OSCIN、OSCI 输入，OSCOU、OSCO 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1=C_2=2*(C_{LOAD}-C_S)$ ，其中 C_S 为 PCB 和 MCU 引脚的杂散电容，典型值为 10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚。更多基于谐振器的振荡器电路设计内容可以参考《[AN052 GD32 MCU 基于谐振器的时钟电路](#)》；
3. C_S 为 PCB 板走线及 MCU 引脚上的寄生电容，当晶体离 MCU 越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部晶体振荡器；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}；
7. 谐振器与 MCU 时钟引脚连接的走线可能会因为 PCB 布局布线的空间限制导致连接到 OSCOUT 和 OSCIN 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值；
8. 时钟电路硬件防护设计参考官网《[AN163 GD32 MCU EMC 硬件防护设计参考](#)》。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 是一个频率为 32.768kHz 的外部低速晶体或陶瓷谐振器。它为实时时钟电路提供一个低功耗且高精度的时钟源。LXTAL 振荡器可以通过设置备份域控制寄存器（RCU_BDCTL）中的 LXTALEN 位被启动和关闭。备份域控制寄存器 RCU_BDCTL 中的 LXTALSTB 位用来指示 LXTAL 时钟是否稳定。如果中断寄存器 RCU_INT 中的相应中断使能位 LXTALSTBIE 被置‘1’，在 LXTAL 稳定以后，将产生一个中断。

将备份域控制寄存器 RCU_BDCTL 的 LXTALBPS 和 LXTALEN 位置‘1’可以选择外部时钟旁路模式。CK_LXTAL 与连到 OSC32IN 脚上外部时钟信号一致。

图 2-21. LXTAL 外部晶体电路

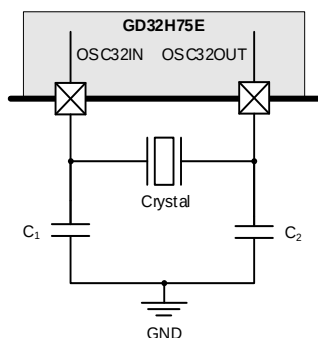
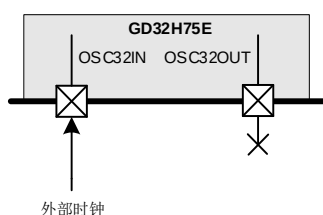


图 2-22. LXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从 OSC32IN 输入，OSC32OUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为 PCB 和 MCU 引脚的杂散电容，经验值在 2pF ~ 7pF 之间，建议以 5pF 为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在 10pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 10pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚；
3. 当 RTC 选择 IRC32K 作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时 MCU 掉电，RTC 会停止计数，重新上电后，RTC 会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给 RTC 供电时，RTC 仍能正常计时，RTC 须选择 LXTAL 作为时钟源；
4. MCU 可以设置 LXTAL 的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试将 LXTAL 的驱动能力调整为高驱动能力；
5. 谐振器与 MCU 时钟引脚连接的走线可能会应为 PCB 布局布线的空间限制导致连接到 MCU 两个晶振引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

GD32H75E 系列可输出内部相关时钟信号，可以通过设置时钟配置寄存器 0（RCU_CFG2）中的 CK_OUT0 时钟源选择位域 CKOUT0SEL 能够选择不同的时钟信号。相应的 GPIO 引脚应该被配置成备用功能 I/O（AFIO）模式来输出选择的时钟信号。CK_OUT1 时钟输出源选择通过设置时钟配置寄存器 RCU_CFG2 中的 CKOUT1SEL 位域实现。

表 2-8. 时钟输出 0 的时钟源选择

CKOUT0SEL[2:0]	时钟源
000	CK_IRC64MDIV
001	CK_LXTAL
010	CK_HXTAL
011	CK_PLL0P
100	CK_IRC48M
101	CK_PER
110	USBHS0 60M
111	USBHS1 60M

表 2-9. 时钟输出 1 的时钟源选择

CKOUT1SEL[2:0]	时钟源
000	CK_SYS
001	CK_PLL1R
010	CK_HXTAL
011	CK_PLL0P
100	CK_LPIRC4M
101	CK_IRC32K
110	CK_PLL2R

通过配置RCU_CFG2寄存器的CKOUT0DIV位域，可以将CK_OUT0输出时钟的频率按比例分频，进而降低CK_OUT0的输出频率。

通过配置RCU_CFG0寄存器的CKOUT1DIV位域，可以将CK_OUT1输出时钟的频率按比例分频，进而降低CK_OUT1的输出频率。

2.3.4. HXTAL 时钟监视器（CKM）

设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断和Cortex®-M7的不可屏蔽中断NMI相连。如果HXTAL被选作系统或PLL0的时钟源，HXTAL故障将促使选择IRC64M为系统时钟源且PLL0将被自动禁止。如果HXTAL被选作PLLs的时钟源，HXTAL故障将促使该PLL被自动禁止。

2.3.5. LXTAL 时钟监视器（LCKM）

设置时钟控制寄存器RCU_BDCTL中的LXTAL时钟监视使能位LCKMEN，LXTAL可以使能时钟监视功能。该功能必须在LXTAL启动延迟完毕后使能。LXTAL上的时钟监视器在除VBAT以外的所有模式下工作。如果在外部32 kHz振荡器上检测到故障，可以向CPU发送中断。然后，软件必须禁用LCKMEN位，停止有缺陷的32 kHz振荡器，并更改RTC时钟源，或采取任何必要的措施来保护应用程序。

当LCKMEN启用时，一个4位加一个计数器将在IRC32K域工作。如果LXTAL时钟卡在0/1错误

或减慢约20KHz，计数器将溢出。将发现LXTAL时钟故障。一旦监测到LXTAL故障，中断寄存器RCU_INT中的LXTAL时钟阻塞中断标志位LCKMIF将被置‘1’，产生LXTAL故障事件。该中断与EXTI_18中断线相连，可用于从睡眠或深度睡眠模式中唤醒。LXTAL故障事件也可将系统从待机模式唤醒。

2.3.6. ESC 时钟输出测试模式

为了进行系统调试，观察时钟情况，可通过设置INTC_CTL寄存器的IRQCKOUT位为1，实现IRQ引脚输出晶振时钟。此时，IRQ引脚须配置为推挽输出模式（IRQMODE = 1），以求达到最佳效果。

2.4. 启动配置

GD32H75E 系列 MCU 提供不同的引导源，可通过 Arm® Cortex®-M7 核心寄存器（FMC_BTADDR_MDF）的引导地址中的引导引脚和引导地址0/1[15:0]进行选择。详情见[表2-10. 引导模式选择](#)和[表2-11. 引导模式详细描述](#)。BOOT引脚的电平状态会在复位后的第四个CK_SYS(系统时钟)的上升沿进行锁存。用户可自行选择所需要的引导源，通过设置上电复位和系统复位后的BOOT的引脚电平。

BOOT_ADDR0[15:0]和BOOT_ADDR1[15:0]地址允许将引导内存地址配置为0x0000 0000到0x9000 0000 之间的任何地址。引导模式可由SYSCFG_USERCFG0寄存器的BOOT_MODE[2:0]位域中获取。

表 2-10. 引导模式选择

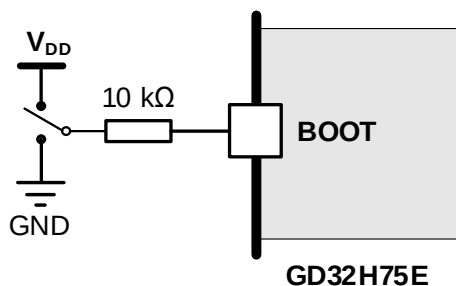
引导源地址	启动模式选择引脚
	BOOT
引导地址高位：由BOOT_ADDR0[15:0]定义 引导地址低位：0x0000	0
引导地址高位：由BOOT_ADDR1[15:0]定义 引导地址低位：0x0000	1

表 2-11. 引导模式详细描述

SCR	SPC[7:0]	BOOT_ADDRESS (在BOOT_ADDRx(x = 0,1) 配置)	BOOT_MODE	启动地址
1	x	XXXX	SECURITY BOOT	ROM
0	安全保护 等级高	0x9000_0000	USER BOOT	OSPI0
		0x7000_0000	USER BOOT	OSPI1
		0x0800_0000~max user flash	USER BOOT	BOOT_ADDRESS
		其他地址	USER BOOT	0x0800_0000
	无保护状 态/	0x9000_0000	USER BOOT	OSPI0
		0x7000_0000	USER BOOT	OSPI1

SCR	SPC[7:0]	BOOT_ADDRESS (在BOOT_ADDRx(x = 0,1) 配置)	BOOT_MODE	启动地址
	安全保护 等级低	0x2408_000 max RAM shared(ITCM/DTCM/AXI)	SRAM BOOT(RAM shared)	BOOT_ADDRESS
		0x2400_0000 ~ max AXI SRAM	SRAM BOOT(AXI SRAM)	BOOT_ADDRESS
		0x2000_0000	SRAM BOOT(DTCM)	0x2000_0000
		0x0800_0000 ~ max user flash	USER BOOT	BOOT_ADDRESS
		0x0000_0000	SRAM BOOT(ITCM)	0x0000_0000
		0x1FF0_0000	SYSTEM BOOT	BootLoader
		其他地址	USER BOOT	0x0800_0000 (BOOT Pin = 0)
			SYSTEM BOOT	BootLoader (BOOT Pin = 1)

图 2-23. 推荐 BOOT 电路设计



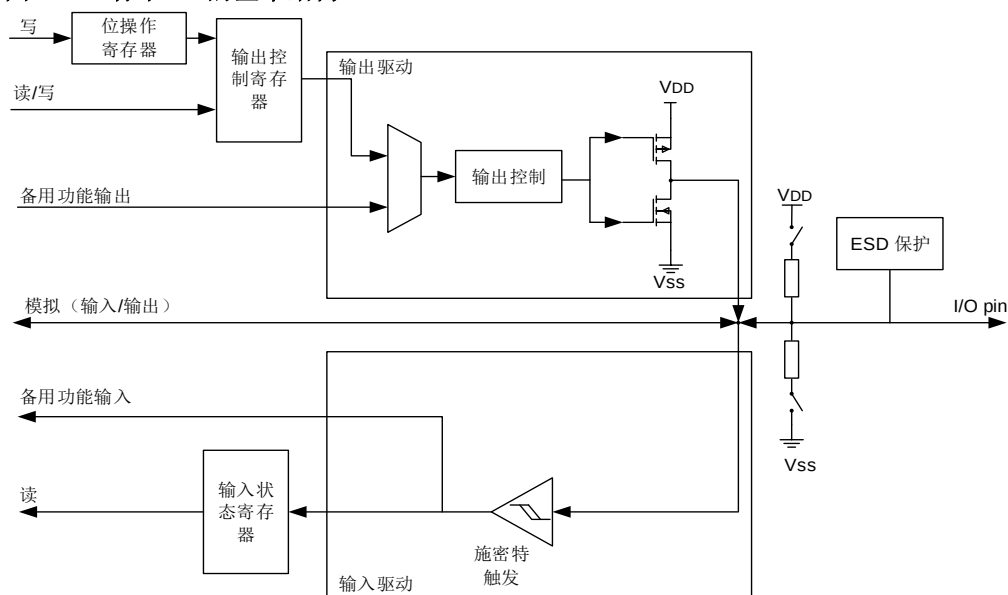
注意：MCU运行后，如果改变BOOT状态，须系统复位后才可生效。

2.5. 典型外设模块

2.5.1. GPIO 电路

GD32H75E最多可支持116个通用I/O引脚（GPIO），分别为PA0~PA15，PB0~PB15，PC0~PC15，PD0~PD15，PE0~PE15，PF5~PF15，PG6~PG9，PG13~PG15，PH0~PH13，PA0_C，PA1_C，PC2_C，PC3_C，各片上设备用其来实现逻辑输入/输出功能。每个GPIO端口有相关的控制和配置寄存器以满足特定应用的需求。片上设备GPIO引脚的外部中断由EXTI模块的寄存器控制和配置。GPIO口的基本结构详见[图2-24. 标准IO的基本结构](#)：

图 2-24. 标准 IO 的基本结构

**注意：**

1. IO口分为5V耐受和非5V耐受，使用时注意区分IO口耐压情况，详见数据手册；
2. 5V耐受的IO口配置为开漏输出模式或输入模式时，可以连接5V电压。配置为推挽输出模式时，禁止连接5V电压；
3. IO口复位期间或者复位后，备用功能未激活，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入，然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
5. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3mA左右），配置为输出模式时，其工作速度不能超过2MHz（最大负载为30pF）；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
7. 非 5V 耐受 IO，外接超过 V_{DD} 的电压时，可能会产生灌电流；
8. 需要连接板外器件或者开关、按键的引脚，在紧靠对外端加上ESD防护电路。更多硬件防护设计参考官网《[AN163 GD32 MCU EMC硬件防护设计参考](#)》。

2.5.2. ESC-GPIO 电路

最多支持35个通用输入 / 输出引脚（GPIO）的模式配置。每个GPIO端口将根据芯片的当前工作模式确定该端口的当前功能，包括输入/输出模式。每个GPIO引脚可以配置为上拉 / 下拉或浮空。当引脚处于输出模式时，引脚可以配置为推挽/漏极开路/源极开路输出。

- 每个引脚具有弱上拉 / 下拉功能
- 推挽 / 漏极开漏 / 源极开漏输出使能控制
- 根据芯片模式配置选定引脚的功能

当芯片处于不同模式时，每个引脚具有不同的功能。

SPI 模式：当 PDI_TYPE 等于 0x80 且 MCU_PDI_TYPE 引脚等于 0 时，AFIO 调整为 SPI 模式。

表 2-12. GPIO 配置表

模式名称	寄存器 / 信号	描述
spi8w_gpio	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b11; LINKACTLED0 引脚必须外部下拉 LINKACTLED1 引脚必须外部下拉
spi8w_mii_down	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode / chip_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b10; chip_mode == 2'b10 LINKACTLED1 引脚必须在外部下拉 LINKACTLED1 引脚必须在外部上拉
spi8w_mii_up	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode / chip_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b10; chip_mode == 2'b11; LINKACTLED1 引脚必须在外部上拉 LINKACTLED1 引脚必须在外部上拉

根据不同功能组分别介绍 ESC 引脚：

表 2-13. LAN 端口 A 引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
J17	TXPA	TXPA	I/O	端口A双绞线发送/接收正通道1。请参见注1。
H17	TXNA	TXNA	I/O	端口A双绞线发送/接收负通道1。请参见注1。
G17	RXPA	RXPA	I/O	端口A双绞线发送/接收正通道2。请参见注1。
F17	RXNA	RXNA	I/O	端口A双绞线发送/接收负通道2。请参见注1。
G13	RTXA	RTXA	I	配置引脚，外部6KΩ接地。请参见注2。

表 2-14. LAN 端口 B 引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
E17	TXPB	TXPB	I/O	端口A双绞线发送/接收正通道1。请参见注1。
D17	TXNB	TXNB	I/O	端口A双绞线发送/接收负通道1。请参见注1。
C17	RXPB	RXPB	I/O	端口A双绞线发送/接收正通道2。请参见注1。
B17	RXNB	RXNB	I/O	端口A双绞线发送/接收负通道2。请参见注1。
B13	RTXB	RTXB	I	配置引脚，外部6KΩ接地。请参见注2。

注意：

1. 在铜制双绞线模式下，通道1与通道2一个用作发送对，一个用作接收对。双绞线引脚的引

脚名称符号适用于正常连接。如果使能了Auto-MDIX并且检测到或手动选择了反向连接，则RX和TX引脚将在内部交换。

2. 确保6K Ω 靠近IC放置。
3. 端口A连接至EtherCAT端口0或2，端口B连接至EtherCAT端口1。

表 2-15. LAN 端口 A 和端口 B 电源引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
D12	VDD3A1	VDD3A1	P	+3.3V端口A模拟电源。请参见注4。
B12	VDD3A2	VDD3A2	P	+3.3V端口B模拟电源。请参见注4。
A14	VDD1A1	VDD1A1	P	+1.1V 端口 A 模拟电源。该引脚必须连接至 VDD1A2 引脚，才能正常工作。请参见注4。
A13	VDD1A2	VDD1A2	P	+1.1V 端口 B 模拟电源。该引脚必须连接至 VDD1A1 引脚，才能正常工作。请参见注4。

注意：

4. 详细的电路连接，请参考 [图2-5. GD32H75E系列推荐供电设计（使能ESC内部稳压器）](#)、[图2-41. GD32H75E推荐参考原理图设计](#)。

表 2-16. EtherCAT MII 端口和配置脚引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
D7	OE_EXT	ESC_CLKOUT_25M	I/O, 5VT	25MHz时钟引脚。该引脚是自由运行的25MHz时钟，可用于PHY的时钟输入。请参见注5。
E6, F5, E5, E4	IO15, IO14, IO13, IO12	MII_RXD[3:0]	I/O, 5VT	接收数据引脚。这些引脚从外部PHY接收数据。
D6	IO11	MII_RX_DV	I/O, 5VT	接收数据有效引脚。该引脚从外部PHY接收数据有效信号。
H2	IO9	MII_RX_ER	I/O, 5VT	接收错误引脚。该引脚从外部PHY接收错误信号。
K2	IO0	MII_RX_CLK	I/O, 5VT	接收时钟引脚。该引脚从外部PHY接收时钟。
B8, A8, A5, B5	IO8, IO7, IO6, IO5	MII_TXD[3:0]	I/O, 5VT	发送数据引脚。这些引脚向外部PHY发送数据。
B8, A8	IO8, IO7	TX_SHIFT[1:0]	I/O, 5VT	MII发送时序移位配置脚。请参见注6。 TX_SHIFT[1]在MII_TXD[3]上，TX_SHIFT[0]在MII_TXD[2]上。
A4	IO4	MII_TXEN	I/O, 5VT	发送数据使能引脚。该引脚向外部PHY发送数据使能信号。
B14	IO3	MII_LINK	I/O, 5VT	链路状态指示引脚。该引脚信号由PHY提供，指示已建立100Mbps全双工链路。信号极性由MII_LINKPOL配置脚配置。
J4	IO1	ESC_MDC	I/O, 5VT	SMI时钟引脚。该引脚是外部PHY的串行管理时钟。
K3	IO2	ESC_MDIO	I/O, 5VT	SMI数据引脚。该引脚是外部PHY的串行管理接口数据输入/输出。请参见注7。
F2	IO10	MII_LINKPOL	I/O, 5VT	MII_LINK极性配置脚。请参见注6。

注意：

5. 使用外部PHY与ESC芯片连接时，OSPI+MII 模式下不能使用ESC_CLKOUT_25M，需要使用同一有源时钟。建议参考典型电路[图2-29. 使用外部PHY的连接示意图](#)设计。
6. 配置脚值在上电复位时或RSTN引脚复位时锁存。具体信息请参见[ESC硬件配置表](#)配置。
7. 需要外部上拉以确保ESC_MDIO信号的非驱动状态为逻辑1。

表 2-17. OSPI 引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
-	-	CSN	-	OSPI片选信号。连接到PG12，请参见注8。
-	-	SCK	-	OSPI串行时钟信号。连接到PF4，请参见注8。
-	-	SIO0	-	OSPI串行数据输入和输出。连接到PF0，请参见注8。
-	-	SIO1	-	OSPI串行数据输入和输出。连接到PF1，请参见注8。
-	-	SIO2	-	OSPI串行数据输入和输出。连接到PF2，请参见注8。
-	-	SIO3	-	OSPI串行数据输入和输出。连接到PF3，请参见注8。
-	-	SIO4	-	OSPI串行数据输入和输出。连接到PG0，请参见注8。
-	-	SIO5	-	OSPI串行数据输入和输出。连接到PG1，请参见注8。
-	-	SIO6	-	OSPI串行数据输入和输出。连接到PG10，请参见注8。
-	-	SIO7	-	OSPI串行数据输入和输出。连接到PG11，请参见注8。

注意：

8. OSPI信号没有外部引脚，已在芯片内部连接。

表 2-18. EtherCAT 分布式时钟引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
B7	SYNC1_LAT CH1	SYNC1	I/O, 5VT	同步（输出）信号。这些信号方向可按位配置。请参见注9。
		LATCH1		锁存（输入）信号。这些信号方向可按位配置。请参见注9。
H3	SYNC0_LAT CH0	SYNC0	I/O, 5VT	同步（输出）信号。这些信号方向可按位配置。请参见注9。
		LATCH0		锁存（输入）信号。这些信号方向可按位配置。请参见注9。

注意：

9. 在装载EEPROM之前，不驱动这些信号（高阻态）。

表 2-19. EtherCAT GPIO 引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
-	IO[15:0]	PDI_GPIO[15:0]	I/O, 5VT	这些引脚为输入/输出或双向数据。请参见注9。
B9	IO16	MCU_PDI_TYPE	I/O, 5VT	总线接口配置脚。请参见注6。
C9	IO17	EFUSE_LDO_BYP	I/O, 5VT	EFUSE_LDO配置脚。请参见注6。
D10	IO18	PHYRST_MODE	I/O, 5VT	PHYRST_MODE配置脚。请参见注6。
N15	OUTVALID	OUTVALID	I/O, 5VT	输出有效引脚。该引脚指示输出有效并且可被捕捉到外部寄存器中。请参见注9。
M14	LATCH_IN	LATCH_IN	I/O, 5VT	锁存器输入引脚。该引脚是外部数据锁存器信号。输入数据在每次识别到LATCH_IN上升沿时进行采样。
N14	WD_TRIG	WD_TRIG	I/O, 5VT	看门狗触发引脚。该引脚是SyncManager看门狗触发信号输出。请参见注9。
M15	WD_STATE	WD_STATE	I/O, 5VT	看门狗状态引脚。该引脚是SyncManager看门狗状态输出。0表示看门狗已超时。请参见注9。
F16	SOF	SOF	I/O, 5VT	帧起始。该引脚是帧起始输出，指示以太网/EtherCAT帧的起始。请参见注9。
H16	EOF	EOF	I/O, 5VT	帧结束。该引脚是帧结束输出，指示以太网/EtherCAT帧的结束。请参见注9。
D7	OE_EXT	OE_EXT	I/O, 5VT	输出使能引脚。该引脚是输出使能控制引脚。低电平时，它会清零输出数据。

注意：

10. OSPI模式下，由于SPI PIN占用数量较多，在OSPI+GPIO 模式下不能使用PDI_GPIO15。

表 2-20. EEPROM 引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
K4	EESCL	EEPROM_CLK	I/O, 5VT	该引脚是I2C串行数据输入/漏极开路输出。请参见注11。
L4	EESDA	EEPROM_DATA	I/O, 5VT	该引脚是I2C时钟漏极开路输出。请参见注11。

注意：

11. 该引脚必须始终通过外部电阻上拉。

表 2-21. LED 和配置脚引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
E11	LINKACTLED0	LINKACTLED0	I/O, 5VT	该引脚是端口0的链路/活动LED输出（熄灭 = 无链路；点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。

引脚编号	引脚名称	引脚功能	引脚类型	说明
				该引脚配置为漏极开路/ 源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。
		CHIP_MODE 0		该配置脚与CHIP_MODE1共同配置芯片模式。请参见注6。
F13	LINKACTLED D1	LINKACTLED 1	I/O, 5VT	该引脚是端口1的链路/活动LED输出(熄灭 = 无链路; 点亮 = 有链路但无活动; 闪烁 = 有链路且有活动)。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。
		CHIP_MODE 1		该配置脚与CHIP_MODE0共同配置芯片模式。请参见注6。
F2	IO10	LINKACTLED 2	I/O, 5VT	该引脚是端口2的链路/活动LED输出(熄灭 = 无链路; 点亮 = 有链路但无活动; 闪烁 = 有链路且有活动)。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。
F14	EESIZE	RUNLED	I/O, 5VT	该引脚是端口1的链路/活动LED输出(熄灭 = 无链路; 点亮 = 有链路但无活动; 闪烁 = 有链路且有活动)。 该引脚配置为漏极开路/ 源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。
		EEPROM_SIZE		该配置脚配置EEPROM大小的值。请参见注6。

表 2-22. 其他引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
-	IRQ	IRQ	-	中断请求输出引脚。请参见注12。
A9	RSTN	RSTN	-	系统复位输入引脚。外部低电平信号来复位器件。
A10	REG_EN	REG_EN	I/O	ESC内部LDO使能引脚。高电平有效。
G14	TESTMODE	TESTMODE	I/O, 5VT	测试模式引脚。该引脚必须接至Vss引脚, 才能正常工作。
A11	OSCI	OSCI	I/O	晶振输入引脚。外部25MHz晶振输入。该引脚也可由有源振荡器驱动, 此时OSCO应保持未连接状态。
B11	OSCO	OSCO	I/O	晶振输出引脚。外部25MHz晶振输入。
A12	OSCVDD11	OSCVDD11	P	晶振+1.1V电源。当关闭内部稳压器时, 需通过该引脚给晶振电源供电。
C11	OSCVSS	OSCVSS	P	晶振地。任何情况下均要保证该引脚接地。

注意：

12. IRQ引脚与PJ10引脚没有外部引脚，并且在芯片内部连接。

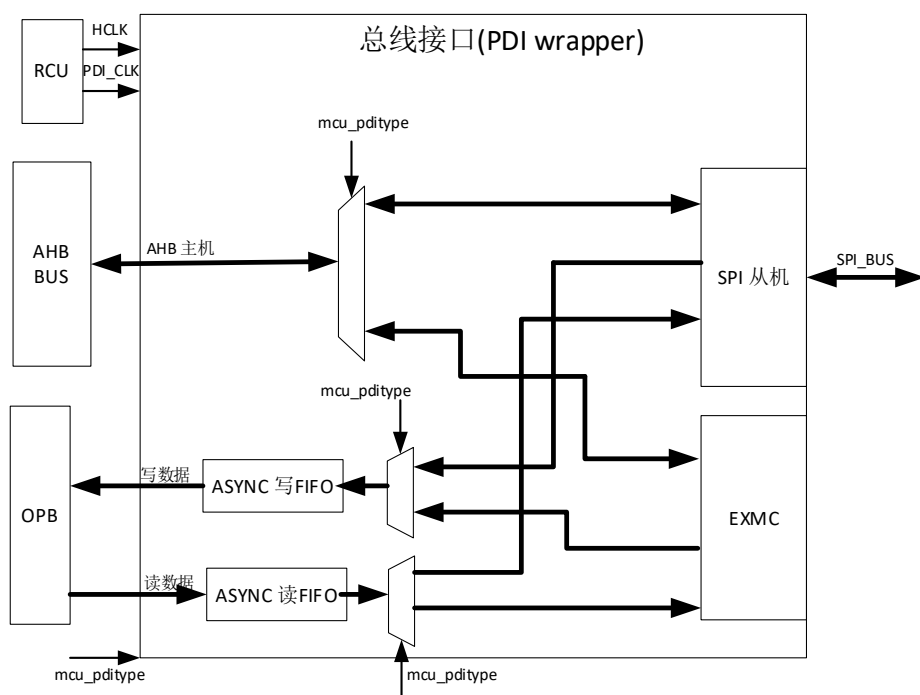
表 2-23. 内核和 I/O 电源引脚说明

引脚编号	引脚名称	引脚功能	引脚类型	说明
-	VDD33	VDD33	P	内部稳压器+3.3V电源。任何情况下均要保证该引脚接+3.3V。
-	VDDIO	VDDIO	P	I/O电源。支持+1.8V至+3.3V。
-	VDDCR	VDDCR	P	+1.1V数字内核电源。当关闭内部稳压器时，需通过这些引脚给内核供电。
-	VSS	VSS	P	公共接地端。

2.5.3. ESC 总线接口（PDI Wrapper）电路

在ESC中，EXMC和SPI SLAVE被封装成一个用于系统集成的包装器。PDI Wrapper只能用于SPI。内部集成了两个异步FIFO，每个都是16 x 32位。只能工作在SPI SLAVE，由MCU_PDI_TYPE引脚选择。

图 2-25. PDI Wrapper 框图



注意：

1. MCU_PDI_TYPE引脚选择工作访问接口模块。当MCU_PDI_TYPE引脚为0时，SPI从机可以访问内部数据；
2. PDI_CLK为SPI_SLAVE提供时钟。当MCU_PDI_TYPE的引脚为0时，PDI_CLK来自SPI_SCK；
3. HCLK是一个100MHz的系统时钟，为ASYNC_FIFO、SPI_SLAVE提供时钟。

2.5.4. ESC 硬件配置表

ESC硬件配置是将设备的各种功能自动配置为用户定义的值。硬件配置在上电复位（POR）、EtherCAT系统复位或RSTN引脚复位时锁存。

表 2-24. ESC 硬件配置表

引脚名称	引脚功能	描述
IO16	MCU_PDI_TYPE	总线接口配置脚：配置工作访问接口模块。 0 = SPI模块。(仅支持SPI模式)
IO17	EFUSE_LDO_BYP	EFUSE_LDO配置脚：配置EFUSE内部稳压器旁路。 0 = 内部LDO工作。(默认配置) 1 = 内部LDO被旁路。
IO18	PHYRST_MODE	PHYRST_MODE配置脚：配置PHY复位控制寄存器。 0 = RCU_RSTCFG[9:8]位无效。(默认配置) 1 = RCU_RSTCFG[9:8]位有效，可通过配寄存器控制PHY复位。
IO8, IO7	TX_SHIFT[1:0]	MII发送时序移位配置脚：这些配置脚决定MII端口的MII发送时序移位值。 00 = 0 ns (默认配置) 01 = 10 ns 10 = 20 ns 11 = 30 ns
IO10	MII_LINKPOL	MII_LINK极性配置脚：配置MII_LINK引脚的极性。 0 = MII_LINK低电平有效，表明已建立100 Mbps全双工链路。(默认配置) 1 = MII_LINK高电平有效，表明已建立100 Mbps全双工链路。
EESIZE	EEPROM_SIZE	EEPROM大小配置脚：配置EEPROM大小范围。 0 = 小于16 Kb。 1 = 大于16 Kb。
LINKACTLED1, LINKACTLED0	CHIP_MODE[1:0]	EtherCAT芯片模式配置脚：这些配置脚决定活动端口数和端口类型。 00 = 双端口模式。EtherCAT端口0和端口1连接至内部PHYA和PHYB。这种模式下，SPI + GPIO模式输出不受影响，而SPI + MII模式中MII信号不输出。 01 = 保留。 10 = 3端口下行模式。EtherCAT端口0和端口1连接至内部PHYA和PHYB。端口2连接至外部MII端口。 11 = 3端口上行模式。EtherCAT端口2和端口1连接至内部PHYA和PHYB。端口0连接至外部MII端口。
TESTMODE	TESTMODE	测试模式。 0 (默认配置)。

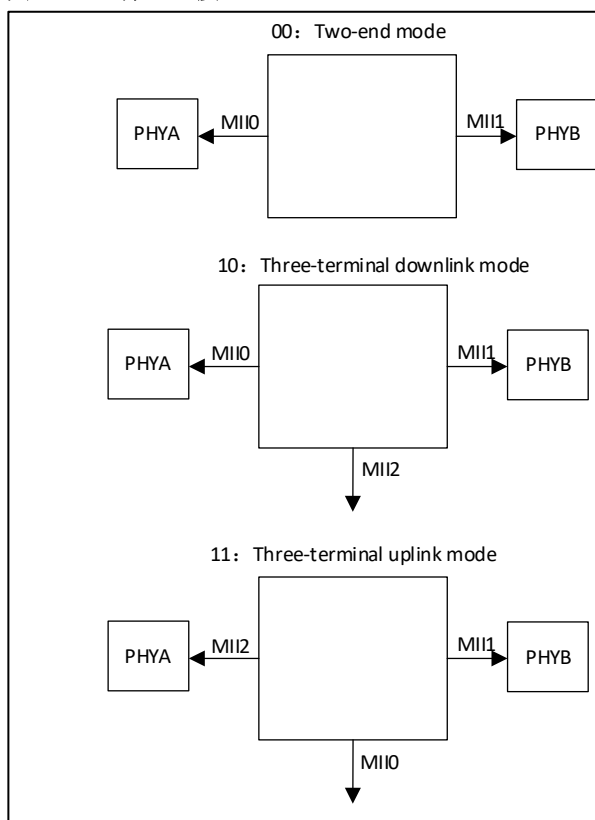
注意：

1. 必须确保配置引脚满足时序要求，具体请参考数据手册。如果配置脚引脚在锁存前未处于

正确的电压值，器件可能捕捉到不正确的配置值；

2. 建议配置脚外部接10KΩ上下拉电阻。

图 2-26. 端口连接 PHYS



2.5.5. 以太网 PHYS

GD32H75E 包含两个电压型PHY A和B，它们在功能上是相同的。PHY A连接到EtherCAT端口0或2。PHY B连接到EtherCAT端口1。这些PHY通过内部MII接口与它们各自的MAC进行接口。可以配置为全双工100 Mbps（100BASE-TX）以太网操作。所有PHY寄存器遵循IEEE 802.3规定的MII管理寄存器，并且是完全可配置的。

- 完全符合IEEE 802.3 100 Base-TX标准，并支持EEE
- 自动协商和并行检测能力，用于自动速度和双工选择
- 支持MII和RMII接口
- 支持即插即用的Auto-MDIX功能
- 可编程环回模式用于诊断
- 支持不同应用的可编程LED输出，开机自检LED
- 支持WOL（Wake-On-Lan）功能

图 2-27. PHY 功能模块图

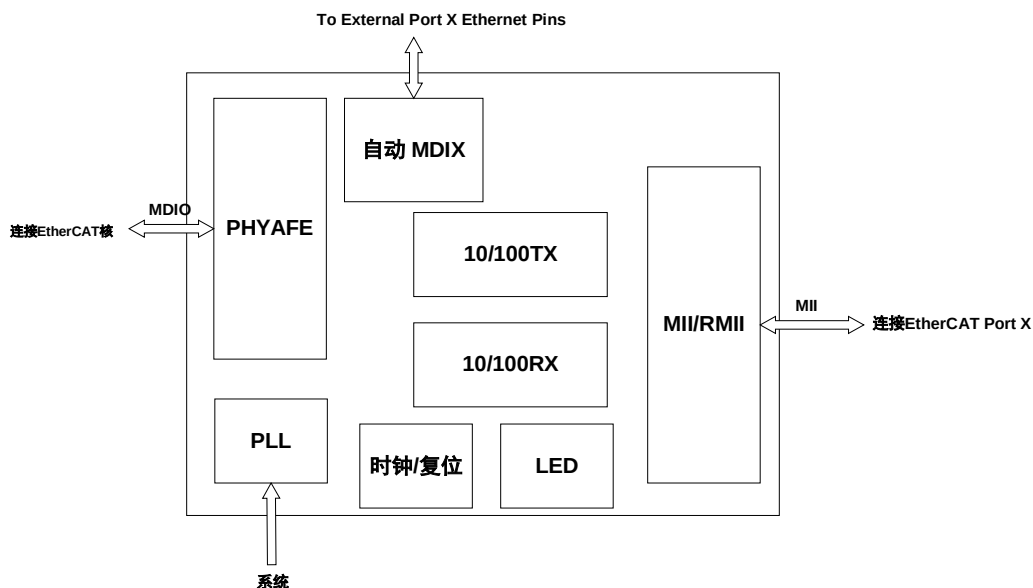
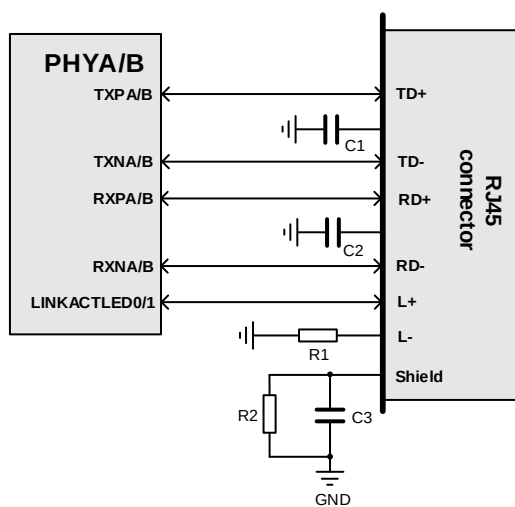


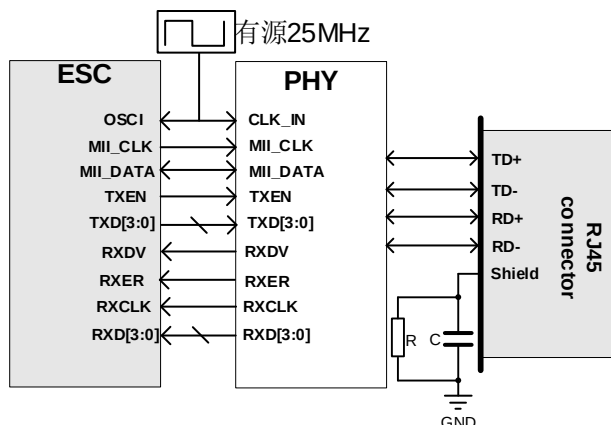
图 2-28. 内置 PHY 与 RJ45 网口(内部带变压器)连接示意图



推荐：R1 = 470 Ω ，R2 = 1 M Ω ，C1 = 0.1 μ F，C2 = 0.1 μ F，C3 = 4.7 nF。

GD32H75E 为外部 PHY 提供了一个 MII 接口。使用外部 PHY 连接示意图如 [图 2-29. 使用外部 PHY 的连接示意图](#) 所示。

图 2-29. 使用外部 PHY 的连接示意图



注意：用外部PHY与OSC芯片连接时，需要使用同一有源时钟。

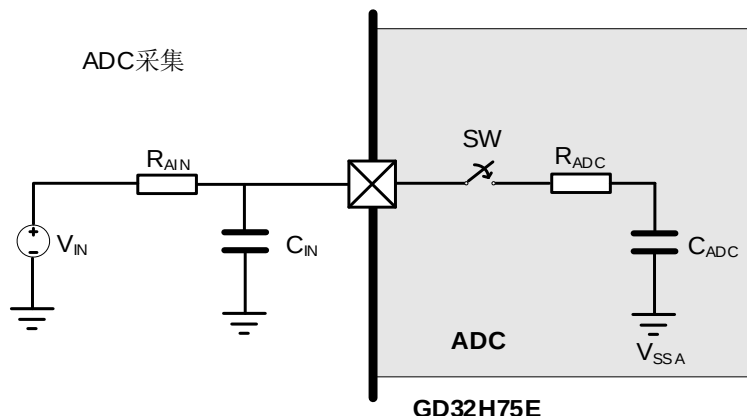
2.5.6. ADC 电路

GD32H75E 内部集成了 12/14 位逐次逼近式模数转换器模块（ADC），ADC0 有 20 个外部通道，1 个内部通道（DAC_OUT0 通道），ADC1 有 18 个外部通道，3 个内部通道（电池电压（ V_{BAT} ）通道、参考电压输入通道（ V_{REFINT} ）和 DAC_OUT0 通道），ADC2 有 17 个外部通道，4 个内部通道（电池电压（ V_{BAT} ）通道、参考电压输入通道（ V_{REFINT} ）、内部温度传感通道（ V_{SENSE} ）和高精度温度传感器通道（ V_{SENSE2} ）。ADC 采样通道均支持多种运行模式，采样转换后，转换结果可以按照最低有效位对齐或最高有效位对齐的方式保存在相应的数据寄存器中（ADC0/1 为 32 位数据寄存器，ADC2 为 16 位数据寄存器）。片上的硬件过采样机制可以通过减少来自 MCU 的相关计算负担来提高性能。

如果在使用过程中，ADC 采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部 V_{REFINT} 进行校准，反推外部采样电压。

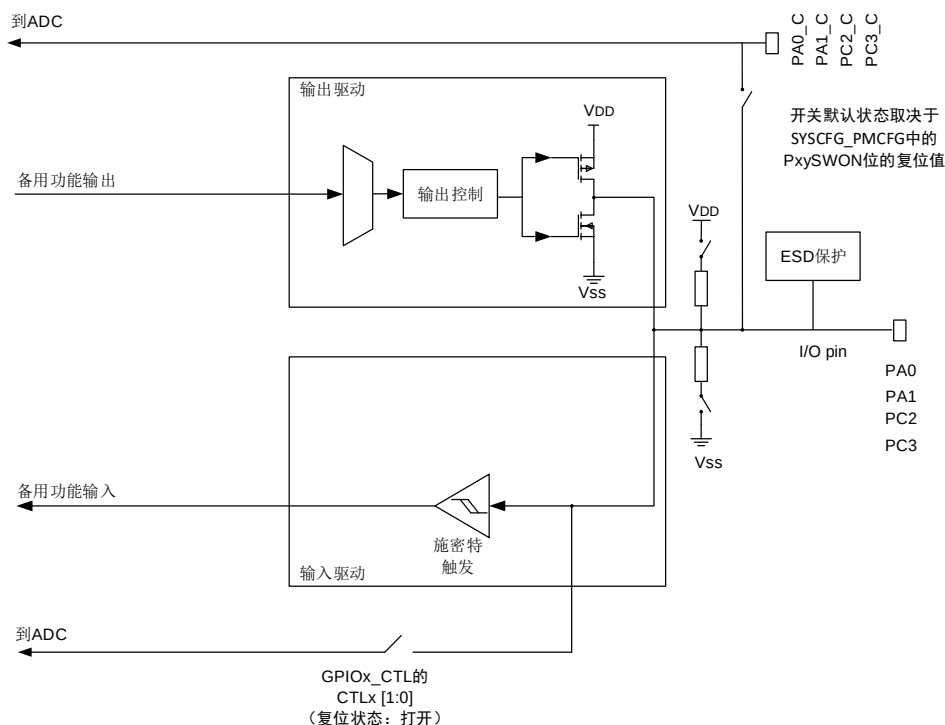
设计 ADC 电路时，建议在 ADC 输入管脚处放置小电容 C_{IN} ，如 [图 2-30. ADC 采集电路设计](#)。

图 2-30. ADC 采集电路设计



一些引脚直接连接到 PA0_C、PA1_C、PC2_C 和 PC3_C 的 ADC 模拟输入端（如 [图 2-31. ADC 的模拟配置](#)）：Pxy_C 和 Pxy 引脚之间通过模拟开关直接相连。

图2-31. ADC的模拟配置



2.5.7. 内部温度传感器

GD32H75E 系列 MCU 内部集成了一个温度传感器（ADC2_CH18）、一个高精度温度传感器（ADC2_CH20）和一个 LPDTS 低功耗数字温度传感器。温度传感器的输出电压随温度线性变化。为确保温度测量的准确，需要给 ADC 提供一个准确的、低温漂的参考电压 V_{REFP} 。

温度传感器的输出电压随温度会发生线性变化，由于芯片生产过程的多样化，温度变化曲线的偏差在芯片间会有不同（最多相差 45°C ）。内部温度传感器更适用于检测温度的变化，而不是用于测量绝对温度。如果需要测量精确的温度，应该使用一个外置的温度传感器来校准这个偏移量。

使用温度传感器：

1. 配置温度传感器通道（ADC1_CH18）的转换序列和采样时间为 ts_temp us；
2. 置位 ADC_CTL1 寄存器中的 TSVEN1 位，使能温度传感器；
3. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
4. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{temperature}$ ，并由下面公式计算出实际温度：

$$\text{温度}(^{\circ}\text{C}) = \{(V_{25} - V_{temperature}) / \text{Avg_Slope}\} + 25$$

V_{25} ：内部温度传感器在 25°C 下的电压，典型值请参考数据手册。

Avg_Slope：温度与内部温度传感器电压曲线的均值斜率，典型值请参考数据手册。

使用高精度温度传感器：

1. 配置温度传感器通道（ADC2_CH20）的转换序列和采样时间为 ts_temp us；
2. 置位 ADC_CTL1 寄存器中的 TSVEN2 位，使能温度传感器；

3. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
4. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{\text{temperature}}$ ，并由下面公式计算出实际温度：

$$\text{温度}(\text{°C}) = \{(V_{\text{temperature}} - V_{25}) / \text{Avg_Slope}\} + 25$$

V_{25} : 内部温度传感器在 25°C 下的电压，典型值请参考数据手册。

Avg_Slope: 温度与内部温度传感器电压曲线的均值斜率，典型值请参考数据手册。

注意：

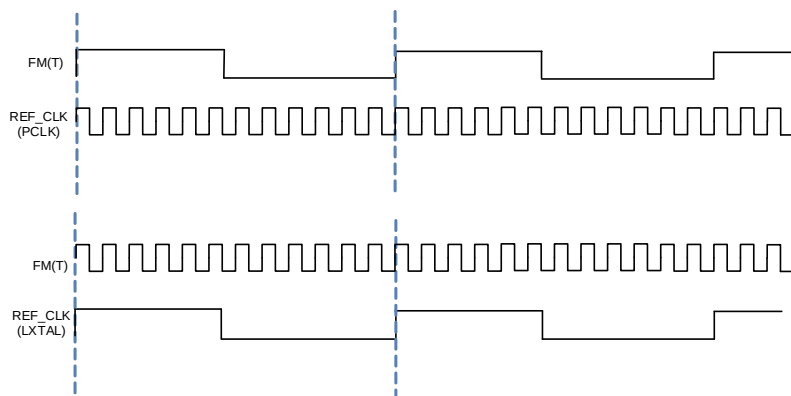
1. 当高精度温度传感器使能，ADC2 时钟不能超过 5MHz；
2. 当高精度温度传感器使能，至少需要等待 3 个 ADC 采样周期，前三个转换数据应当被舍弃；
3. 可以通过过采样和软件平均（一般建议 50 点平均）提高高精度温度传感器准确度。

低功耗温度传感器(LPDTS)可以将温度转换为频率与绝对温度（CLK_PTAT）成正比的方波，频率的测量基于 PCLK 或 LXTAL 时钟。

温度传感器的模拟部分能够将温度转换为方波信号输出，其中，信号的 FM(T) 频率通常为 641 kHz。LPDTS 模块内嵌了两个计数器，其计数方式和选择的参考时钟相关，计数结果存储在 LPDTS_DATA 寄存器中。

- 当参考时钟为 PCLK 时，测量方法为采样一个或多个 FM(T) 周期，并在 PCLK 上升沿和下降沿计数。
- 当参考时钟为 LXTAL 时，测量方法为采样一个或多个 LXTAL 周期，并在 FM(T) 上升沿和下降沿计数。

图 2-32. 测量方式



当参考时钟为 PCLK 时温度计算公式如下：

$$T = T_0 + ((2 \times F_{\text{PCLK}} / \text{COVAL}) \times \text{SPT} - 100 \times \text{FREQ}) / \text{RF_CF}$$

当参考时钟为 LXTAL 时温度计算公式如下：

$$T = T_0 + (((F_{\text{LXTAL}} \times \text{COVAL}) / (2 \times \text{SPT})) - (100 \times \text{FREQ})) / \text{RF_CF}$$

T_0 : 等于 25°C；

COVAL: 温度传感器计数器输出值，其值存储在 LPDTS_DATA 寄存器中；

SPT: 模块采样时间;

FREQ: 温度传感器在温度为 T0 时测量并存储在 LPDTS_SDATA 寄存器中的频率值, 其通常为几百 Hz;

RF_CF: 温度传感器斜坡系数。

2.5.8. USB 电路

GD32H75E系列MCU拥有内嵌的USBHS接口, 为便携式设备提供了一套USB互联解决方案。USBHS不仅支持主机模式和设备模式, 也支持遵循HNP(主机协商协议)和SRP(会话请求协议)的OTG模式。USBHS包含了一个内部的USB PHY, 可以配置成全速或高速, 并且不再需要外部PHY芯片。USBHS可以支持USB 2.0协议所定义的所有四种传输方式(控制传输、批量传输、中断传输和同步传输)。另外, 在USBHS内部还有一个DMA引擎操作, 可作为AHB总线主机在USBHS和系统之间加速数据传输。对于全速设备的操作, 还支持电池充电检测(BCD)、附加检测协议(ADP)和链路层电源管理(LPM)。

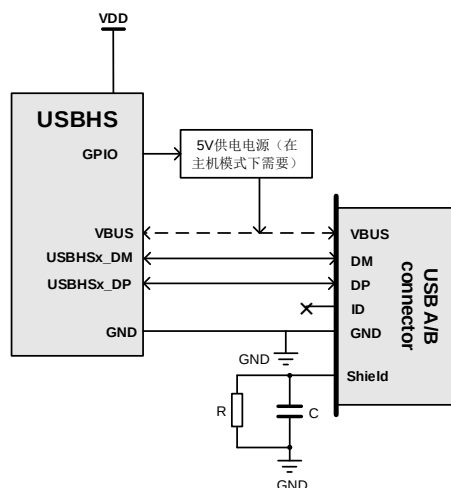
USB协议要求时钟精度不低于500ppm, 内部时钟可能无法达到这样的精度, 所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。在设计电路时, 为了提升USB的ESD性能, USB外壳建议设计阻容放电隔离电路。USBHS信号线描述如[表2-25. USBHS 信号线描述](#)所示。

表 2-25. USBHS 信号线描述

I/O 端口	类型	描述	注意
VBUS	输入	总线电源端口	仅内部 PHY 使用
DM	输入/输出	差分信号线-端口	仅内部 PHY 使用
DP	输入/输出	差分信号线+端口	仅内部 PHY 使用
ID	输入	USB 识别: 微连接器识别接口	仅内部 PHY 使用
ULPI_D[7:0]	输入/输出	ULPI 数据线	外部 ULPI PHY 使用
ULPI_NXT	输入	ULPI 下个信号线	外部 ULPI PHY 使用
ULPI_DIR	输入	ULPI 方向	外部 ULPI PHY 使用
ULPI_STP	输出	ULPI 停止	外部 ULPI PHY 使用
ULPI_CLK	输入	ULPI 时钟	外部 ULPI PHY 使用

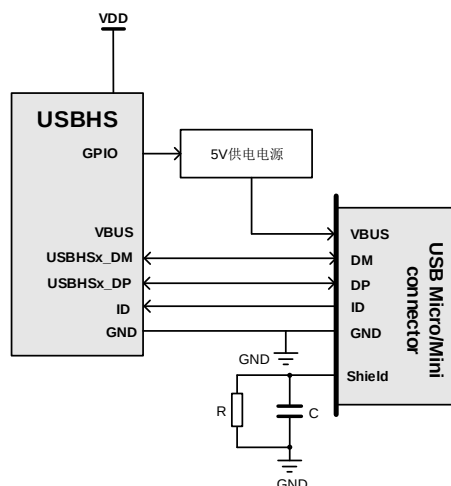
USBHS 包含一个内部嵌入式 PHY, 该内部嵌入式 PHY 支持主机模式下的高速、全速和低速、设备模式下高速和全速, 以及具备 HNP 和 SRP 的 OTG 协议。上拉或下拉电阻已经集成在内部全速 PHY 的内部, 并且 USBHS 可根据当前模式(主机、设备或 OTG 模式)和连接状态进行自动控制。内部 PHY 的典型连接示意图如[图 2-33. 在主机或设备模式下连接示意图](#)所示。OTG 模式连接示意图如[图 2-34. OTG 模式下使用内部嵌入式 PHY 连接示意图](#)所示。

图 2-33. 在主机或设备模式下连接示意图



推荐：R = 1MΩ，C = 4700pF。

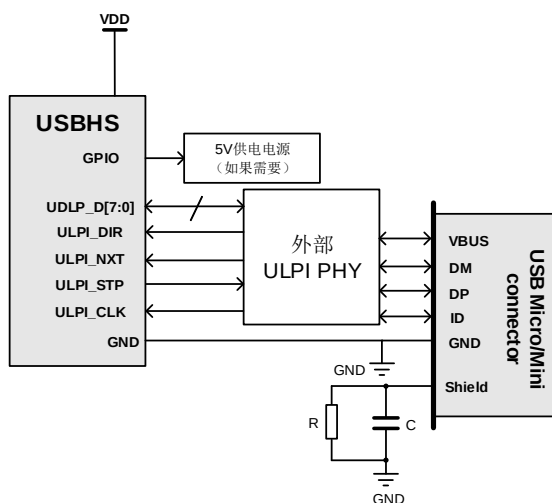
图 2-34. OTG 模式下使用内部嵌入式 PHY 连接示意图



推荐：R = 1MΩ，C = 4700pF。

USBHS 为外部 PHY 提供了一个 ULPI 接口。如果需要使用 USBHS 模块完成高速 USB 应用，那么则需要一个外部高速 ULPI PHY。结合外部 ULPI PHY，USBHS 支持高速主机和设备，也支持前文中内部嵌入式全速 PHY 所描述的所有模式。使用外部 ULPI PHY 连接示意图如 [图 2-35. 使用外部 ULPI PHY 的连接示意图](#) 所示。

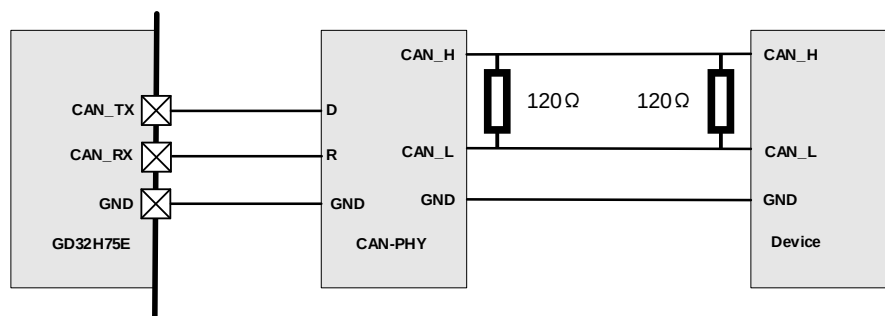
图 2-35. 使用外部 ULPI PHY 的连接示意图



2.5.9. CAN 电路

[图2-36. CAN参考电路](#)可供参考。

图 2-36. CAN 参考电路



上图中两个 120 Ω 的阻抗匹配电阻，可根据实际情况决定阻抗匹配电阻阻值及其是否需要。

在 CAN 通信中，阻抗匹配的作用有三个：

1. 提高抗干扰能力；
2. 防止信号反射，提高信号质量；
3. 确保总线上升/下降沿快速达到。

2.6. 热管理及低功耗模式

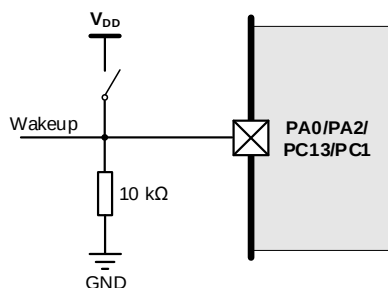
GD32H75E 系列在使用较多外设的情况下功耗较高，用户在使用时应确保在任何工况下 $T_J < 125^{\circ}\text{C}$ 。外部电路上可参考《[AN060 GD32MCU 温度特性管理手册](#)》、《[AN166 GD32H7xx 系列热特性设计指南](#)》，选择合适的散热方式。内部控制上有三种降低芯片功耗的方法：减慢系统时钟（HCLK、PCLK1 和 PCLK2），关闭未使用的外设的时钟或者通过 PMU_CTL3 寄存器的 LDOVS[2:0] 位配置 LDO 的输出电压，LDOVS[2:0] 只有在 PLL 未使能的时候才能配置。

此外，GD32H75E 系列还有三种 MCU 低功耗模式及多种 ESC 低功耗模式可以实现更低的功耗。

2.6.1. MCU 低功耗模式

MCU低功耗模式是睡眠模式，深度睡眠模式和待机模式。其中功耗最低的是Standby待机模式，此低功耗模式需要的唤醒时间也是最长的。从Standby模式唤醒可通过WKUP引脚上升沿唤醒，共计4个WKUP引脚，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPENx位即可。对应WKUP唤醒引脚参考电路设计如[图2-37. 推荐Standby外部唤醒引脚电路设计](#)所示：

图 2-37. 推荐 Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP至V_{DD}间如果有串电阻，可能会增加额外的功耗。

2.6.2. ESC 低功耗模式

ESC低功耗模式包括四种设备级别节能模式和三种模块级别节能模式，设备级别的节能模式包括MOD0、MOD1、MOD2和MOD3，模块级别的节能模式包括EtherCAT时钟管理、PHY电源管理和LED引脚电源管理。这些模式降低了功耗，并允许应用程序在设备运行时间、速度和功耗之间的冲突需求之间实现最佳权衡。PMU还支持唤醒事件检测和电源管理事件（PME）通知。

PME 模块负责处理 PMU_CTL 寄存器中的 EDWOLASTAT 和 EDWOLBSTAT 位的锁存功能。可以参考[图 2-38. PME 中断待处理](#)，了解 PME 中断控制的逻辑。如果置位了 EDWOLAEN 或 EDWOLBEN，当端口 A 或 B 的 PHY 发生能量检测 / WoL 事件时，中断状态寄存器中的 PMEIF 位将被置位。当置位 PMWUPCFG 时，PME 事件可以在某些设备级节能模式下自动唤醒系统。

图 2-38. PME 中断待处理

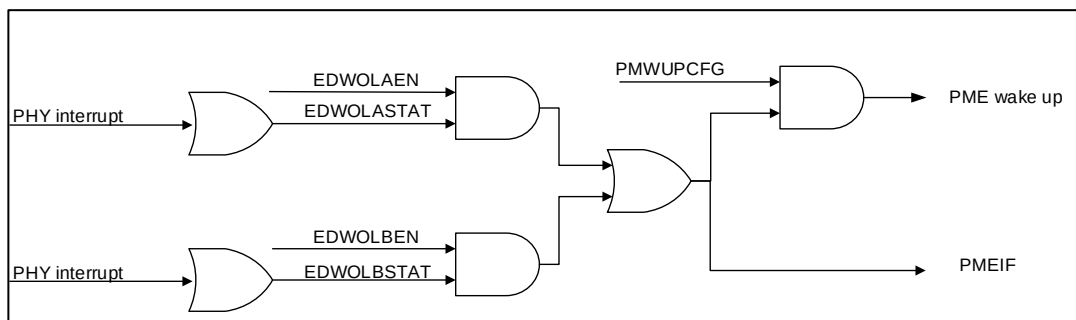


表 2-26. 节能模式总结

Mode	PLL	System clocks	Network clocks	XTAL
MOD0	ON	ON	usable	ON
MOD1	ON	OFF	usable	ON
MOD2	OFF	OFF	usable	ON

Mode	PLL	System clocks	Network clocks	XTAL
MOD3	OFF	OFF	OFF	OFF

2.7. 下载调试电路

GD32H75E系列支持JTAG调试接口与SWD调试接口，默认支持SWD接口，可以通过efuse修改成JTAG模式，并且支持secure JTAG，但是无法回退到SWD模式，具体参考《[AN111 GD32H75E软件开发指南](#)》。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入上拉/下拉模式，其中：

PA15: JTDI为上拉模式；

PA14: JTCK / SWCLK为下拉模式；

PA13: JTMS / SWDIO为上拉模式；

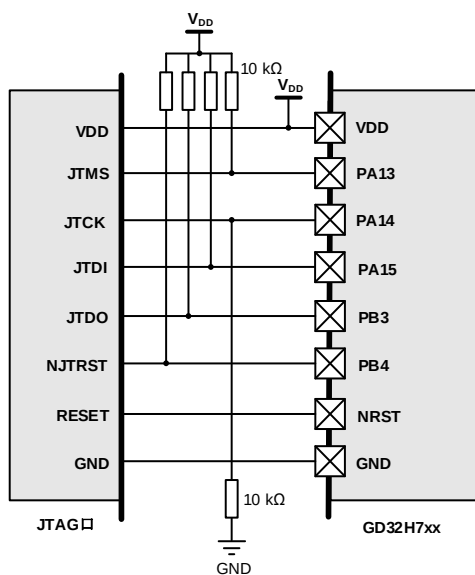
PB4: NJTRST为上拉模式；

PB3: JTDO为浮空模式。

表 2-27. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-39. 推荐 JTAG 接线参考设计



注意：复位后，调试相关端口为输入上拉/下拉模式，其中：

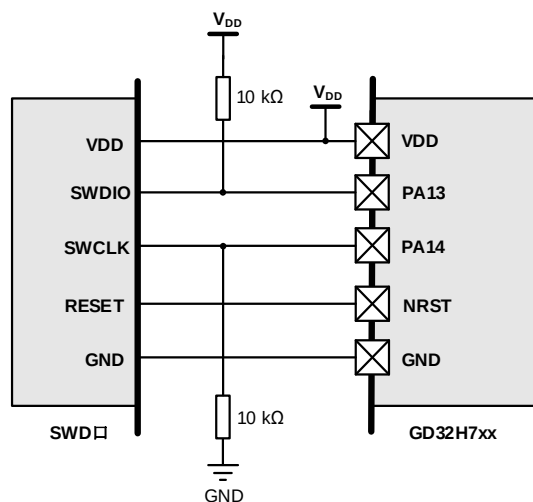
PA13: SWDIO为上拉模式；

PA14: SWCLK为下拉模式。

表 2-28. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-40. 推荐 SWD 接线参考设计



有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15 cm以内；
2. 建议SWDIO、SWCLK和GND使用双绞线；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100 Ω ~ 1 kΩ电阻。

图 2-41. GD32H75E 推荐参考原理图设计



3. PCB Layout 设计

为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

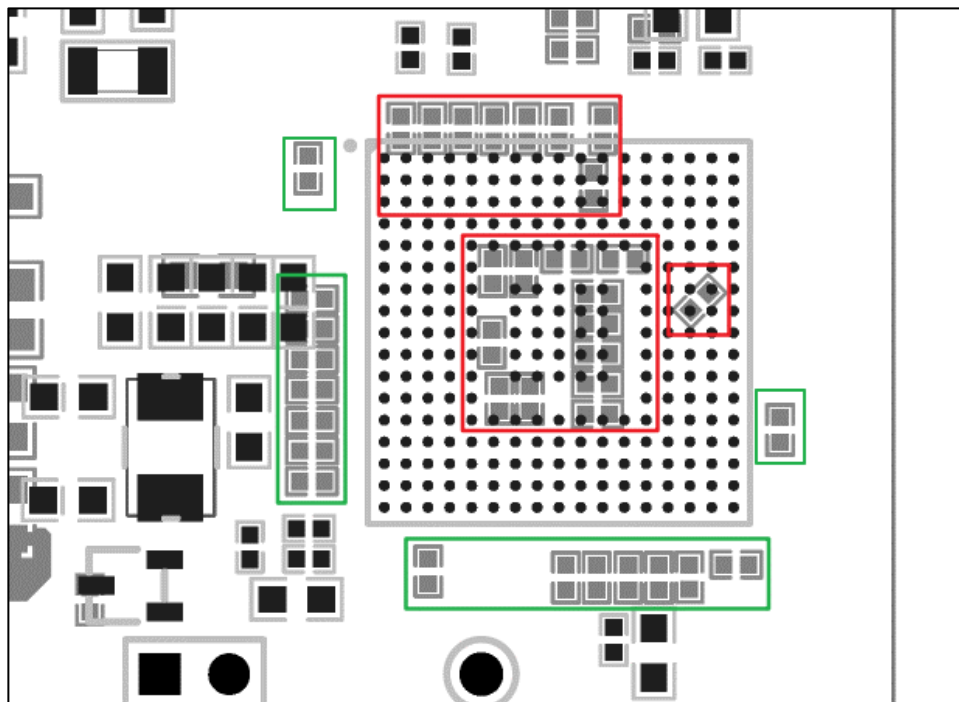
在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32H75E系列电源有VDD、VDDA、VREFP等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打过孔的形式Layout。

[图3-1. 推荐电源引脚去耦Layout设计](#)为参考设计，其中红框标注的去耦电容放置在MCU下方位置，绿框标注的去耦电容放置在MCU邻近位置。

图 3-1. 推荐电源引脚去耦 Layout 设计



去耦电容的布局需要遵循以下要求：

1. 根据电容的去耦半径，靠近电源引脚放置，理想情况下电容焊盘距离电源引脚小于5mm；
2. 去耦电容与电源层和地平面的连接应尽可能短，避免从焊盘引长线后再连接过孔；
3. 每个电源引脚应具有一个去耦电容。当空间不足时，可让两个电源引脚共用一个去耦电容。

3.2. 0.9V 电源域电路

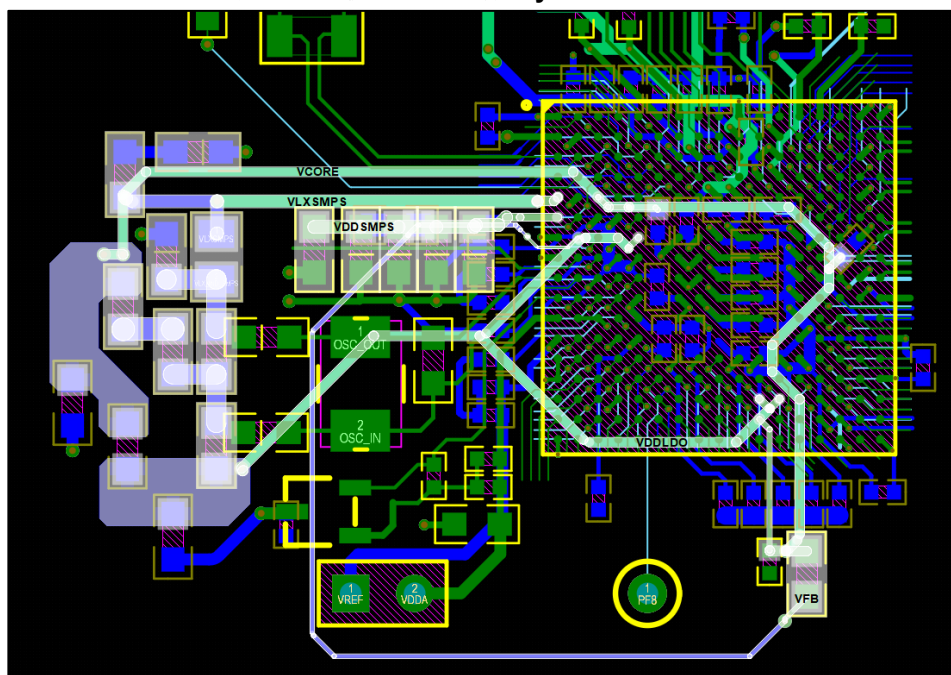
当前0.9V电源域推荐使用SMPS供电模式或旁路模式。为了增强MCU的功能稳定性及EMC性能，电源电路不仅需要考虑配套外围元器件性能，还要考虑PCB Layout。

SMPS供电模式的PCB Layout需要遵循以下要求：

1. SMPS的 V_{LXSMPS} 为2MHz的电压开关信号，其幅值可能会超过 V_{DD} 或低于 V_{SS} 。基于系统级EMC防护设计，需要尽可能的与其他信号做好屏蔽；
2. 所有该模块走线以及外围器件尽可能放置同一层，且相邻层尽可能为完整地。时钟线、 V_{FBSMPS} 、以及其他模拟线尽可能与该模块保持距离和线层，并做好包地处理；
3. 为增大过电流能力， V_{DDSMPS} 和 V_{LXSMPS} 线宽尽量宽，至少20 ~ 30mil以上；
4. 外围器件摆放与走线应遵循输出电流回路 di/dt 最短原则；
5. 为保证输出稳定性，SMPS的 V_{FBSMPS} 反馈线应从负载端返回；
6. 无论LDO是否使能，务必使芯片的所有 V_{DDLDO} 引脚、 V_{CORE} 引脚各自连在一起。

BGA240封装SMPS供电模式推荐layout如[图3-2. BGA240封装SMPS供电模式推荐layout图](#)所示：

图 3-2. BGA240 封装 SMPS 供电模式推荐 layout 图

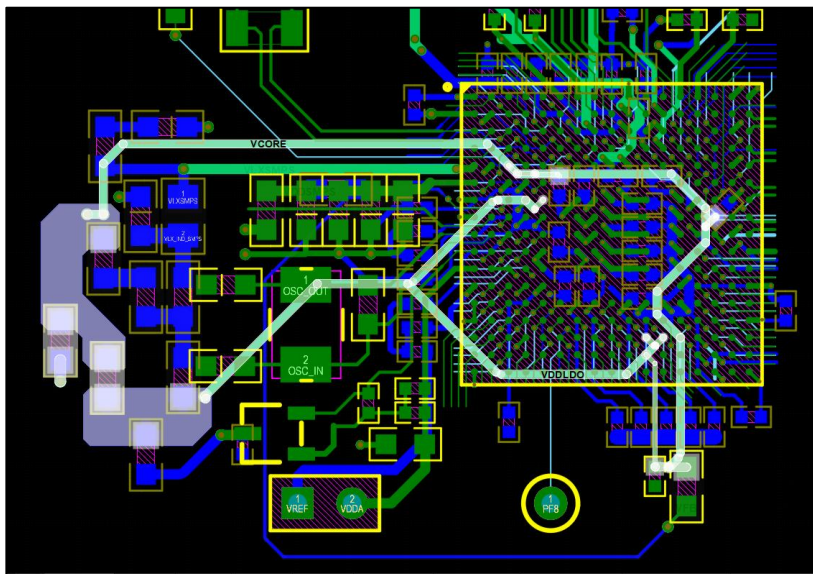


旁路模式的PCB Layout需要遵循以下要求：

1. 使用外部电源给 V_{CORE} 供电需要注意在输出大电流情况下的线阻导致的线损，避免末端电压低于规定要求；
2. 需要采取散热措施避免外部电源发热影响MCU的散热以及其本身性能；
3. 务必使芯片的所有 V_{DDLDO} 引脚、 V_{CORE} 引脚各自连在一起，接到外部电源输出端。

BGA240封装旁路模式推荐layout如[图3-3. BGA240封装旁路模式推荐layout图](#)所示：

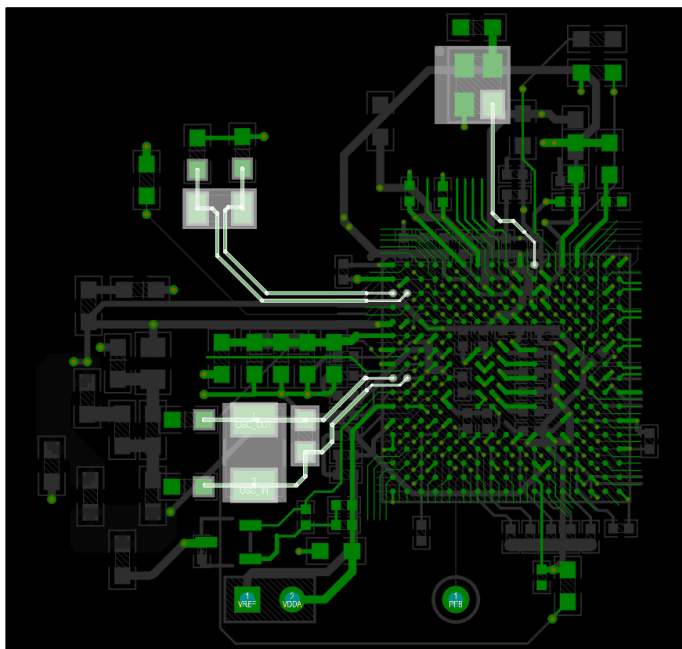
图 3-3. BGA240 封装旁路模式推荐 layout 图



3.3. 时钟电路

GD32H75E 系列时钟有 HXTAL 和 LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近 MCU 时钟引脚放置，且尽量时钟走线由 GND 包裹起来。

图 3-4. 推荐时钟引脚 Layout 设计



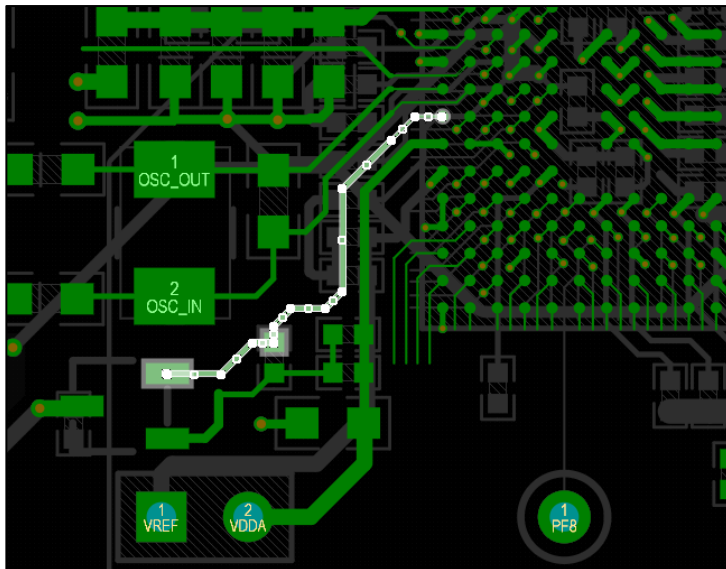
注意：

1. 晶体尽量靠近 MCU 时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与 MCU 在同层，走线尽量不要穿层；
3. 时钟电路 PCB 区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.4. 复位电路

NRST走线PCB Layout参考如下：

图 3-5. 推荐 NRST 走线 Layout 设计

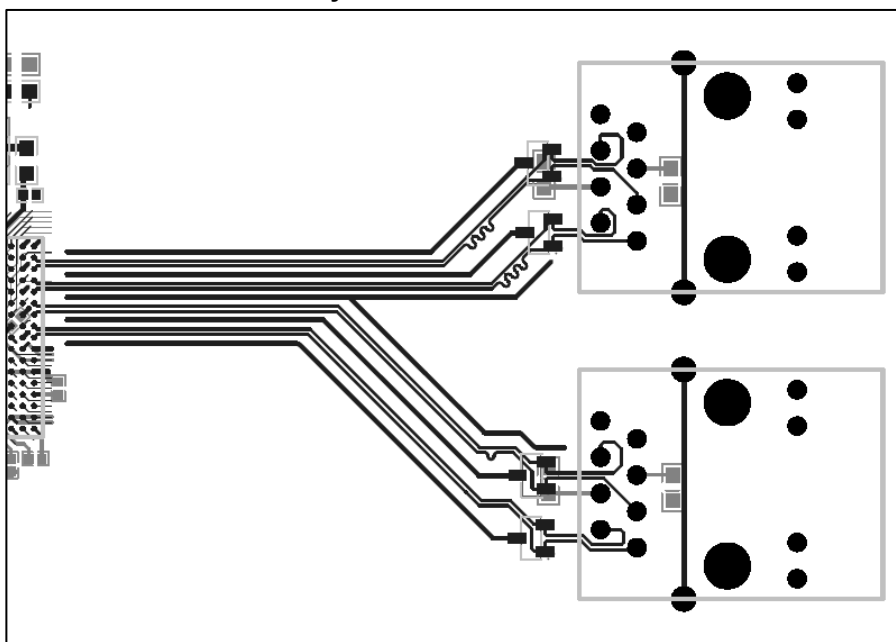


注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.5. 以太网接口电路

GD32H75E系列PHY与网络变压器之间的MDI差分对Layout参考如下：

图 3-6. 推荐 MDI 差分对 Layout 设计



注意：

1. MDI差分对的特征阻抗必须严格控制在 $100\Omega \pm 10\%$ ；
2. 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
3. MDI差分对尽可能的在表层走线并包地，等长应控制在50mil以内，对间（如TX对与RX对之间）长度匹配控制在600mil内。（微带线蛇形走线间距建议为7H，带状线蛇形走线间距建议为5H，H为信号走线到参考平面的距离；走线若存在过孔，一般一个过孔算50~100mil线长，视过孔长度决定；走线尽可能短、直，总长度建议小于2000mil）；
4. 若信号线较差，可以考虑在PHY端增加端接电阻。

3.6. USB 电路

对于GD32H75E系列MCU USB FS模块有DM、DP两根差分信号线，对于USB HS模块，连接外部高速PHY后，PHY芯片也会引出DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90Ω，差分走线严格按照等长等距规则来走，且尽量使走线最短。如果两条差分线不等长，可在终端用蛇形线补偿短线。建议DM、DP直连，不串联匹配电阻。

DM、DP差分走线注意事项如下：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

对于USB HS模块，MCU与外部HS PHY之间的数据线与信号控制线也尽量走短，需要用蛇形线做等长处理，注意事项如下：

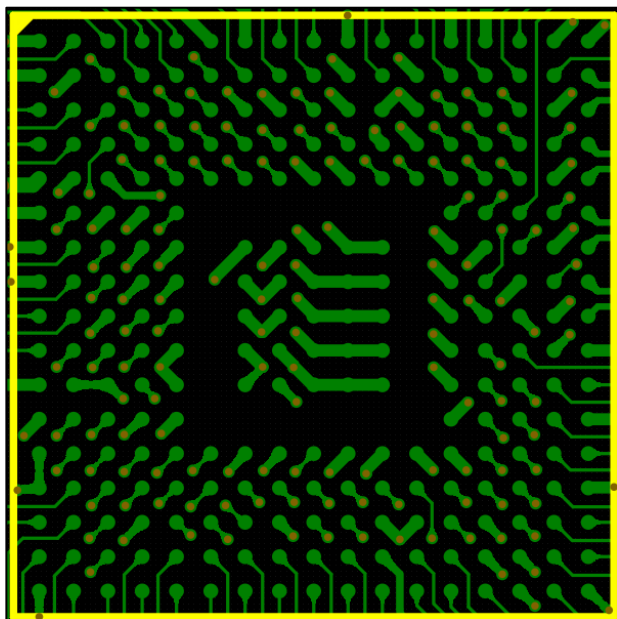
1. 布局时摆放合理，USB HS-PHY芯片与MCU之间尽量紧凑；
2. 布线时，以信号线中最长的一根线长度为目标，将其他信号线通过蛇形走线补偿即可。

3.7. BGA 封装的扇出

GD32H75E系列MCU封装为BGA240(0.8mm Pitch)，我们推荐以下的走线规则与扇出方式。

推荐使用规则设置4 mil线宽线距，使用8 / 12 mil过孔进行扇出，扇出后如[图3-7. BGA240封装的扇出方式](#)所示。

图 3-7. BGA240 封装的扇出方式



4. 钢网与焊接

4.1. 钢网

SMT贴片时，钢网的厚度和漏孔的开口尺寸，取决于锡膏的种类、焊盘开孔的分布、密度以及间距等因素。钢网漏孔开口尺寸过大，往往导致锡膏分布量过多，容易造成焊接过程中的“桥连”情况。漏洞开口尺寸过小，会导致锡膏使用过少，导致焊点强度不足或虚焊。

4.1.1. 钢网推荐厚度

钢网的厚度和开孔尺寸一般遵循规则：宽厚比高于 1.5（即钢网的开孔宽度是钢网厚度的 1.5 倍及以上）、面积高于 0.66（即钢网开孔面积是开孔柱体侧面积的 0.66 倍及以上），这样可以最大程度保证刷锡时，在焊盘上有适当量的锡膏。

GD32H75E 系列推荐钢网厚度如[表 4-1. GD32H75E 芯片推荐钢网厚度](#)所示。

表 4-1. GD32H75E 芯片推荐钢网厚度

芯片封装	厚度 (mm)
BGA240(14x14, 0.8pitch)	0.15

在具体实践中，上表仅可作为 GD32H75E 系列产品钢网厚度参考，具体电路板钢网厚度，请结合电路板上器件密度、其他芯片引脚 pitch 值和焊盘尺寸及工艺要求，综合评估。

4.1.2. 钢网的清洁与使用

钢网的清洁

- 使用前应该先清洗钢网，以除去运输过程或长期放置中沾染到的污染物；
- 钢网使用完后应及时清洗干净，装回包装，放置在专用储藏位置；
- 对于等待清洗的钢网，不可随意放置，避免损坏钢网，或者引入其他污染物；
- 钢网应该竖直放置在专用储藏位置，钢网之间应相互隔离，禁止叠放或相互接触。

钢网的使用

- 用来焊接的锡膏应升温 and 搅拌均匀后使用，避免堵塞钢网；
- 移动钢网时应轻拿轻放，避免钢网磕碰到硬物或锋利器具；
- 刷锡时钢网应紧贴电路板，且注意调整刮刀上的压力，以钢网上不留残余锡膏同时不伤害钢网为宜；
- 刷锡后，停顿 3 s 左右，再抬起钢网脱模，脱模速度不宜过快；
- 一般钢网使用寿命为 10 万次，达到使用寿命极限的钢网应报废，禁止钢网超额使用。

4.2. 焊接

在实际加工生产过程中，回流焊炉温曲线设置需要参考很多因素，除了元器件自身特性外，还需要考虑如印刷电路板材质、元器件分布密度、锡膏成分等因素。下面给大家介绍针对 GD32H75E 系列 MCU 的回流焊炉温曲线，供参考。

图 4-1. 推荐回流焊温度曲线

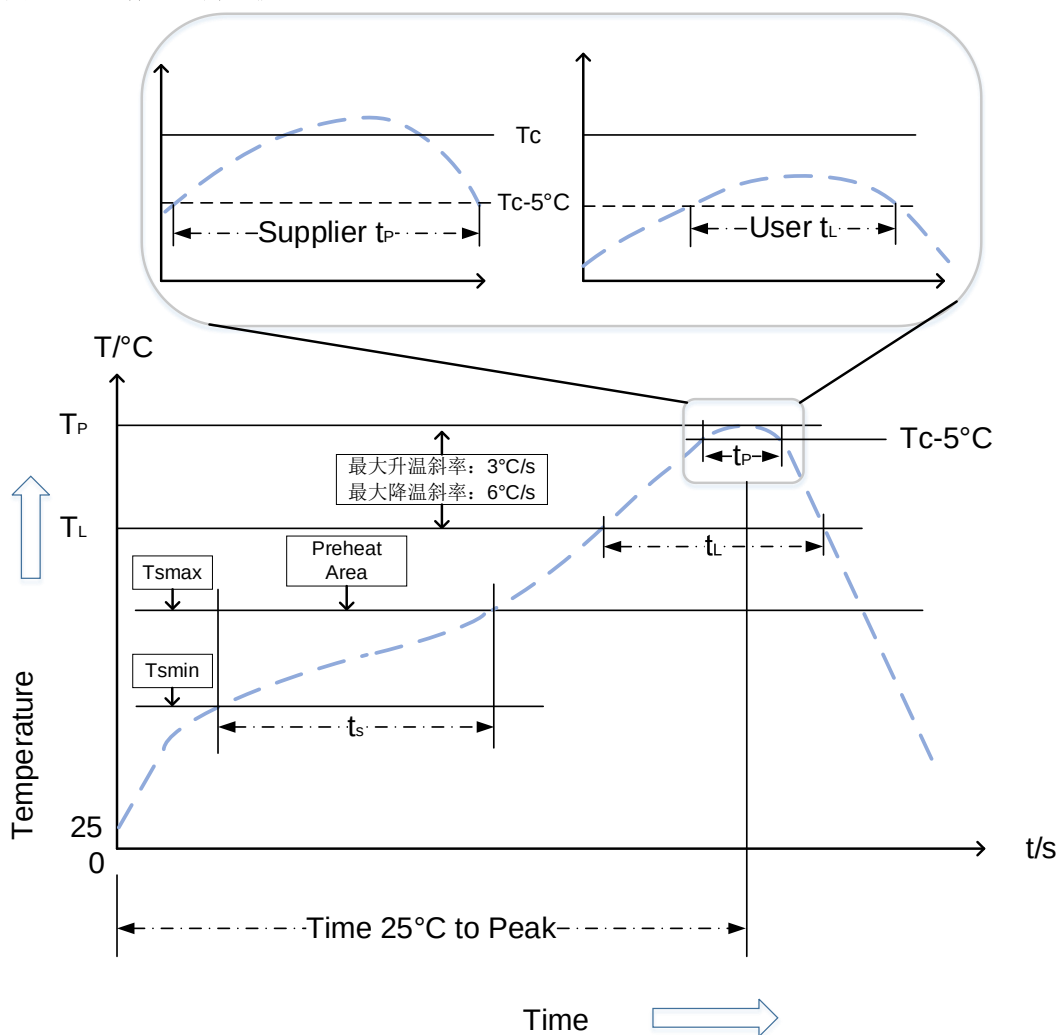


表 4-2. 回流焊相关参数

特征参数	无铅装配
平均升温斜率（217 °C 到峰值温度）	最大 3 °C / s
预热（150 °C - 200 °C）持续时间	60 – 120 s
保持 217 °C 以上的时间	60 – 150 s
峰值温度	260 + 5 / - 0 °C
真实峰值温度 5 °C 以内持续时间	30 s
降温斜率	最大 6 °C / s
从 25 °C 到温度峰值时间	最大 8 min

5. 封装说明

GD32H75E系列有1种封装形式，为BGA240。

表 5-1. 封装型号说明

产品型号	封装
GD32H75EYMJ7	BGA240(14x14, 0.8 pitch)

(尺寸单位为毫米mm)

6. 版本历史

表 6-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2026 年 3 月 24 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.