

GigaDevice Semiconductor Inc.

GD32H73x_75xx 系列 14-bit ADC 使用指南

应用笔记

AN180

1.3 版本

(2026 年 02 月)

目录

目录.....	2
图索引	3
表索引	4
1 前言.....	5
2 GD32H73X_75XX 系列高精度 ADC 简介	6
3 软件设计注意事项	7
3.1 基本配置.....	7
3.2 内部通道配置.....	7
3.3 ADC 校准	8
3.3.1 ADC 校准简介.....	8
3.3.2 ADC 校准软件配置.....	8
3.4 提高采样速度的配置方法	8
3.5 提高采样精度的配置方法	9
4 ADC 使用注意事项.....	11
4.1 使用差分输入提高 14-bit ADC 动态及静态特性.....	11
4.2 ADC 参考源供电方式选择.....	12
4.3 分辨率、封装及同时使用的 ADC 数量对最大 ADC 频率与采样率的影响	13
4.4 VCORE 供电方式对 ADC 的影响.....	14
5 硬件设计注意事项	16
5.1 电源设计	16
5.2 外围电路匹配.....	18
5.3 引脚选择	19
5.4 PCB layout 注意事项.....	19
6 版本历史	20

图索引

图 3-1. 14 位 ADC 过采样右移 10 位.....	10
图 3-2. 数值例子 14 位 ADC 过采样右移 10 位	10
图 4-1. 不同分辨率下 VREF 稳定时间	14
图 4-2. ADC 输入引脚距 SMPS 模块远近示意图	15
图 5-1. 电源域概览.....	16
图 5-2. GD32H73x_75xx 系列推荐供电设计	17
图 5-3. 添加外部电容 C _{IN} 的 ADC 采样框图.....	18

表索引

表 1-1. 适用产品.....	5
表 3-1. GD32H73x_75xx 系列 14-bit ADC 配置为不同分辨率时对应的 t_{CONV} 时间	8
表 3-2. GD32H73x_75xx 系列 14-bit ADC 分辨率与最高采样率的关系	9
表 4-1. ADC 差分通道引脚匹配	11
表 4-2. GD32H73x_75xx 系列 14-bit ADC 单端输入模式下动态及静态特性 ⁽¹⁾	12
表 4-3. GD32H73x_75xx 系列 14-bit ADC 差分输入模式下动态及静态特性 ⁽¹⁾	12
表 4-4. 使用内部参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性 ⁽¹⁾	12
表 4-5. 使用外部高精度参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性 ⁽¹⁾	13
表 5-1. GD32H73x_75xx 系列 14-bit ADC 采样周期与最大输入阻抗.....	18
表 6-1. 版本历史.....	20

1 前言

本文是专门为开发 GD32H73x_75xx 系列的工程设计人员提供，主要介绍了 GD32H73x_75xx 系列的 14-bit ADC 的使用方法以及注意事项。ADC 的精度不仅受自身设计、封装和工艺因素的影响，也会受到多种外部因素的影响，想要在实际应用中达到标称的精度，需要在软件配置端与外围电路的设计上给予足够的重视。

本文档适用型号参考[表 1-1. 适用产品](#)。

表 1-1. 适用产品

产品系列	型号
GD32H73x	GD32H737 系列
GD32H75x	GD32H757, GD32H759 系列

注意：本应用手册仅作参考，若与用户手册或数据手册内容有冲突，以用户手册或数据手册为准。

2 GD32H73x_75xx 系列高精度 ADC 简介

GD32H73x_75xx 内部集成了 14/12 位逐次逼近式模数转换器模块 (ADC)，其中 ADC0/1 为 14-bit ADC，可配置为 14 位、12 位、10 位或者 8 位分辨率；ADC2 为 12 bits ADC，可配置为 12 位、10 位、8 位或者 6 位分辨率。

ADC0 有 20 个外部通道，1 个内部通道 (DAC_OUT0 通道)，ADC1 有 18 个外部通道，3 个内部通道 (电池电压 (V_{BAT}) 通道、参考电压输入通道 (V_{REFINT}) 和 DAC_OUT0 通道)，ADC2 有 17 个外部通道，4 个内部通道 (电池电压 (V_{BAT}) 通道、参考电压输入通道 (V_{REFINT})、内部温度传感通道 (V_{SENSE}) 和高精度温度传感器通道 (V_{SENSE2})。ADC 采样通道均支持多种运行模式，采样转换后，转换结果可以按照最低有效位对齐或最高有效位对齐的方式保存在相应的数据寄存器中 (ADC0/1 为 32 位数据寄存器，ADC2 为 16 位数据寄存器)。

本文将重点介绍 GD32H73x_75xx 系列 14-bit ADC (ADC0/1) 的使用方法与使用注意事项，更多关于 GD32 ADC 的介绍请参考《[AN059 提高 GD32 ADC 的采样精度](#)》。

3 软件设计注意事项

3.1 基本配置

GD32H73x_75xx 系列 14-bit ADC 基本配置包括时钟、采样时间、采样率、分辨率、运行模式、触发源等。

- 时钟：同步时钟 AHB，异步时钟 CK_PLL1P、CK_PLL2R 或 CK_PER；
- 采样时间：采样时间可灵活配置，可配置为 3.5 - 810.5 clock；
- 分辨率：可配置 14 位、12 位、10 位或者 8 位分辨率；
- 运行模式：
 - 1) 转换单个通道，或者扫描一序列的通道；
 - 2) 单次运行模式，每次触发转换一次选择的输入通道；
 - 3) 连续运行模式，连续转换所选择的输入通道；
 - 4) 间断运行模式；
 - 5) 同步模式。
- 触发源：
 - 1) 软件触发
 - 2) TRIGSEL 触发

客户在基本配置完成后，根据需要，可以进一步配置看门狗、单端或差分、HPDF 处理、硬件过采样、DMA 请求等功能。

3.2 内部通道配置

ADC 有 4 类内部通道，内部温度传感器通道、高精度温度传感器通道、内部参考电压输入通道以及外部电池监测通道。

将 ADC_CTL1 寄存器的 TSVEN1 位置 1 可以使能温度传感器通道。内部温度传感器的输出电压随温度会发生线性变化，由于芯片生产过程的多样化，温度变化曲线的偏差在芯片间会有不同（最多相差 45°C）。内部温度传感器更适用于检测温度的变化，而不是用于测量绝对温度。如果需要测量精确的温度，应该使用一个外置的温度传感器来校准这个偏移错误。

将 ADC_CTL1 寄存器的 TSVEN2 位置 1 可以使能高精度温度传感器通道。高精度温度传感器至少需要等待 3 个 ADC 采样周期，前三个转换数据应当被舍弃，同时配置了高精度温度传感器，ADC 时钟频率不能超过 5MHz。

将 ADC_CTL1 寄存器的 INREFEN 位置 1 可以使能内部电压参考通道。内部电压参考(V_{REFINT})提供了一个稳定的（带隙基准）电压输出给 ADC 和比较器。

将 ADC_CTL1 寄存器中的 VBATEN 位置 1 可以使能 V_{BAT} 通道被启用，集成在 V_{BAT} 引脚上的 4 分压桥也被自动启用。外部电池监测通道可用于测量 V_{BAT} 引脚上的备用电池电压。由于 V_{BAT} 可能高于 V_{DDA}，此桥用于确保 ADC 正确运行。转换后的数字值为 V_{BAT}/4。为了防止不必要的电池能耗，建议仅在需要时启用桥接器。

3.3 ADC 校准

GD32H73x_75xx 系列 14-bit ADC 带有一个前置校准功能,当 ADC 运行条件改变(例如, V_{DDA} 、 V_{REFP} 以及温度等), 建议重新执行一次校准操作。

3.3.1 ADC 校准简介

GD32H73x_75xx 系列 14-bit ADC 的前置校准功能拥有两种校准模式: 失调+失配校准与失调校准, 当前推荐用户采用失调标准模式 (CALMOD=1)。

在校准期间, ADC 计算一个校准系数, 这个系数是应用于 ADC 内部的, 它直到 ADC 下次掉电才无效。在校准期间, 应用不能使用 ADC, 它必须等到校准完成。在 A/D 转换前应执行校准操作。

3.3.2 ADC 校准软件配置

用户可以通过软件设置 CLB=1 来对校准进行初始化, 在校准期间 CLB 位会一直保持 1, 直到校准完成, 该位由硬件清 0。

失调+失配和失调两种校准模式可通过设置 ADC_CTL1 寄存器的 CALMOD 位进行修改。

内部的模拟校准通过设置 ADC_CTL1 寄存器的 RSTCLB 位来重置。

软件校准过程:

1. 确保ADCON=1;
2. 延迟14个CK_ADC以等待ADC稳定;
3. 设置RSTCLB (可选的);
4. 设置CLB=1;
5. 等待直到CLB=0。

3.4 提高采样速度的配置方法

在满足要求的情况下, 常规采用提高采样时钟的速率、减小采样周期实现采样速度的提高。对于精度要求不高的应用场景, 可以使用降低分辨率的方法减少转换时间, 如 [表 3-1. GD32H73x_75xx 系列 14-bit ADC 配置为不同分辨率时对应的 t_{CONV} 时间](#)所示, 较低的分辨率能够减少逐次逼近步骤所需的转换时间 t_{ADC}, 进而提升采样率, 如 [表 3-2. GD32H73x_75xx 系列 14-bit ADC 分辨率与最高采样率的关系](#)所示:

表 3-1. GD32H73x_75xx 系列 14-bit ADC 配置为不同分辨率时对应的 t_{CONV} 时间

DRES[1:0] bits	t _{CONV} (ADC clock cycles)	t _{CONV} (ns) at f _{ADC} =72MHz	t _{SAMPL} (min) (ADC clock cycles)	t _{ADC} (ADC clock cycles)	t _{ADC} (us) at f _{ADC} =72MHz
14	14.5	201.39 ns	3.5	18	250 ns

DRES[1:0] bits	t _{CONV} (ADC clock cycles)	t _{CONV(ns)} at f _{ADC} =72MHz	t _{SAMPL(min)} (ADC clock cycles)	t _{ADC} (ADC clock cycles)	t _{ADC(us)} at f _{ADC} =72MHz
12	12.5	173.61 ns	3.5	16	222.22 ns
10	10.5	145.83 ns	3.5	14	194.5 ns
8	8	118.06 ns	3.5	12	166.67 ns

表 3-2. GD32H73x_75xx 系列 14-bit ADC 分辨率与最高采样率的关系

分辨率 (bit)	最大采样率 (MSPs)
14	4
12	4.5
10	5.14
8	6

3.5 提高采样精度的配置方法

提高 ADC 采样精度，一般采用硬件过采样的方案。硬件过采样单元执行数据预处理以减轻 CPU 负担。

过采样率 $OSR = \frac{f_s}{2 \times f_{in_max}}$ ，即采样率和 2 倍最大输入信号带宽的比值每提升 4 倍，信噪比 SNR 提升 6dB，对应有效位 ENOB 提升 1-bit。

它能够处理多个转换，并将多个转换的结果取平均，增加数据宽度，在 GD32H73x_75xx 系列 14-bit ADC 中最高可达 32 位。其结果值根据如下公式计算得出，其中 N 和 M 的值可以被调整，过采样单元可以通过设置 ADC_OVSAMPCTL 寄存器的 OVSEN 位来使能，它是以降低数据输出率为代价，换取较高的数据分辨率。D_{out}(n)是指 ADC 输出的第 n 个数字信号：

$$Result = \frac{1}{M} * \sum_{n=0}^{N-1} D_{out}(n) \quad (3-1)$$

对于 14 位 ADC，片上硬件过采样单元执行两个功能：求和和位右移。过采样率 N 是在 ADC_OVSAMPCTL 寄存器的 OVSRR[9:0]位定义，它的取值范围为 2x 到 1024x。除法系数 M 定义一个多达 11 位的右移，它通过 ADC_OVSAMPCTL 寄存器 OVSS[3:0]位进行配置。

对于 14 位 ADC，求和单元能够生成一个多达 24 位（1024 x 14 位）的值，该结果首先右移。然后将数据存储到寄存器中

图 3-1. 14 位 ADC 过采样右移 10 位

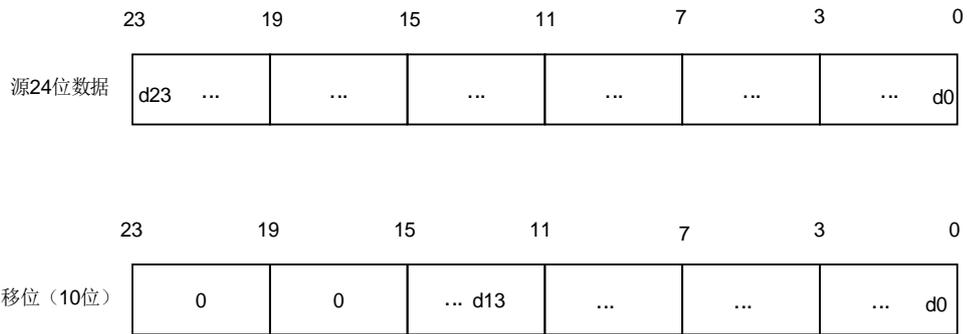
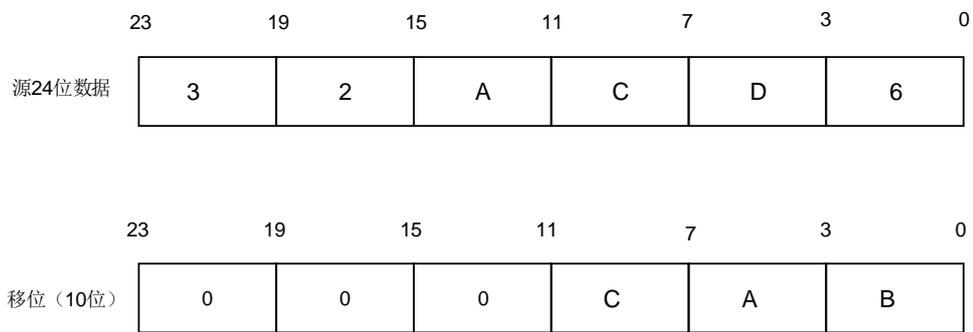


图 3-2. 数值例子 14 位 ADC 过采样右移 10 位



和标准的转换模式相比，过采样模式的转换时间不会改变：在整个过采样序列的过程中采样时间仍然保持相等。每 N 个转换就会产生一个新的数据，一个等价的延迟为：

$$N \cdot t_{\text{ADC}} = N \cdot (t_{\text{SMPL}} + t_{\text{CONV}}) \quad (3-2)$$

4 ADC 使用注意事项

GD32H73x_75xx 系列 ADC 支持分辨率、采样周期、片上硬件过采样等配置，支持单端及差分输入模式，不同的 ADC 配置、芯片封装等会对 ADC 的动静态特性、采样精度、采样率等产生影响。

4.1 使用差分输入提高 14-bit ADC 动态及静态特性

GD32H73x_75xx 系列 14-bit ADC 支持单端及差分输入模式，单端输入模式只占用一个引脚，外部电路与走线相对简单；差分输入模式相对于单端输入模式拥有更好的动态及静态特性，包括更低的噪声水平和更低的失真，可实现高精度测量。但差分输入会占用两个引脚，因此用户在引脚充足的情况下，推荐使用差分输入模式来实现更高的精度。

差分通道引脚分配如[表 4-1. ADC 差分通道引脚匹配](#)。

表 4-1. ADC 差分通道引脚匹配

差分通道n编号	ADC0		ADC1		ADC2	
	V _{INn} 引脚	V _{INm} 引脚	V _{INn} 引脚	V _{INm} 引脚	V _{INn} 引脚	V _{INm} 引脚
0	PA0_C	PA1_C	PA0_C	PA1_C	PC2_C	PC3_C
1	PA1_C	PA0_C	PA1_C	PA0_C	PC3_C	PC2_C
2	PF11	PF12	PF13	PF14	PF9	PF10
3	PA6	PA7	PA6	PA7	PF7	PF8
4	PC4	PC5	PC4	PC5	PF5	PF6
5	PB1	PB0	PB1	PB0	PF3	PF4
6	PF12	PF11	PF14	PF13	PF10	PF9
7	PA7	PA6	PA7	PA6	PF8	PF7
8	PC5	PC4	PC5	PC4	PF6	PF5
9	PB0	PB1	PB0	PB1	PF4	PF3
10	PC0	PC1	PC0	PC1	PC0	PC1
11	PC1	PC2	PC1	PC2	PC1	PC2
12	PC2	PC3	PC2	PC3	PC2	PC1
13	PC3	PC2	PC3	PC2	PH2	PH3
14	PA2	PA3	PA2	PA3	PH3	PH4
15	PA3	PA2	PA3	PA2	PH4	PH5
16	PA0	PA1	null	null	PH5	PH4
17	PA1	PA0	null	null	null	null
18	PA4	PA5	PA4	PA5	null	null
19	PA5	PA4	PA5	PA4	null	null
20	null	null	null	null	null	null
21	null	null	null	null	null	null

GD32H73x_75xx 系列 14-bit ADC 在单端和差分模式下的动态及静态特性数据如 [表 4-2. GD32H73x_75xx 系列 14-bit ADC 单端输入模式下动态及静态特性\(1\)](#) 与 [表 4-3. GD32H73x_75xx 系列 14-bit ADC 差分输入模式下动态及静态特性\(1\)](#) 所示。

表 4-2. GD32H73x_75xx 系列 14-bit ADC 单端输入模式下动态及静态特性(1)

符号	参数	测试条件	典型值	单位
EO	偏置误差	单端输入	±5.7	LSB
DNL	微分非线性误差	单端输入	+1.3/-1.0	
INL	积分非线性误差	单端输入	±1.9	
ENOB	有效位数	单端输入	12.7	Bits
SNDR	信噪失真比	单端输入	78.3	dB

(1) 测试条件: $T_A=25^\circ\text{C}$, BGA176 封装, 输入引脚为 PC0 脚; MODE1 供电 (LDO 供电模式), $V_{DD}=V_{DDA}=V_{REFP}=3.3\text{V}$, 外部参考源: $f_{\text{ADC}}=36\text{MHz}$, $\text{SMP}=3.5\text{CLK}$, 未校准。

表 4-3. GD32H73x_75xx 系列 14-bit ADC 差分输入模式下动态及静态特性(1)

符号	参数	测试条件	典型值	单位
EO	偏置误差	差分输入	±0.1	LSB
DNL	微分非线性误差	差分输入	±1.0	
INL	积分非线性误差	差分输入	±1.6	
ENOB	有效位数	差分输入	13.4	Bits
SNDR	信噪失真比	差分输入	82.6	dB

(1) 测试条件: $T_A=25^\circ\text{C}$, BGA176 封装, 输入引脚为 PC0&PC1 脚; MODE1 供电 (LDO 供电模式), $V_{DD}=V_{DDA}=V_{REFP}=3.3\text{V}$, 外部参考源: $f_{\text{ADC}}=36\text{MHz}$, $\text{SMP}=3.5\text{CLK}$, 未校准。

在比较以 LSB 为单位的 ADC 的静态参数时, 需考虑到 LSB 的大小与分辨率的关系。在 3.3V 的基准电压下, 14 位分辨率 ADC 的 $1\text{LSB}=\frac{3.3}{2^{14}}\text{V}\approx 0.2\text{mV}$, 12 位分辨率 ADC 的 $1\text{LSB}=\frac{3.3}{2^{12}}\text{V}\approx 0.8\text{mV}$, 因此 1LSB (12 位分辨率) = 4 LSB (14 位分辨率)。

4.2 ADC 参考源供电方式选择

GD32H73x_75xx 在内部集成有一个内部参考电路, 用于为 ADC/DAC 提供基准电压, 或供连接到 VREFP 引脚的片外电路使用 (外部供电: 使用 14 位 ADC 时, 若 $V_{DDA}\geq 2.4\text{V}$ 时, $2.4\text{V}\leq V_{REFP}\leq V_{DDA}$; $V_{DDA}< 2.4\text{V}$ 时, $1.8\text{V}\leq V_{REFP}\leq V_{DDA}$), 该内部参考电路可配置的参考电压等级有: 1.5V、1.8V、2.048V、2.5V。

使用外部高精度参考源可以进一步提升 ADC 性能, 使用不同参考源时的 ADC 性能如 [表 4-4. 使用内部参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性\(1\)](#) 及 [表 4-5. 使用外部高精度参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性\(1\)](#) 所示。

表 4-4. 使用内部参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性(1)

符号	参数	测试条件	典型值	单位
EO	偏置误差	单端输入	±5.2	LSB
		差分输入	±1.3	

符号	参数	测试条件	典型值	单位	
DNL	微分非线性误差	单端输入	+2.9/-1.0		
		差分输入	+1.8/-1.0		
INL	积分非线性误差	单端输入	±4.0		
		差分输入	±1.8		
ENOB	有效位数	单端输入	11.4		Bits
		差分输入	12.6		
SNDR	信噪失真比	单端输入	70.7	dB	
		差分输入	77.6		

(1) 测试条件: $T_A=25^\circ\text{C}$, BGA176 封装, 单端输入为 PC0 脚, 差分输入为 PC0&PC1 脚; MODE1 供电 (LDO 供电模式), $V_{DD}=V_{DDA}=3.3\text{V}$, $V_{REFP}=2.5\text{V}$, 内部参考源; $f_{ADC}=36\text{Mhz}$, $SMP=3.5\text{CLK}$, 未校准。

表 4-5. 使用外部高精度参考源时 GD32H73x_75xx 系列 14-bit ADC 动态及静态特性⁽¹⁾

符号	参数	测试条件	典型值	单位
EO	偏置误差	单端输入	±5.7	LSB
		差分输入	±0.1	
DNL	微分非线性误差	单端输入	+1.3/-1.0	
		差分输入	±1	
INL	积分非线性误差	单端输入	±1.9	
		差分输入	±1.6	
ENOB	有效位数	单端输入	12.7	Bits
		差分输入	13.4	
SNDR	信噪失真比	单端输入	78.3	dB
		差分输入	82.6	

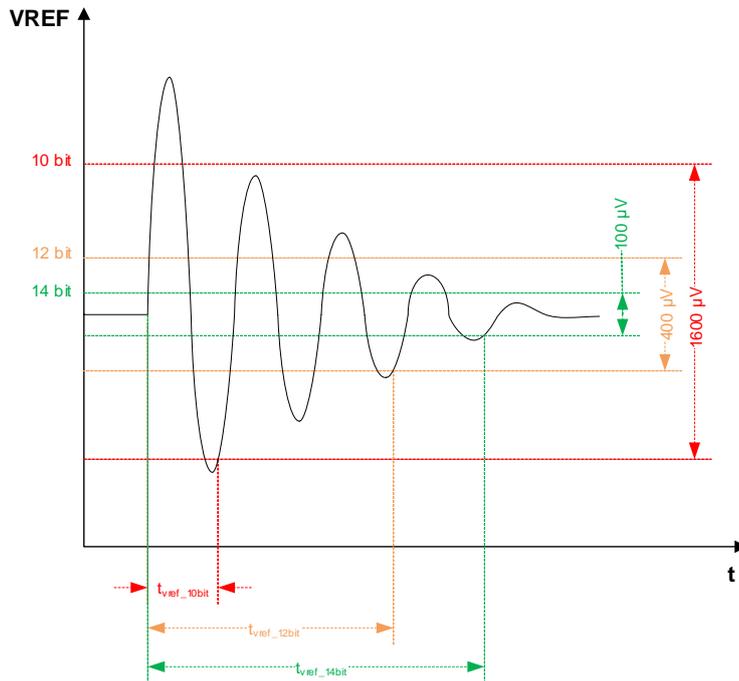
(1) 测试条件: $T_A=25^\circ\text{C}$, BGA176 封装, 单端输入为 PC0 脚, 差分输入为 PC0&PC1 脚; MODE1 供电 (LDO 供电模式), $V_{DD}=V_{DDA}=V_{REFP}=3.3\text{V}$, 外部参考源; $f_{ADC}=36\text{Mhz}$, $SMP=3.5\text{CLK}$, 未校准。

4.3 分辨率、封装及同时使用的 ADC 数量对最大 ADC 频率与采样率的影响

ADC 在转换阶段, 参考电压输入引脚需要响应尖峰电流, 为了避免转换误差, 需要足够的时间使基准电压稳定到 $\pm 1/4\text{LSB}$, 否则可能导致分辨率降低以及误码。最大 ADC 频率会随着 V_{REF} 稳定时间的增大而下降。

[图 4-1. 不同分辨率下 \$V_{REF}\$ 稳定时间](#)显示了不同分辨率下 V_{REF} 稳定到 $\pm 1/4\text{LSB}$ 所需的时间, 可以看出 V_{REF} 高分辨率模式会比低分辨率模式需要更长的时间达到稳定。

图 4-1. 不同分辨率下 VREF 稳定时间



参考电压稳定时间也会受到封装上寄生电感的影响。在 VREF 引脚上增加了寄生电感，会增加 VREF 的稳定时间，进而限制了可实现的 ADC 频率。因此，封装的选择对 ADC 的性能至关重要，必须在 ADC 的早期阶段进行考虑设计。BGA 封装通常比 LQFP 封装在此方面表现得更好，因为它们具有更低的封装引脚电感，GD32H73x_75xx 系列 BGA176 封装 VREFN 与 VREFP 引脚上电感值在 2 nH 左右，但 LQFP144 封装 VREFN 与 VREFP 引脚上电感值在 12 nH 以上。

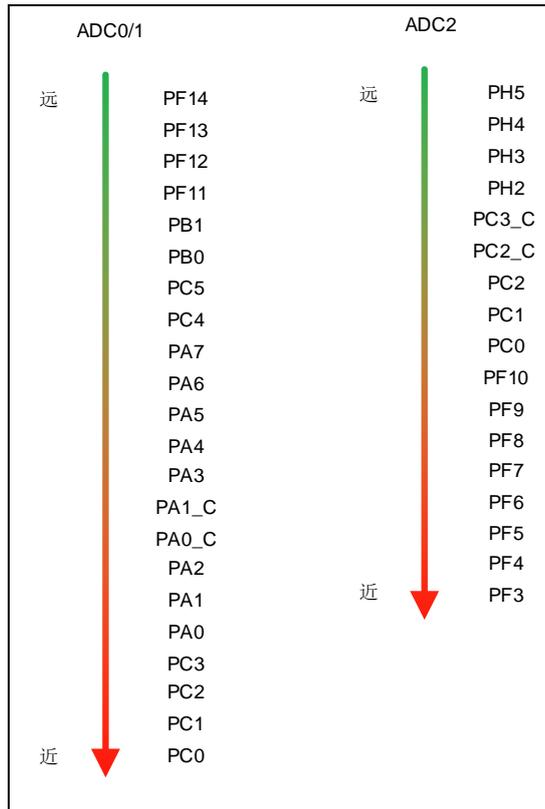
当多个 ADC 同时转换时，VREFP 引脚上的瞬态电流也会增加，导致 VREF 的稳定时间增加，这也会降低最大 ADC 频率。

ADC 同时工作的影响，是指相同分辨率的 ADC、按照相同的时钟频率、完全相同的时序来同步工作，如果时序上有任何的 delay，那么 VREF 的波形就会很复杂，对 ADC 的性能影响变得更加恶劣。

4.4 VCORE 供电方式对 ADC 的影响

GD32H73x_75xx 系列内部集成 SMPS 模块，使用 SMPS 给 VCORE 供电时，单端输入存在精度上的影响（内部通道没有影响），差分输入基本没有影响。用户在使用 GD32H73x_75xx 系列芯片时，若使用了 SMPS 模块，则 ADC 输入引脚推荐选用远离 SMPS 模块的。ADC 输入引脚距 SMPS 模块远近如 [图 4-2. ADC 输入引脚距 SMPS 模块远近示意图](#) 所示：

图 4-2. ADC 输入引脚距 SMPS 模块远近示意图

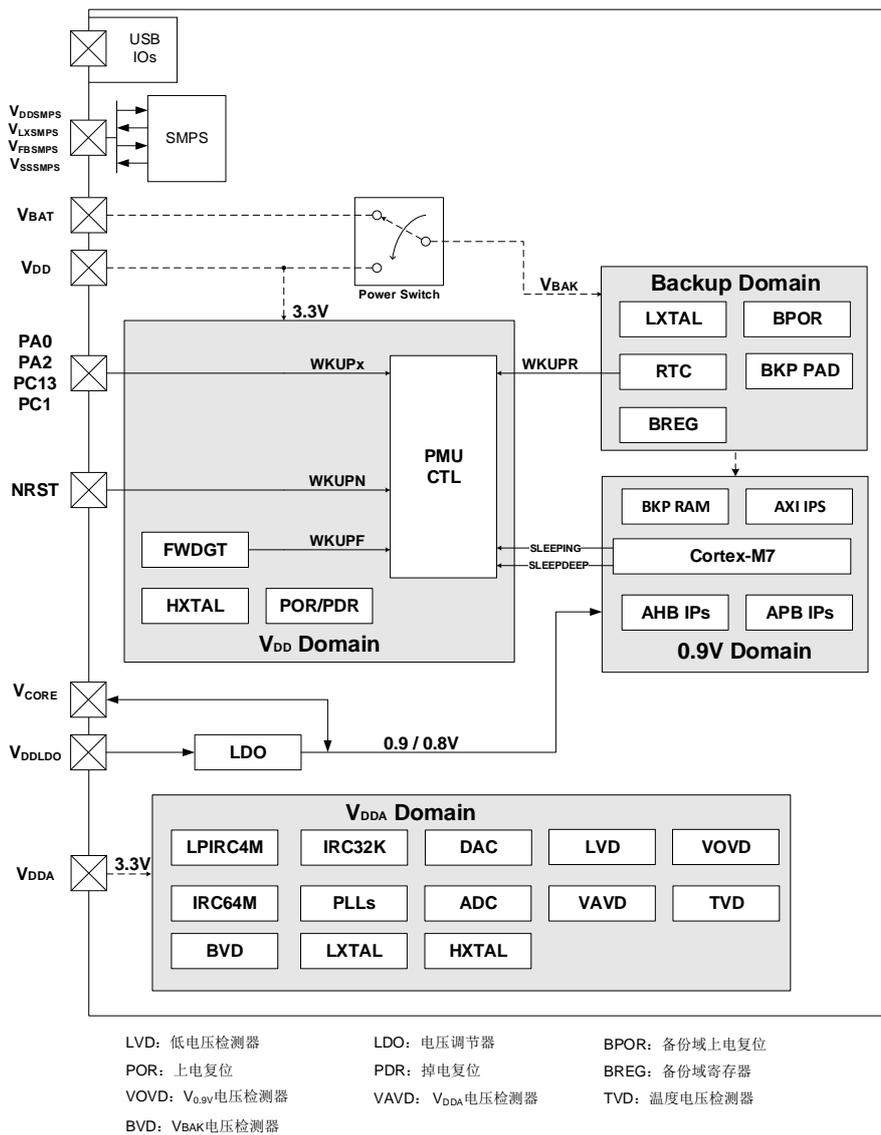


5 硬件设计注意事项

5.1 电源设计

GD32H73x_75xx系列设备有三个电源域，包括VDD域，VDDA域，0.9V域和备份域。VDD与VDDA域由电源直接供电，如图5-1. 电源域概览所示。

图 5-1. 电源域概览



如果VDDA不等于VDD，要求两者之间的压差不能超过300mV。为避免噪声，VDDA可通过外部滤波电路连接至VDD。

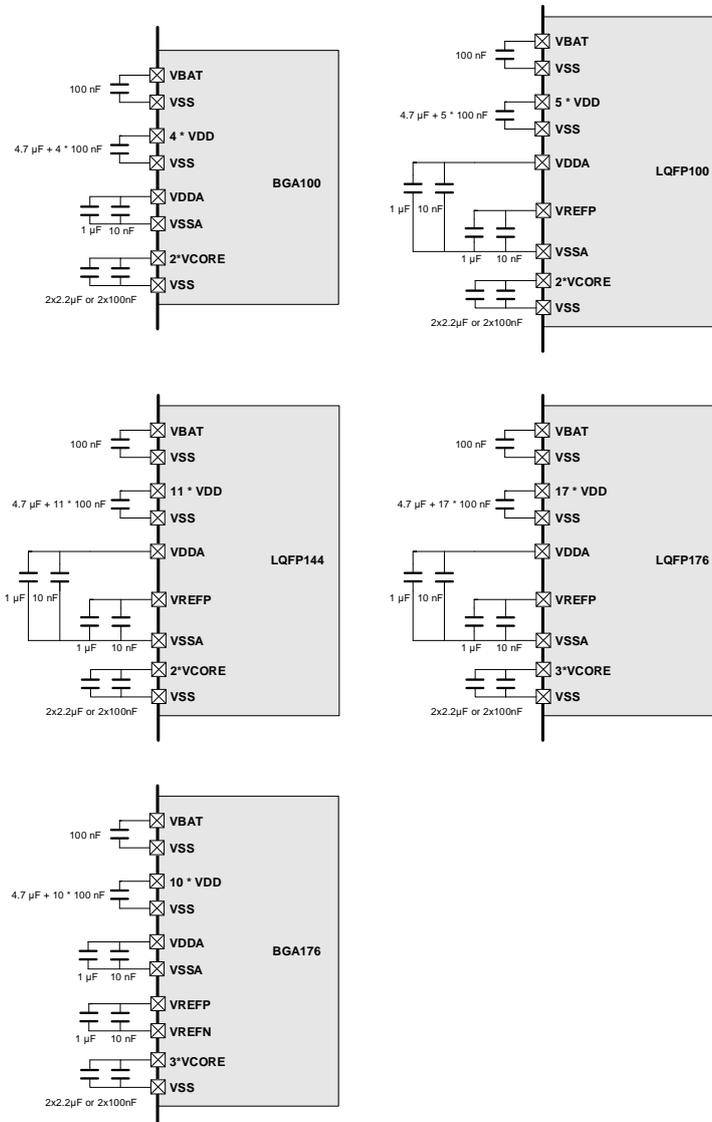
BGA176封装中含有VREFP和VREFN引脚，VREFP可以使用外部参考电源，也可以直连至VDDA，VREFN必须连接到VSSA；

LQFP封装中含有VREFP引脚，VREFP可以使用外部参考电源，也可以直连至VDDA。

电源网络中去耦电容的添加也是必不可少的，不同封装推荐添加的去耦电容如 [图5-2. GD32H73x_75xx系列推荐供电设计](#)所示：

- V_{DD}脚必须外接电容（N * 100nF陶瓷电容+不小于4.7uF钽电容，至少一个V_{DD}需要接不小于4.7uF电容到GND，其他V_{DD}引脚接100nF）；
- V_DDA脚必须外接电容（建议10nF + 1uF陶瓷电容）；
- V_{REFP}引脚可由内部产生也可直连至V_DDA，且在V_{REFP}引脚对地连接10nF + 1uF陶瓷电容；
- 当使用内部LDO为V_CORE供电时，建议V_CORE对GND接两个2.2uF的陶瓷电容；当内部LDO旁路时，建议V_CORE对GND接两个100nF的陶瓷电容；
- 所有电容必须紧靠相应引脚放置，并直接连接至地平面。

图 5-2. GD32H73x_75xx 系列推荐供电设计



5.2 外围电路匹配

为限制外部噪声，在 ADC 输入管脚处放置个小电容 C_{IN} ，同时在信号源与输入管脚间串联一个电阻，与 C_{IN} 组成 RC 滤波器，以达到更高的精度要求，如[图 5-3. 添加外部电容 \$C_{IN}\$ 的 ADC 采样框图](#)所示。配置采样周期时亦需考虑外部输入阻抗 R_{AIN} （信号源阻抗+RC 滤波器阻抗），GD32H73x_75xx 系列 14-bit ADC $f_{ADC}=72$ MHz 时采样周期与最大输入阻抗如[表 5-1. GD32H73x_75xx 系列 14-bit ADC 采样周期与最大输入阻抗](#)所示：

图 5-3. 添加外部电容 C_{IN} 的 ADC 采样框图

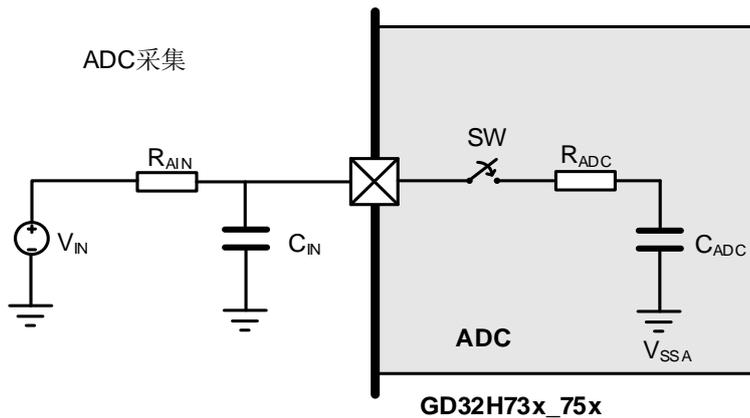


表 5-1. GD32H73x_75xx 系列 14-bit ADC 采样周期与最大输入阻抗

分辨率	采样周期 @72MHz	R_{AINmax} (k Ω)
14 bits	3.5	0.21
	6.5	0.52
	12.5	1.15
	24.5	2.40
	47.5	4.80
	92.5	9.50
	247.5	25.6
	810.5	84.4
12 bits	3.5	0.26
	6.5	0.62
	12.5	1.34
	24.5	2.77
	47.5	5.51
	92.5	10.8
	247.5	29.3
	810.5	96.5
10 bits	3.5	0.33
	6.5	0.75
	12.5	1.58
	24.5	3.25

分辨率	采样周期 @72MHz	R _{AINmax} (kΩ)
	47.5	6.45
	92.5	12.7
	247.5	34.2
	810.5	112
8 bits	3.5	0.43
	6.5	0.93
	12.5	1.93
	24.5	3.94
	47.5	7.78
	92.5	15.2
	247.5	41.1
	810.5	135

- (1) 该值由设计保证，并非 100%生产测试。
(2) R_{AIN}值采用理论计算，未考虑实际 PCB 电容。

5.3 引脚选择

由于 I/O、走线及内部 bonding 线之间的电容耦合，ADC 的精度会受到其他信号串扰的影响，因此 ADC 输入引脚的相近引脚应尽量避免做电平翻转动作（如 PWM 输出），也应避免切换会吸收大电流的引脚，这可能会导致电流浪涌进而导致电压下降。

5.4 PCB layout 注意事项

- 1、注意元器件的布局，数字模块与模拟模块应该分开放置，数字信号及其对应的返回电流路径控制在 PCB 的数字模块部分，尽可能的远离模拟信号。
- 2、ADC 引脚的输入路径应尽可能的短且直，并且尽量远离数字信号，对于 ADC 输入信号路径与数字信号路径不在同一层的情况，应尽量避免两者重叠。建议在 ADC 输入信号路径周围添加接地屏蔽，接地屏蔽需打足够的接地过孔。
- 3、VSS/VSSA/VREFN 引脚应就近接地，且地平面应尽量完整，确保回流路径具有很低的阻抗。
- 4.建议将 VERFP/VDDA 连接到低偏置、低噪声、低漂移的电压源，同时该电压源应有低阻抗和足够的带宽，可以响应 ADC 的瞬态电流需求。

6 版本历史

表 6-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 01 月 31 日
1.1	删除过采样截断表格	2024 年 03 月 19 日
1.2	表 4-1 添加 ADC2 通道的差分引脚分配	2025 年 05 月 13 日
1.3	明确该应用笔记所适用的芯片系列， 修改 Important Notice 页	2026 年 02 月 03 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.