

GigaDevice Semiconductor Inc.

GD32M531 芯片使用限制

勘误手册

1.0 版本

(2026 年 3 月)

目录

目录.....	2
图索引	3
表索引	4
1. 前言.....	5
1.1. 芯片版本定义.....	5
1.2. 芯片使用限制总览.....	5
2. 芯片使用限制描述.....	7
2.1. UART	7
2.1.1. 通过空闲帧将 UART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒.....	7
2.1.2. 通过空闲帧将 UART 从静默模式唤醒时，IDLEF 会置位.....	7
2.2. I2C.....	7
2.2.1. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常.....	7
2.2.2. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常.....	8
2.2.3. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址.....	8
2.2.4. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死.....	8
2.2.5. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START.....	9
2.3. SPI	9
2.3.1. SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作.....	9
2.3.2. SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零.....	9
2.4. CAN	10
2.4.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止.....	10
2.4.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去.....	10
2.5. Core.....	10
2.5.1. 访问权限错误优先于未对齐的设备内存错误.....	10
3. 版本历史	12

图索引

图 1-1. GD32M531 的芯片修订版本..... 5

表索引

表 1-1. 适用产品	5
表 1-2. 芯片使用限制	5

1. 前言

该文档适用于 GD32M531 产品，具体参考[表 1-1. 适用产品](#)。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

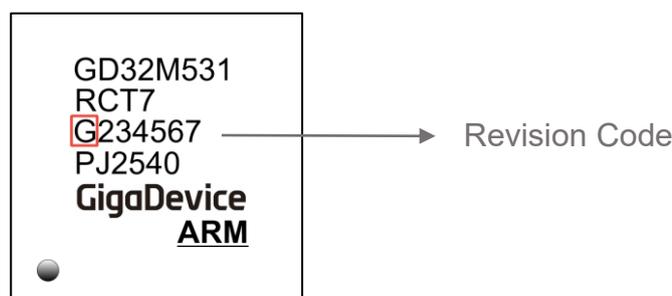
表 1-1. 适用产品

类型	产品系列
MCU	GD32M531xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如[图 1-1. GD32M531 的芯片修订版本](#)所示。

图 1-1. GD32M531 的芯片修订版本



1.2. 芯片使用限制总览

GD32M531 芯片使用限制参考[表 1-2. 芯片使用限制](#)。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案
		修订版本 G
UART	通过空闲帧将 UART 从静默模式唤醒时，IDLEF 会置位	N
	通过空闲帧将 UART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒	Y
I2C	I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常	Y
	I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常	Y
	I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址	Y

模块	使用限制	解决方案
		修订版本 G
	当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死	Y
	I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START	Y
SPI	SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作	Y
	SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零	Y
CAN	在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止	Y
	当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去	Y
Core	访问权限错误优先于未对齐的设备内存错误	N

注意：

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'-' = 使用限制已修复

2. 芯片使用限制描述

2.1. UART

2.1.1. 通过空闲帧将 UART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒

描述与影响

当 UART 工作在多处理器通信模式且通过空闲帧将 UART 从静默模式唤醒时，在总线处于空闲模式且 UART 进入静默模式后，将导致 UART 将无法被唤醒。

解决方案

当使用空闲帧唤醒 UART 静默模式时，在总线处于空闲时，不允许进入静默模式。

2.1.2. 通过空闲帧将 UART 从静默模式唤醒时，IDLEF 会置位

描述与影响

通过空闲帧将 UART 从静默模式唤醒时，IDLEF 会置位。如果此时开启了 IDLE 中断，则在空闲帧唤醒后会进入 IDLE 中断处理函数。

解决方案

在进入静默模式前关闭 IDLE 中断，并在需要的时候开启 IDLE 中断。

2.2. I2C

2.2.1. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常

描述与影响

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，然后软件修改配置为主机接收模式，此时无论 HEAD10R 配置为 0 还是 1，主机接收部分的波形都是 RESTART+10bit address head+Master Receive，即 HEAD10R 配置无效。

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，不修改主机传输方向（仍为发送端），当 HEAD10R = 0 时，后续 RESTART 会直接进入主机接收的波形（RESTART+10bit address head+Master Receive）；HEAD10R=1，后续 RESTART 会循环发送主机循环发送地址序列的第一部分（RESTART+10bit address head）。

解决方案

I2C 作主机配置为 10 位地址模式时，在每一帧发送结束后，要发对应的 STOP 信号。

2.2.2. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常

描述与影响

I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，I2C 主机时序形为 START+10bit address head+Master Receive，会导致从机不会 ACK，无法寻址到从机设备。该配置下，一帧正常的主机发送序列应该为 START + 10 位地址头（写）+第二个地址字节+RESTART + 10 位地址头（读）。

解决方案

当主机需要发送 START + 10 位地址头(写)+第二个地址字节+RESTART + 10 位地址头(读)序列时，将 HEAD10R 配置为 0。

2.2.3. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址

描述与影响

I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，而是接着发送 START 信号启动第二帧数据的发送，会导致 I2C 从机将主机发送的从机地址第二字节（10 位地址中的低 8 位地址）识别为数据且地址匹配标志（ADDSEND）不会置位。例如，当从机处于地址轮询状态时，会导致从机一直等待地址匹配而无法跳出循环；当从机处于中断或 DMA 模式时，同样由于无法匹配从机地址而无发进行后续的数据处理。

解决方案

当 I2C 作从机使用 10 位地址模式时，外部 I2C 主机在每一帧发送结束后，要发对应的 STOP 信号。

2.2.4. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死

描述与影响

当 I2C 作为从设备运行且配置为 7 位地址模式时，主机通过 IO 模拟 I2C 通信。如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Match Head Addr + Start + 7Bit Addr Read + Wait ACK+Start

当 I2C 作为从设备运行且配置为 10 位地址模式时，主机通过 IO 模拟 I2C 通信，如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Mismatch Head Addr +Start

或

Start +10 Bit Match Head Addr+Wait ACK+10 Bit Mismatch 8 Bit Addr+Start

解决方案

定时检测 SDA 状态，如果识别到 SDA 恒低，重新初始化 I2C 模块。

2.2.5. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START

描述与影响

I2C 作主机发送完最后一字节数据，从机回复 NACK 信号，则传输完成 (TC) 中断里主机无法正确发送 START，即无法开启下一次传输。

解决方案

在 NACK 中断中发送一次 STOP 信号，然后再启动下一次传输。

2.3. SPI

2.3.1. SPI 工作在从机非 TI 模式且数据有效采样边沿为第一个时钟跳变沿并开启 CRC 功能时，若从机未被片选中，此时 SCK 线上仍有时钟，会导致从机 CRC 继续工作

描述与影响

SPI 工作在从机非 TI 模式 (TMOD = 0) 且数据有效采样边沿为第一个时钟跳变沿 (CKPH = 0)，并开启 CRC 功能时，若此时从机未被片选中但 SCK 线上仍有时钟，则会导致从机 CRC 继续工作，进而导致 CRCERR 置位。该问题对于一主多从的应用场景会有限制。

解决方案

使用以下解决方案之一：

- 1) 使用软件片选，当从机发现未被片选中时，主动关闭 CRC 功能。
- 2) 主从机双方约定数据有效采样边沿为第二个时钟跳变沿 (CKPH = 1)。

2.3.2. SPI 作主机或从机并开启 CRC 校验功能，在 CRC 传输或校验完成后，CRC 寄存器不会自动清零

描述与影响

SPI 作主机或从机且开启 CRC 校验功能，在 CRC 传输或校验完成后 (通过置位 CRCNT 来发送或接收 CRC 数据并校验)，CRC 寄存器 (SPI_RCRC 和 SPI_TCRC) 不会自动清零，会导致下一帧数据通信时仍以上一帧计算后的 CRC 值继续进行 CRC 计算，导致 CRCERR 置位。

解决方案

在每一帧数据通信前，软件清除 CRC 值 (通过将 CRCEN 先清零后置位)。

2.4. CAN

2.4.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止

描述与影响

当所有等待的发送邮箱按照先进先出的顺序发送（TFO=1）时，如发送顺序为 0->1->2。当中止邮箱 2 发送时，若邮箱 1 仍为 pending 状态，则邮箱 1 也会被中止，即发送邮箱 1 中的数据没有被发送出去。

解决方案

使用以下解决方案之一：

- 1) 在中止最低优先级发送邮箱之前，确保第二优先级的发送邮箱不为 pending 状态。
- 2) 在中止最低优先级发送邮箱之后，重新配置第二优先级和最低优先级发送邮箱并发送。

2.4.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去

描述与影响

当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去。例如 TFO 置 0 时，配置发送邮箱 1 的 ID 为 0x1FFFFFFF，则发送邮箱 1 中的数据无法发出。

解决方案

使用以下解决方案之一：

- 1) 当标识符为 0x1FFFFFFF 时，使用发送邮箱 0 进行数据帧发送。
- 2) 使用先来先发送（FIFO）的顺序发送，即 TFO =1。

2.5. Core

关于 Cortex-M33 的限制，请参考“Cortex-M33 AT623 and Cortex-M33 with FPU AT624 Software Developer Errata Notice”。该文档可在 ARM 官方网站下载。

2.5.1. 访问权限错误优先于未对齐的设备内存错误

该限制对应于 Arm 编号 1080541，详见“Cortex-M33 AT623 and Cortex-M33 with FPU AT624 Software Developer Errata Notice”。

描述及影响

引发未对齐设备内存访问的加载或存储操作会导致 UNALIGNED UsageFault 异常。然而，如果由于 MPU 访问权限(由 MPU_RBAR.AP 指定)导致该区域不可访问，则触发的 MemManage 故障将优先于 UsageFault。

此勘误影响所有启用 MPU 的 Cortex-M33 处理器配置。

故障发生条件如下：

MPU 已启用且：

- 加载/存储访问发生在与指令中指定的数据类型未对齐的地址上。
- 内存访问仅命中一个区域。
- 区域属性（在 MAIR 寄存器中指定）将该位置标记为设备内存。
- 区域访问权限阻止访问（即禁止非特权或写入操作）。

此限制的影响为，由于内存属性，访问权限违反引发的 MemManage 错误将优先于 UNALIGNED UsageFault 异常。

解决方案

无规避方案。然而，由于此行为在 Armv7-M 中是被允许的，因此预计现有软件不会依赖该行为。（CM33 属于 Armv8-M）。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2026 年 3 月 2 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.