

GigaDevice Semiconductor Inc.

GD32L235 芯片使用限制

勘误手册

1.0 版本

(2026 年 5 月)

目录

目录.....	2
图索引.....	4
表索引.....	5
1. 前言.....	6
1.1. 芯片版本定义.....	6
1.2. 芯片使用限制总览.....	6
2. 芯片使用限制描述.....	8
2.1. PMU.....	8
2.1.1. 在深度睡眠模式下 FWDGTRSTF 标志无法置位.....	8
2.2. RCU.....	8
2.2.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位.....	8
2.3. USART.....	9
2.3.1. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒.....	9
2.3.2. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位.....	9
2.3.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失.....	9
2.3.4. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位.....	9
2.3.5. DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高.....	10
2.3.6. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR.....	10
2.3.7. 智能卡模式下，PERR 置位异常.....	10
2.3.8. 同步模式下，PERR 置位异常.....	10
2.3.9. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR.....	11
2.4. I2C.....	11
2.4.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死.....	11
2.4.2. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址.....	11
2.4.3. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常.....	12
2.4.4. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常.....	12
2.4.5. I2C 时钟配置为 IRC16M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒.....	12
2.4.6. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START	13
2.4.7. I2C 作主机传输时，如果遇到其它主机发送 START 信号，概率性导致后续传输失败.....	13
2.5. CAN.....	13
2.5.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导	

致第二优先级的发送邮箱也会被中止	13
2.5.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的 数据无法发送出去	14
2.6. USB	14
2.6.1. USB SUSPEND 时间计数不稳定	14
2.7. Core	14
3. 版本历史	15

图索引

图 1-1. GD32L235 的芯片修订版本 6

表索引

表 1-1. 适用产品	6
表 1-2. 芯片使用限制	6
表 3-1. 版本历史	15

1. 前言

该文档适用于 GD32L235 产品，具体参考[表 1-1. 适用产品](#)。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

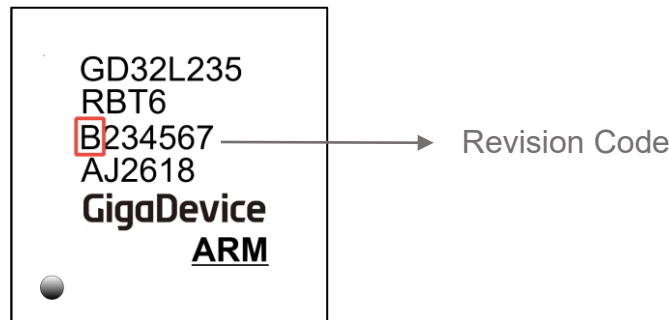
表 1-1. 适用产品

类型	产品系列
MCU	GD32L235xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如[图 1-1. GD32L235 的芯片修订版本](#)所示。

图 1-1. GD32L235 的芯片修订版本



1.2. 芯片使用限制总览

GD32L235 芯片使用限制参考[表 1-2. 芯片使用限制](#)。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案
		修订版本 B
PMU	在深度睡眠模式下 FWDGTRSTF 标志无法置位	Y
RCU	当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位	Y
USART	通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒	Y
	通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位	Y
	使用硬件流控方式时，USART 的高波特率会造成数据丢失	Y
	智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位	N
	DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高	N
	深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR	N

模块	使用限制	解决方案
		修订版本 B
	智能卡模式下, PERR 置位异常	N
	同步模式下, PERR 置位异常	N
	深度睡眠模式下, 唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR	N
I2C	当 I2C 工作在 7/10 地址从模式, 收到异常时序会导致芯片 SDA 卡死	Y
	I2C 作从机配置为 10 位地址模式时, 如果外部主机发送完一帧数据后未正常发送 STOP 信号, 会导致 I2C 从机后续无法匹配到从机地址	N
	I2C 作主机配置为 10 位地址模式时, 在发送完一帧数据后未正常发送 STOP 信号, 会导致后续数据帧发送异常	Y
	I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时, 传输时序异常	Y
	I2C 时钟配置为 IRC16M 的非 1 分频时, 低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒	Y
	I2C 作主机发送, 若最后一字节从机回 NACK, 则传输完成中断里无法正确发送 START	Y
	I2C 作主机传输时, 如果遇到其它主机发送 START 信号, 概率性导致后续传输失败	N
CAN	在 TFO 置 1 条件下, 先后使能 3 个邮箱进行发送后, 在中止最低优先级的发送邮箱时, 会导致第二优先级的发送邮箱也会被中止	Y
	当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时, 会导致发送邮箱 1 或 2 中的数据无法发送出去	Y
USB D	USB D SUSPEND 时间计数不稳定	N

注意:

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'-' = 使用限制已修复

2. 芯片使用限制描述

2.1. PMU

2.1.1. 在深度睡眠模式下 FWDGTRSTF 标志无法置位

描述与影响

当 MCU 处于 Deep-sleep / Deep-sleep 1 / Deep-sleep 2 模式时，由 FWDGT 导致的 MCU 复位无法置位 FWDGTRSTF。

解决方案

应用程序可以判断 FWDGT 是否发生了复位。例如，通过标记系统是否发生过复位，然后排除复位的原因，就可以确定 MCU 复位是否由 FWDGT 复位引起。

2.2. RCU

2.2.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位

描述与影响

当 LXTAL 意外停振时，LXTALSTB 位无法通过禁能 LXTAL 清除，导致 LXTAL 无法重新启动。

解决方案

通过重复置位和复位 LXTALBPS 超过十次来清除 LXTALSTB 位，然后重新配置 LXTAL。以下是清除 LXTALSTB 位的参考代码：

```
void lxtal_stb_clear(void)
{
    volatile uint32_t i = 0U;
    /* close LXTAL clock */
    rcu_osc_off(RCU_LXTAL);
    /* set PC14 */
    rcu_periph_clock_enable(RCU_GPIOC);
    gpio_mode_set(GPIOC, GPIO_MODE_OUTPUT, GPIO_PUPD_NONE, GPIO_PIN_14);
    gpio_output_options_set(GPIOC, GPIO_OTYPE_PP, GPIO_OSPEED_50MHZ,
        GPIO_PIN_14);
    GPIO_BOP(GPIOC) = GPIO_PIN_14;
    for(i = 0; i < 10; i++) {
        /* enable the LXTAL bypass mode */
        rcu_osc_bypass_mode_enable(RCU_LXTAL);
        /* disable the LXTAL bypass mode */
    }
}
```

```
rcu_osc_bypass_mode_disable(RCU_LXTAL);  
}  
}
```

2.3. USART

2.3.1. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒

描述与影响

当 USART 工作在多处理器通信模式且通过空闲帧将 USART 从静默模式唤醒时，在总线处于空闲模式且 USART 进入静默模式后，将导致 USART 将无法被唤醒。

解决方案

当使用空闲帧唤醒 USART 静默模式时，在总线处于空闲时，不允许进入静默模式。

2.3.2. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位

描述与影响

通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位。如果此时开启了 IDLE 中断，则在空闲帧唤醒后会进入 IDLE 中断处理函数。

解决方案

在进入静默模式前关闭 IDLE 中断，并在需要的时候开启 IDLE 中断。

2.3.3. 使用硬件流控方式时，USART 的高波特率会造成数据丢失

描述与影响

使用硬件流控方式时，当 USART 工作在高波特率通信时，由于 CTS 未及时拉低（流控不及时），会导致数据丢失。

解决方案

不使用高波特率，或者在高波特率情况下使用 2bit 停止位。流控模式且用 1stop 位时，波特率限制在 0.94MHz（APB2 = 64MHz）和 0.47 MHz（APB1 = 32MHz）以内。

2.3.4. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位

描述与影响

智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误，会认为发生重传，但 TX

引脚未检测到 NACK 信号，读数据缓冲区非空标志（RBNE）和帧错误标志（FERR）均无法置位。

解决方案

无规避方案。

2.3.5. DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高

描述与影响

DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高，流控失效。

解决方案

无规避方案。使用中确保以上条件不同时成立。

2.3.6. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 和 EPERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 PERR 位。例如使用 USART 地址匹配唤醒深度睡眠模式时，先收到一帧带奇偶校验错误且地址不匹配帧，再收到一帧无奇偶校验错误且地址匹配的帧，会导致在唤醒后 PERR 和 EPERR 置位。

解决方案

无规避方案。软件上忽略该情况下的奇偶校验错误。

2.3.7. 智能卡模式下，PERR 置位异常

描述与影响

智能卡模式下，NACK 禁能（NKEN = 0）且 SCRNUM 配置为非 0 值时，当 USART 收到带奇偶校验错误的帧后，PERR 无法置位。

解决方案

无规避方案。

2.3.8. 同步模式下，PERR 置位异常

描述与影响

同步模式下且开启数据位反转（DINV = 1）功能时，即使 USART 收到无奇偶校验错误的帧，PERR 依然会置位。

解决方案

无规避方案。同步模式下不开启数据位反转功能。

2.3.9. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 PERR 位但不置位 EPERR。例如使用 USART 地址匹配唤醒深度睡眠模式时，先收到一帧带奇偶校验错误且地址不匹配帧，再收到一帧有奇偶校验错误且地址匹配的帧，会导致在唤醒后 PERR 置位但 EPERR 不置位。

解决方案

无规避方案。软件上忽略该情况下的奇偶校验错误。

2.4. I2C

2.4.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死

描述与影响

当 I2C 作为从设备运行且配置为 7 位地址模式时，主机通过 IO 模拟 I2C 通信。如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Match Head Addr + Start + 7Bit Addr Read + Wait ACK+Start

当 I2C 作为从设备运行且配置为 10 位地址模式时，主机通过 IO 模拟 I2C 通信，如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Mismatch Head Addr +Start

或

Start +10 Bit Match Head Addr+Wait ACK+10 Bit Mismatch 8 Bit Addr+Start

解决方案

定时检测 SDA 状态，如果识别到 SDA 恒低，重新初始化 I2C 模块。

2.4.2. I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，会导致 I2C 从机后续无法匹配到从机地址

描述与影响

I2C 作从机配置为 10 位地址模式时，如果外部主机发送完一帧数据后未正常发送 STOP 信号，而是接着发送 START 信号启动第二帧数据的发送，会导致 I2C 从机将主机发送的从机地址第二字节（10 位地址中的低 8 位地址）识别为数据且地址匹配标志（ADDSEND）不会置位。例如，当从机处于地址轮询状态时，会导致从机一直等待地址匹配而无法跳出循环；当从机处于中断或 DMA 模式时，同样由于无法匹配从机地址而无法进行后续的数据处理。

解决方案

无规避方案。当 I2C 作从机使用 10 位地址模式时，外部 I2C 主机在每一帧发送结束后，要发对应的 STOP 信号。

2.4.3. I2C 作主机配置为 10 位地址模式时，在发送完一帧数据后未正常发送 STOP 信号，会导致后续数据帧发送异常

描述与影响

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，然后软件修改配置为主机接收模式，此时无论 HEAD10R 配置为 0 还是 1，主机接收部分的波形都是 RESTART+10bit address head+Master Receive，即 HEAD10R 配置无效。

I2C 作主机发送完一帧数据后未正常发送 STOP 信号，当 HEAD10R = 0 时，后续 RESTART 会直接进入主机接收的波形；HEAD10R=1，后续循环中 RESTART 将重复发送地址序列的第一部分（RESTART+10bit address head）。

解决方案

I2C 作主机配置为 10 位地址模式时，在每一帧发送结束后，要发对应的 STOP 信号。

2.4.4. I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，传输时序异常

描述与影响

I2C 作主机配置为 10 位地址接收模式且 HEAD10R=1 时，I2C 主机时序形为 START+10bit address head+Master Receive，会导致从机不会 ACK，无法寻址到从机设备。该配置下，一帧正常的主机发送序列应该为 START + 10 位地址头（写）+第二个地址字节+RESTART + 10 位地址头（读）。

解决方案

当主机需要发送 START + 10 位地址头(写)+第二个地址字节+RESTART + 10 位地址头(读)序列时，将 HEAD10R 配置为 0。

2.4.5. I2C 时钟配置为 IRC16M 的非 1 分频时，低功耗唤醒场景下地址不匹配会导致后续无法正常唤醒

描述与影响

当 I2C 时钟配置为 IRC16M 的非 1 分频时，在低功耗唤醒场景下，当出现地址不匹配时，会导致 I2C 时钟丢失，导致后续无法正常唤醒。

解决方案

针对低功耗唤醒场景，将 IRC16MDIV 配置为 1 分频。

2.4.6. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START

描述与影响

I2C 作主机发送完最后一字节数据，从机回复 NACK 信号，则传输完成 (TC) 中断里主机无法正确发送 START，即无法开启下一次传输。

解决方案

在 NACK 中断中发送一次 STOP 信号，然后再启动下一次传输。

2.4.7. I2C 作主机传输时，如果遇到其它主机发送 START 信号，概率性导致后续传输失败

描述与影响

I2C 作主机传输过程中，如果总线上出现其它主机发送的 START 信号，无论主机是否赢得仲裁，都会概率性导致后续数据无法正常发送。

解决方案

无规避方案。

2.5. CAN

2.5.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止

描述与影响

当所有等待的发送邮箱按照先进先出的顺序发送 (TFO=1) 时，如发送顺序为 0->1->2。当中止邮箱 2 发送时，若邮箱 1 仍为 pending 状态，则邮箱 1 也会被中止，即发送邮箱 1 中的数据没有被发送出去。

解决方案

使用以下解决方案之一：

- 1) 在中止最低优先级发送邮箱之前，确保第二优先级的发送邮箱不为 pending 状态。
- 2) 在中止最低优先级发送邮箱之后，重新配置第二优先级和最低优先级发送邮箱并发送。

2.5.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去

描述与影响

当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去。例如 TFO 置 0 时，配置发送邮箱 1 的 ID 为 0x1FFFFFFF，则发送邮箱 1 中的数据无法发出。

解决方案

使用以下解决方案之一：

- 1) 当标识符为 0x1FFFFFFF 时，使用发送邮箱 0 进行数据帧发送。
- 2) 使用先来先发送（FIFO）的顺序发送，即 TFO = 1。

2.6. USB

2.6.1. USB SUSPEND 时间计数不稳定

描述与影响

按照 USB 协议标准，进入 SUSPEND 的时间应为检测到 IDLE 状态 3ms 后开始执行挂起操作。但实际 USB SUSPEND 时间不总是 3ms，与 USB 协议标准不符，但不影响正常进入 SUSPEND。

解决方案

无规避方案。

2.7. Core

关于 Cortex-M23（r1p0）的限制，请参考“Cortex-M23 Software Developer Errata Notice”。该文档可在 [ARM 官方网站](#) 下载。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2026 年 5 月 31 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.