

GigaDevice Semiconductor Inc.

GD32H73x_75x 系列硬件开发指南

应用笔记

AN109

1.6 版本

(2026 年 03 月)

目录

目录.....	2
图索引.....	4
表索引.....	6
1. 前言.....	7
2. 硬件设计.....	8
2.1. 电源.....	8
2.1.1. 备份域.....	9
2.1.2. V _{DD} /V _{DDA} 电源域.....	9
2.1.3. 0.9V 电源域.....	10
2.1.4. USB 电源.....	14
2.1.5. 供电设计.....	15
2.2. 复位及电源管理.....	17
2.2.1. LVD.....	18
2.2.2. POR / PDR.....	19
2.2.3. BOR.....	19
2.2.4. NRST 引脚.....	21
2.3. 时钟.....	22
2.3.1. 外部高速晶体振荡时钟 (HXTAL).....	24
2.3.2. 外部低速晶体振荡时钟 (LXTAL).....	25
2.3.3. 时钟输出能力 (CKOUT).....	26
2.3.4. HXTAL 时钟监视器 (CKM).....	26
2.3.5. LXTAL 时钟监视器 (LCKM).....	27
2.4. 启动配置.....	27
2.5. 典型外设模块.....	28
2.5.1. GPIO 电路.....	28
2.5.2. ADC 电路.....	29
2.5.3. 内部温度传感器.....	30
2.5.4. USB 电路.....	32
2.6. 热管理及低功耗模式.....	34
2.7. 下载调试电路.....	35
2.8. 参考原理图设计.....	37
3. PCB Layout 设计.....	38
3.1. 电源去耦电容.....	38
3.2. 0.9V 电源域电路.....	38

3.3. 时钟电路.....	40
3.4. 复位电路.....	40
3.5. OSPI 电路.....	41
3.6. USB 电路.....	41
3.7. BGA 封装的扇出.....	42
4. 封装说明	43
5. 版本历史	44

图索引

图 2-1. GD32H73x_75x 系列电源域概览.....	8
图 2-2. LDO 供电 0.9V 电源域.....	11
图 2-3. SMPS 供电 0.9V 电源域.....	12
图 2-4. 旁路 (包含 SMPS 模块).....	13
图 2-5. 旁路 (不包含 SMPS 模块).....	13
图 2-6. 旁路模式上下电时序图.....	13
图 2-7. USB 稳压器供电时连接示意图.....	15
图 2-8. USB 稳压器旁路时连接示意图.....	15
图 2-9. GD32H73x_75x 系列推荐供电设计.....	16
图 2-10. GD32H73x_75x 系列 SMPS 降压稳压器推荐设计.....	17
图 2-11. RCU_RSTSCK 寄存器.....	18
图 2-12. 系统复位电路.....	18
图 2-13. LVD 阈值波形图.....	19
图 2-14. 上电 / 掉电复位波形图.....	19
图 2-15. BOR 波形图.....	20
图 2-16. 推荐 PDR_ON 引脚电路设计.....	20
图 2-17. 推荐外部复位电路.....	21
图 2-18. NRST 引脚上下电 MOS 管脉冲示意图.....	22
图 2-19. GD32H73x_75x 系列时钟树.....	23
图 2-20. HXTAL 外部晶体电路.....	24
图 2-21. HXTAL 外部时钟电路.....	24
图 2-22. LXTAL 外部晶体电路.....	25
图 2-23. LXTAL 外部时钟电路.....	25
图 2-24. 推荐 BOOT 电路设计.....	28
图 2-25. 标准 IO 的基本结构.....	29
图 2-26. ADC 采集电路设计.....	30
图 2-27. ADC 的模拟配置.....	30
图 2-28. 测量方式.....	32
图 2-29. 在主机或设备模式下连接示意图.....	33
图 2-30. OTG 模式下使用内部嵌入式 PHY 连接示意图.....	33
图 2-31. 使用外部 ULPI PHY 的连接示意图.....	34
图 2-32. 推荐 Standby 外部唤醒引脚电路设计.....	34
图 2-33. 推荐 JTAG 接线参考设计.....	35
图 2-34. 推荐 SWD 接线参考设计.....	36
图 2-35. GD32H73x_75x 推荐参考原理图设计.....	37
图 3-1. 推荐电源引脚去耦 Layout 设计.....	38
图 3-2. BGA176 封装 SMPS 供电模式推荐 layout 图.....	39
图 3-3. BGA176 封装旁路模式推荐 layout 图.....	39
图 3-4. 推荐时钟引脚 Layout 设计 (无源晶体).....	40
图 3-5. 推荐 NRST 走线 Layout 设计.....	40

图 3-6. 推荐 OSPI 走线 Layout 设计	41
图 3-7. BGA100 封装的扇出方式.....	42
图 3-8. BGA176 封装的扇出方式.....	42

表索引

表 1-1. 适用产品.....	7
表 2-1. 电源供电模式对应表.....	10
表 2-2. 默认供电模式寄存器初始状态.....	11
表 2-3. LDO Supply 寄存器配置表.....	11
表 2-4. SMPS Supply 寄存器配置表.....	12
表 2-5. 旁路寄存器配置表.....	14
表 2-6. SMPS 降压稳压器外围器件推荐值.....	17
表 2-7. 时钟输出 0 的时钟源选择.....	26
表 2-8. 时钟输出 1 的时钟源选择.....	26
表 2-9. 引导模式选择.....	27
表 2-10. 引导模式详细描述.....	27
表 2-11. USBHS 信号线描述.....	32
表 2-12. JTAG 下载调试接口分配.....	35
表 2-13. SWD 下载调试接口分配.....	36
表 4-1. 封装型号说明.....	43
表 5-1. 版本历史.....	44

1. 前言

本文是专为基于Arm® Cortex®-M7架构的32位通用MCU GD32H73x_75x系列开发者提供的，对GD32H73x_75x系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32H73x_75x系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用开发指南总共分为七部分来讲述：

1. 电源，主要介绍GD32H73x_75x系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32H73x_75x系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32H73x_75x系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32H73x_75x系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32H73x_75x系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32H73x_75x系列硬件电路设计及PCB Layout设计注意事项；
7. 封装说明，主要介绍GD32H73x_75x系列所包含的封装形式及命名。

该文档也满足了基于GD32H73x_75x系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

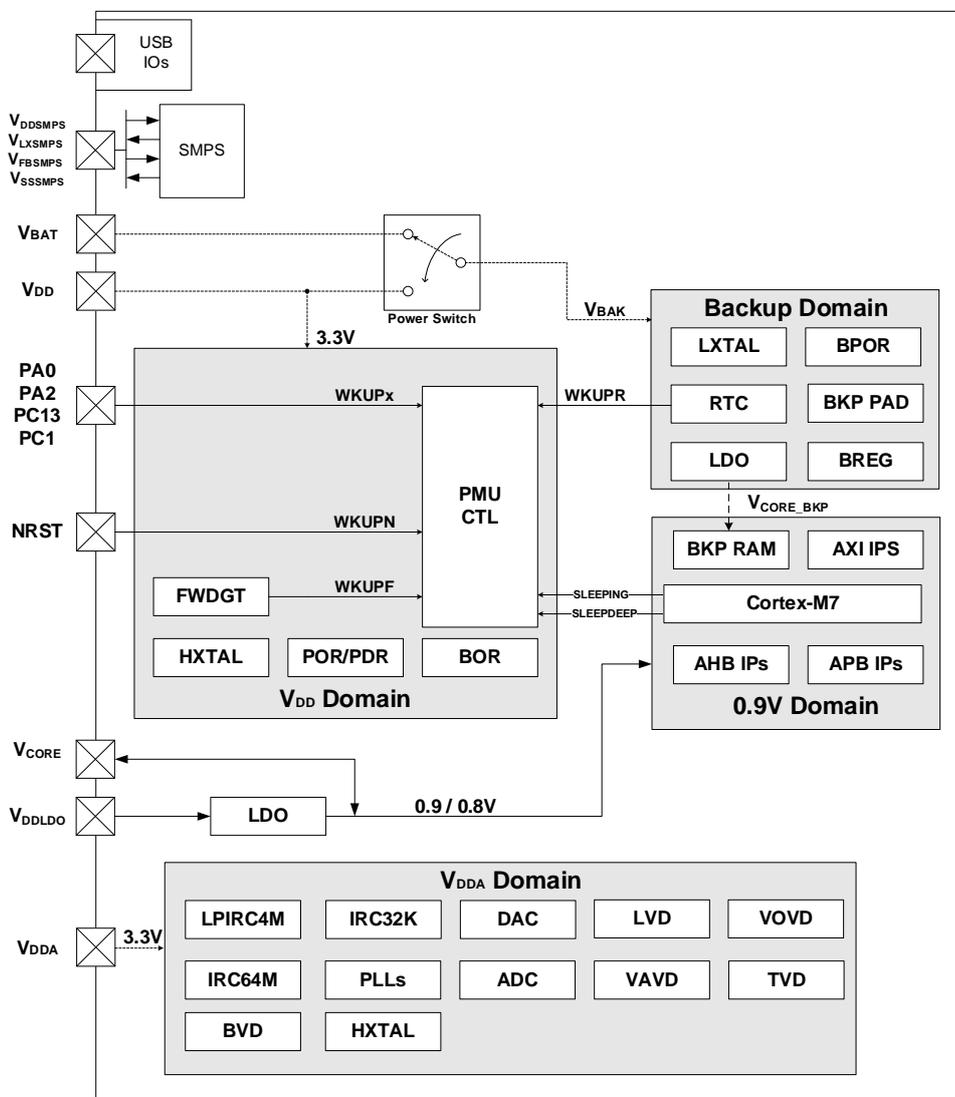
类型	型号
MCU	GD32H737xx系列
	GD32H757xx系列
	GD32H759xx系列

2. 硬件设计

2.1. 电源

GD32H73x_75x系列V_{DD}/V_{DDA}工作电压范围为1.71 V ~ 3.6 V。如[图2-1. GD32H73x_75x系列电源域概览](#)所示，GD32H73x_75x系列设备有三个电源域，包括V_{DD}/V_{DDA}域，0.9 V域和备份域。V_{DD}/V_{DDA}域由电源直接供电。GD32H73x_75x系列内嵌入了LDO和低功率开关电源降压稳压器（SMPS降压稳压器），用来为0.9V域供电。在备份域中有一个电源切换器，当V_{DD}电源关闭时，电源切换器可以将备份域的电切换到V_{BAT}引脚，此时备份域由V_{BAT}引脚（电池）供电。USB部分有专门的外部供电引脚和电压调节器，可以输入5 V电源供电或3.3 V电源供电。

图2-1. GD32H73x_75x系列电源域概览



- | | | |
|-------------------------------|-------------------------------|---------------|
| LVD: 低电压检测器 | LDO: 电压调节器 | BPOR: 备份域上电复位 |
| POR: 上电复位 | PDR: 掉电复位 | BREG: 备份域寄存器 |
| VOVD: V _{0.9V} 电压检测器 | VA VD: V _{DDA} 电压检测器 | TVD: 温度电压检测器 |
| BVD: V _{BAK} 电压检测器 | BOR: 欠压复位 | |

2.1.1. 备份域

备份域供电电压范围为 1.71 V ~ 3.6 V，由内部电源切换器来选择 V_{DD} 供电或 V_{BAT} （电池）供电，然后由 V_{BAK} 为备份域供电，该备份域包含 RTC（实时时钟）、LXTAL（低速外部晶体振荡器），BPOR（备份域上电复位）和 BREG，以及 PC13 至 PC15 共 3 个 BKP PAD。为了确保备份域中寄存器的内容及 RTC 正常工作，当 V_{DD} 关闭时， V_{BAT} 引脚可以连接至电池或其他备份电源供电。电源切换器是由 V_{DD} / V_{DDA} 域掉电复位电路控制的。对于没有外部电池的应用，建议将 V_{BAT} 引脚通过 100nF 的电容对地后连接到 V_{DD} 引脚上。

备份域的复位源包括备份域上电复位和备份域软件复位。在 V_{BAK} 没有完全上电前，BPOR 信号强制设备处于复位状态。应用软件可以通过设置 RCU_BDCTL 寄存器 BKPRST 位来触发备份域软件复位。

RTC的时钟源可以是低速内部32kHz RC振荡器（IRC32K）或低速外部晶体振荡器（LXTAL），或由RTCDIV[5:0]（位于RCU_CFG0寄存器中）位域控制的高速外部晶体振荡器（HXTAL）时钟分频。当 V_{DD} 被关闭时，RTC只能选择LXTAL作为时钟源。在通过WFI / WFE指令进入省电模式之前，Cortex®-M7能够通过RTC寄存器预期的唤醒时间并启用唤醒功能或者根据EXTI，以实现RTC定时器唤醒事件。进入省电模式一定时间之后，当经过的时间与预设的唤醒时间匹配时，RTC将唤醒设备。

当备份域由 V_{DD} 供电（ V_{BAK} 连接至 V_{DD} ）时，以下功能可用：

- PC13可以作为通用I/O口或RTC功能引脚；
- PC14和PC15可以作为通用I/O口或LXTAL晶振引脚。

当备份域由 V_{BAT} 电源供电时（ V_{BAK} 连接至 V_{BAT} ），以下功能可用：

- PC13仅可以作为RTC功能引脚；
- PC14和PC15仅可作为LXTAL晶振引脚。

注意：

1. 由于 PC13 至 PC15 引脚是通过电源切换器供电的，电源切换器仅可通过小电流，因此当 PC13 至 PC15 的 GPIO 口在输出模式时，其工作的速度不能超过 2MHz（最大负载为 30pF）；
2. 备份域的 LDO 可以产生 V_{CORE_BKP} 电压，当 V_{DD}/V_{DDA} 上电时，0.9V 电源域的 BKP RAM 由 V_{CORE} 供电；当 V_{DD}/V_{DDA} 掉电时，0.9V 电源域的 BKP RAM 由 V_{CORE_BKP} 供电。

V_{DD} 可以通过一个内部电阻给外部电池充电。通过配置 PMU_CTL2 寄存器中 VCRSEL 位，可以选择内部电阻 5k Ω 或 1.5k Ω 用于外部 V_{BAT} 电池充电。将 PMU_CTL2 寄存器中 VCEN 位置 1 可以使能 V_{BAT} 电池充电。在 BKP only 模式， V_{BAT} 电池充电不可用。

注意：在 BKP only 模式下， V_{DD} 掉电，备份域由 V_{BAT} 引脚供电。

2.1.2. V_{DD} / V_{DDA} 电源域

V_{DD} / V_{DDA} 电源域包括 V_{DD} 域和 V_{DDA} 域两部分。如果 V_{DDA} 不等于 V_{DD} ，要求两者之间的压差不能超过 300mV（芯片内部 V_{DDA} 与 V_{DD} 通过背靠背二极管连接）。为避免噪声， V_{DDA} 可通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路（单点接地，通过 0 Ω 电阻或者磁珠等）连接至 V_{SS} 。

为了提高ADC的转换精度，为V_{DDA}独立供电可使模拟电路达到更好的特性。GD32H73x_75x在内部集成有专为ADC独立供电的V_{REFP}引脚（外部供电：使用12位ADC时， $1.71\text{ V} \leq V_{REFP} \leq V_{DDA}$ 。使用14位ADC时，若 $V_{DDA} \geq 2.4\text{ V}$ 时， $2.4\text{ V} \leq V_{REFP} \leq V_{DDA}$ ； $V_{DDA} < 2.4\text{ V}$ 时， $1.8\text{ V} \leq V_{REFP} \leq V_{DDA}$ ）。

- BGA176封装中含有V_{REFP}和V_{REFN}引脚，V_{REFP}可以使用外部参考电源，也可以直连至V_{DDA}，V_{REFN}必须连接到V_{SSA}；
- LQFP封装中含有V_{REFP}引脚，V_{REFP}可以使用外部参考电源，也可以直连至V_{DDA}；
- V_{REFP}引脚通过内部二极管连接至V_{DDA}引脚，当 $V_{REFP} \geq V_{DDA} + 0.3\text{ V}$ 时，会有漏电到V_{DDA}引脚上；
- GD32H73x_75x系列拥有V_{REFBUF}，当V_{REFP}引脚未连接外部参考电源时，可由V_{REFBUF}产生1.5 ~ 2.5V的四个档位参考电压，具体请参考用户指南和数据手册。

2.1.3. 0.9V 电源域

使用SMPS降压稳压器和LDO，可以设置0.9V电源域的供电电源。不同配置可提供四种有效的0.9V电源域供电模式，模式对应表如[表2-1. 电源供电模式对应表](#)所示。

表 2-1. 电源供电模式对应表

电源供电模式
无配置的供电模式（默认供电模式）
LDO 供电模式
SMPS 供电模式
旁路模式

- 无配置的供电模式（默认供电模式）

无配置的供电模式，该模式为初始过渡模式。在芯片复位后，软件若不设置任何电源模式，芯片会保持在此模式状态。此时所有寄存器为复位值，SMPS、LDO均使能。在此阶段若硬件按如下设置可能出现的情况：

- 1、硬件设置为 LDO 供电模式，则 LDO 输出 0.9V，为 V_{0.9v} 域供电。该状态与 LDO 供电模式相同。
- 2、硬件设置为 SMPS 供电，则 SMPS 输出 1V 至 V_{CORE}。但同时 LDO 也使能，V_{DDLDO} 与 V_{CORE} 短接，V_{CORE} 电压存在波动。因此在复位后软件应配置成 SMPS 供电模式以保证系统可靠性。
- 3、在 BGA176 与 LQFP176 封装上，硬件设置为旁路模式，LDO 使能但被硬件强制旁路，电源来自外部输入，可能存在未知风险。在 LQFP144、LQFO100、BGA100 封装上，由于内部 LDO 输入默认接 V_{DD}，会导致内部 LDO 输出 0.9V，而外部电源此时也有输出，会造成电压竞争，存在风险。综上所述，该情况下在复位后软件应立即配置成旁路模式以保证安全。

总之，该模式为芯片启动初始过渡状态，长期使用会有不可预知风险，应当在芯片正常运行时将软硬件配置为其他模式。

寄存器默认状态如[表2-2. 默认供电模式寄存器初始状态](#)：

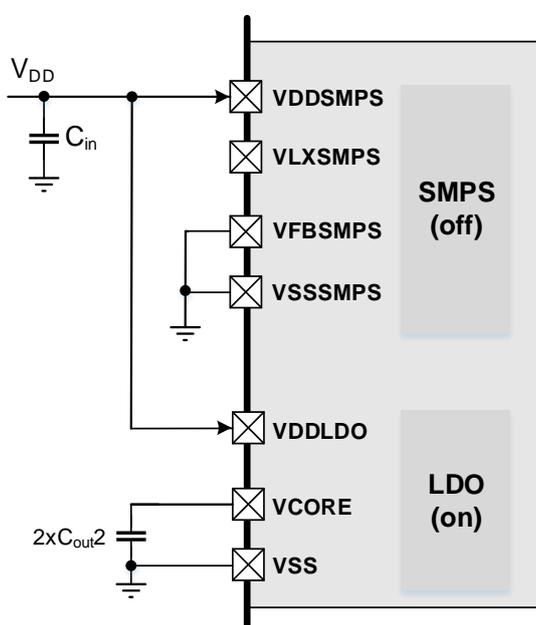
表 2-2. 默认供电模式寄存器初始状态

Symbol	Description
DVSEN	1: SMPS 使能
LDOEN	1: LDO 使能
LDOVS[2:0]	010: LDO 输出 0.9V
BYPASS	0: BYPASS 不使能

■ LDO 供电模式

该模式SMPS关闭，LDO开启，为V_{0.9V}域供电，具体电路可参考[图2-2. LDO供电0.9V电源域](#)设计（SMPS模块关闭时，VDDSMPS引脚必须连接到V_{DD}或V_{SS}上）。使用内部LDO供电可为系统提供稳定的电源。

图 2-2. LDO 供电 0.9V 电源域



进入该供电模式的配置方式为：DVSEN位为0b0，DVSCFG和DVSV[1:0]位域的值没有影响，SMPS降压稳压器为关闭状态；LDOEN位为0b1，LDO为开启状态，并为0.9V电源域供电，供电电压由LDOVS[2:0]位域控制，LDO的工作模式与系统的低功耗模式一致；BYPASS位为0b0。SMPS、LDO输出电压的寄存器配置如[表2-3. LDO Supply 寄存器配置表](#)：

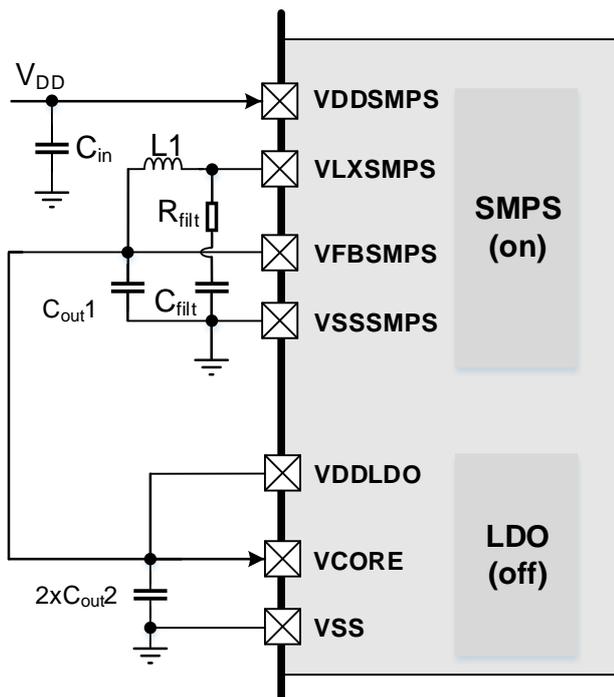
表 2-3. LDO Supply 寄存器配置表

Symbol	Description
DVSEN	0: SMPS 不使能
LDOEN	1: LDO 使能
LDOVS[2:0]	010: LDO 输出 0.9V
BYPASS	0: BYPASS 不使能

■ SMPS 供电模式

该模式SMPS开启，直接为V_{0.9V}域供电，LDO关闭，具体电路可参考[图2-3. SMPS供电0.9V电源域](#)设计。使用SMPS供电可有效降低芯片发热与运行功耗。

图 2-3. SMPS 供电 0.9V 电源域



进入该供电模式的配置方式为：DVSEN位为0b1，DVSCFG位为0b1，DVSV[1:0]位域的值没有影响，SMPS降压稳压器为开启状态，并为0.9V电源域供电，供电电压由LDOVS[2:0]位域控制，SMPS的工作模式与系统的低功耗模式一致；LDOEN位为0b0，LDO为关闭状态；BYPASS位为0b0。SMPS、LDO输出电压的寄存器配置如[表2-4. SMPS Supply 寄存器配置表](#)：

表 2-4. SMPS Supply 寄存器配置表

Symbol	Description
DVSEN	1: SMPS 使能
LDOEN	0: LDO 不使能
LDOVS[2:0]	010: SMPS 输出 0.9V
BYPASS	0: BYPASS 不使能

■ 旁路模式

该模式 SMPS 关闭，LDO 关闭，外部电路通过 V_{CORE} 引脚为 V_{0.9V} 域供电。在 H7 系列不同的封装上，相关 SMPS 引脚引出情况不一致。BGA176 与 LQFP176 两种封装包含 SMPS 模块，其 SMPS 相关引脚与 VDDLDO 引脚均在封装上引出；LQFP144、LQFP100 与 BGA100 封装不包含 SMPS 模块，其封装上无相关引脚。因此工作在旁路模式时的电路接法略微不同，具体电路可参考[图 2-4. 旁路 \(包含 SMPS 模块\)](#)和[图 2-5. 旁路 \(不包含 SMPS 模块\)](#)设计（SMPS 模块关闭时，VDDSMPS 引脚必须连接到 V_{DD} 或 V_{SS} 上）。

图 2-4. 旁路 (包含 SMPS 模块)

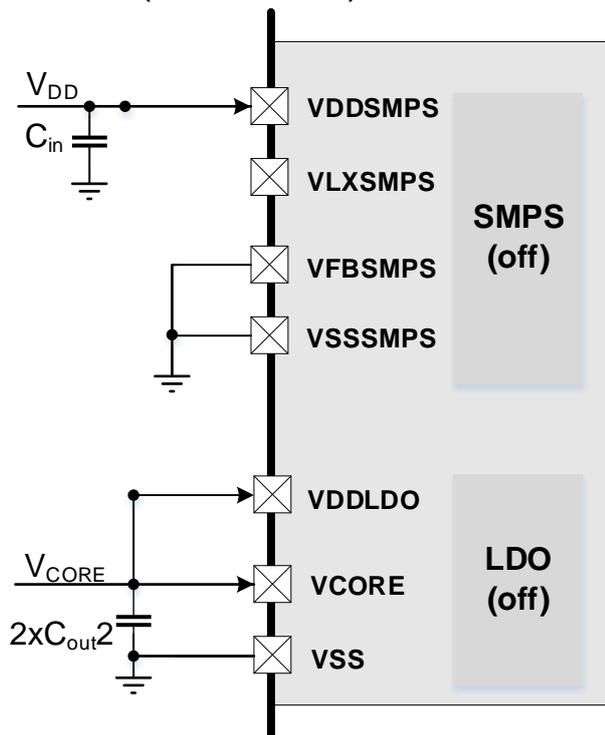
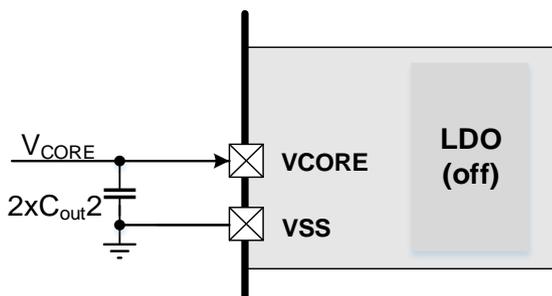
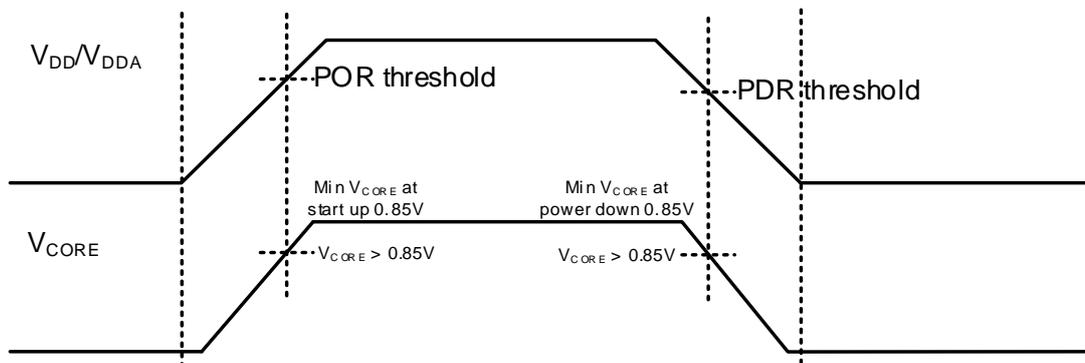


图 2-5. 旁路 (不包含 SMPS 模块)



旁路模式上电时序图如 [图 2-6. 旁路模式上下电时序图](#) 所示，当 MCU 的 V_{DD}/V_{DDA} 电压上升到 POR 阈值前，需保证 V_{CORE} 电压大于 0.85V；当 MCU 的 V_{DD}/V_{DDA} 电压跌落到 PDR 阈值前，需保证 V_{CORE} 电压大于 0.85V。同时任何工况下，都需要保证 V_{DD}/V_{DDA} 电压大于 V_{CORE} 电压。

图 2-6. 旁路模式上下电时序图



进入该供电模式的配置方式为：DVSEN 位为 0b0，DVSCFG 和 DVSV[1:0] 的值无影响，

SMPS 降压稳压器为关闭状态；LDOEN 位为 0b0，LDO 为关闭状态；BYPASS 位为 0b1，0.9V 电源域由 V_{CORE} 引脚供电。SMPS、LDO 输出电压的寄存器配置如 [表 2-5. 旁路寄存器配置表](#)：

表 2-5. 旁路寄存器配置表

Symbol	Description
DVSEN	0: SMPS 不使能
LDOEN	0: LDO 不使能
BYPASS	1: BYPASS 使能

注意：

- 1、旁路模式中，外部器件输出电压到 V_{CORE}，应保证其典型值为 0.9V，电压范围在 0.873V ~ 0.955V 以内，在较恶劣的应用场景下也应确保电源波动范围在 50mV 以内；
- 2、工作在旁路模式下，会有比较大的电流从外部器件经 V_{CORE} 引脚流入 V_{0.9V} 电源域（根据仿真与测试结果，该电流最大会达到 400mA 量级），因此对于外部供电器件的要求较高，我们建议外部器件的带载能力需大于 600mA，且不同负载下的输出电压波动范围也需满足前述 50mV 的要求；考虑电源稳定性要求，旁路模式推荐使用外部 LDO 供电。
- 3、考虑到 PCB 走线的 ESR 效应与大电流的 IR drop，在 PCB 走线时，需要考虑加宽外部供电到 V_{CORE} 引脚走线的宽度以减小 ESR，保证在芯片 V_{CORE} 引脚处的电压是满足幅值以及波动要求；
- 4、封装上多个 V_{CORE} 引脚建议在外通过走线连接在一起。关于 V_{CORE} 引脚处的去耦与滤波电容，工作在旁路模式时，建议每一个 V_{CORE} 引脚就近放置一颗 100nF 电容，如果封装上有第三个 V_{CORE} 引脚，则只需保证该引脚与其他两个 V_{CORE} 引脚连接在一起，不需添加额外的电容；
- 5、当使用旁路模式进入 standby 模式时，先进入 standby 模式，再关闭外部 V_{CORE} 电源，外部 V_{CORE} 电源必须关闭；当退出 standby 模式时，先打开外部 V_{CORE} 电源，再退出 standby 模式。

注意：除上述有效组合外，其它 DVSEN、DVSCFG、DVSVC[1:0]、LDOEN、BYPASS 位或位值的配置组合均无效。0.9V 电源域的电源状态在复位后保持不变（无配置的供电模式）。

注意：当 SMPS 降压稳压器为 0.9V 电源域供电，并且 DVSVC[1:0]配置了错误的数值，将使 SMPS 降压稳压器输出高电压到 0.9V 电源域，此时 0.9V 电源域将启动硬件过压保护，硬件置位 DVSVC[1:0] 0b00。

注意：最大工作频率与供电电压有关，具体请参考数据手册。

2.1.4. USB 电源

GD32H73x_75x 系列 USB 内部集成了一个稳压器，用户可以选择使能该稳压器，将 V_{DD50USB} 引脚连接 5V 电源为 USB 模块提供电源，如 [图 2-7. USB 稳压器供电时连接示意图](#) 所示；或旁路该稳压器，将 V_{DD33USB} 引脚连接 3.3V 电源为 USB 模块提供电源，如 [图 2-8. USB 稳压器旁路时连接示意图](#) 所示。

图 2-7. USB 稳压器供电时连接示意图

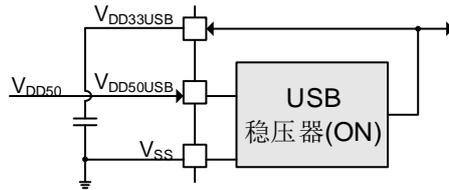
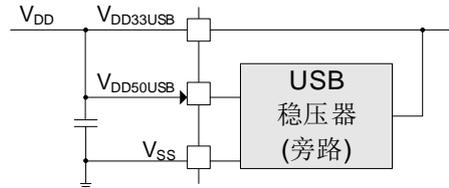


图 2-8. USB 稳压器旁路时连接示意图

**注意:**

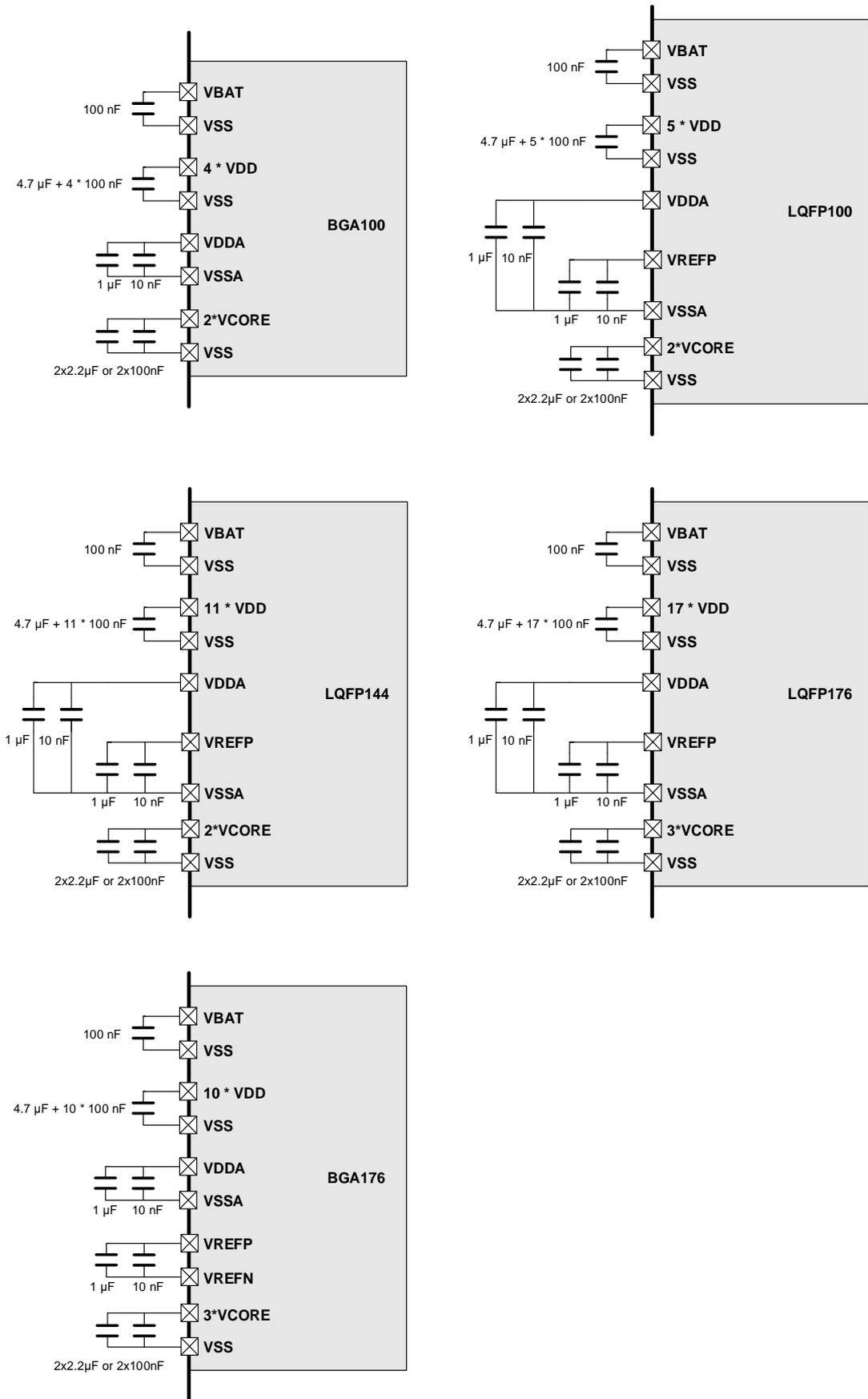
1. 当 $V_{DD} \geq 3V$ 时, USB 电源可使用 USB 稳压器供电模式或旁路模式; 当 $V_{DD} < 3V$ 时, USB 电源只能使用 USB 稳压器供电模式;
2. 若使用 ISP 下载功能, 需要使用上述两种 USB 电源供电方式之一, 为 $V_{DD33USB}$ 供电。

2.1.5. 供电设计

系统需要稳定的电源, 开发使用的时候有些重要事项需要注意:

- V_{DD} 脚必须外接电容 ($N * 100nF$ 陶瓷电容+不小于 $4.7\mu F$ 钽电容, 至少一个 V_{DD} 需要接不小于 $4.7\mu F$ 电容到GND, 其他 V_{DD} 引脚接 $100nF$);
- V_{DDA} 脚必须外接电容 (建议 $10nF + 1\mu F$ 陶瓷电容);
- V_{REF} 电压可由内部产生也可直连至 V_{DDA} , 且在 V_{REFP} 引脚对地连接 $10nF + 1\mu F$ 陶瓷电容。

图 2-9. GD32H73x_75x 系列推荐供电设计



GD32H73x_75x系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。

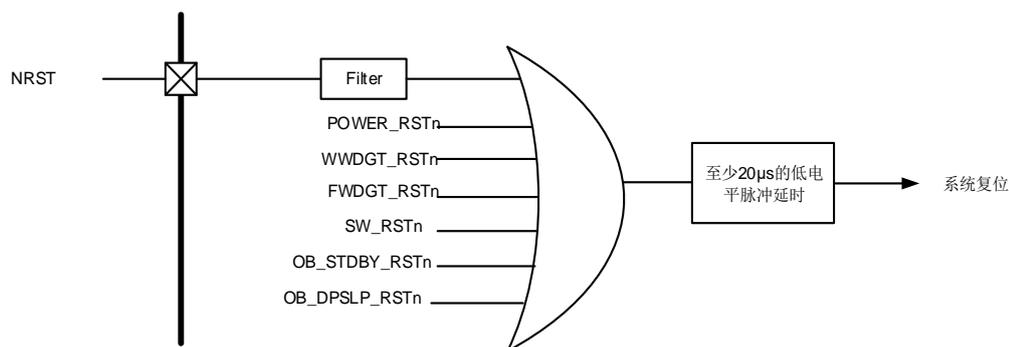
MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-11. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	BOR	RSTFC	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF								
r	r	r	r	r	r	r	r	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													IRC32K	IRC32KE	
													STB	N	
													r	rw	

MCU内部集成有上电/掉电复位电路，当产生复位时，系统复位脉冲发生器保证每一个复位源（外部或内部）都能有至少20μs的低电平脉冲延时。

图2-12. 系统复位电路

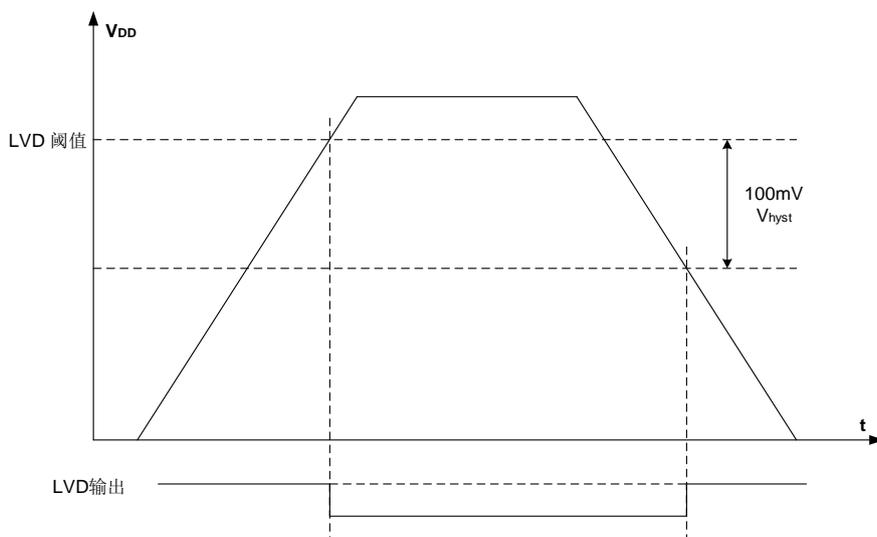


2.2.1. LVD

LVD的功能是检测V_{DD}供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器0（PMU_CTL0）中的LVDT[2:0]位进行配置。LVD通过LVDEN置位使能，位于电源控制状态寄存器（PMU_CS）中的LVDF位表示低电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-13. LVD阈值波形图](#)显示了V_{DD}供电电压和LVD输出信号的关系。（LVD中断信号依赖于EXTI第16线的上升或下降沿配置）。迟滞电压V_{hyst}值为100mV。

LVD应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里设置软复位等操作，避免MCU发生其他异常。

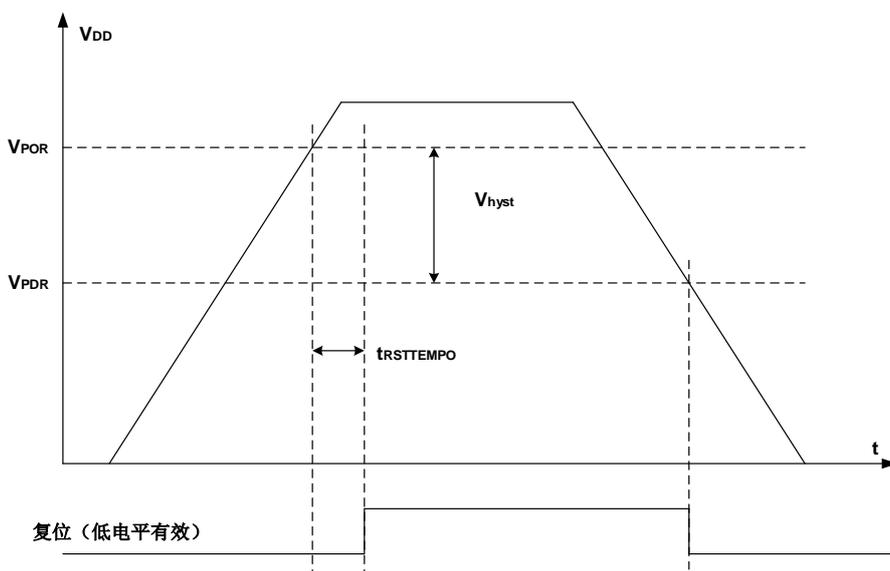
图 2-13. LVD 阈值波形图



2.2.2. POR / PDR

POR / PDR（上电 / 掉电复位）电路检测 V_{DD} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。[图 2-14. 上电 / 掉电复位波形图](#)为禁用 BOR 时，电源复位与 V_{DD} 关系，当 BOR 使能时，需考虑 BOR 对电源复位电平的影响。BOR 相关内容，将在下一小节中介绍。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压。迟滞电压 V_{hyst} 值约为 $50mV$ 。

图2-14. 上电 / 掉电复位波形图

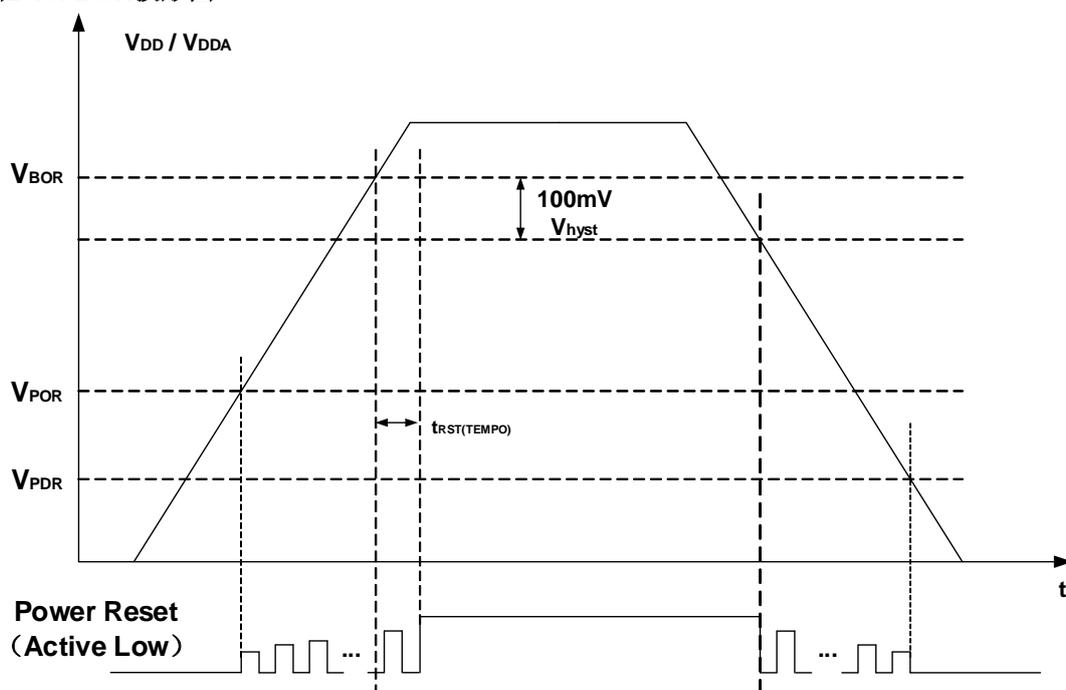


2.2.3. BOR

BOR 电路检测 V_{DD} 并在 BOR_TH 不为 $0b11$ ，同时电压低于选项字节的 BOR_TH 定义的阈值时产生电源复位信号复位除备份域之外的整个芯片。不管 BOR 是否使能，POR / PDR（上电 / 掉电复位）电路会一直处于检测状态。因此，无论 BOR 是否使能，电源复位电平都会在 V_{DD}

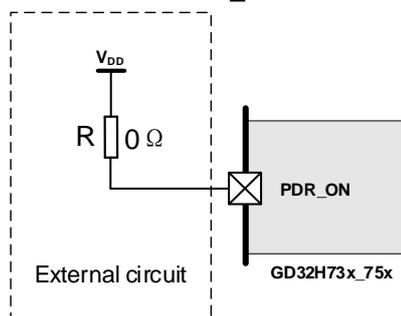
上升到 V_{POR} 时，被拉高。当 BOR 使能时，会迅速将被拉高的电源复位电平拉低，POR/PDR 处于检测到 $V_{DD} > V_{POR}$ 就将电源复位电平拉高的工作状态，将电源复位电平再次拉高，BOR 再将电源复位电平拉低，如此循环，在 NRST 引脚形成方波。直到 V_{DD} / V_{DDA} 电压大于 V_{BOR} 后，BOR 不再将电源复位电平拉低，电源复位保持高电平。 V_{DD} / V_{DDA} 电压大于 V_{POR} 且小于 V_{BOR} 时才会出现方波。[图 2-15. BOR 波形图](#)显示了供电电压和 BOR 复位信号之间的关系。 V_{BOR} 表示 BOR 复位的阈值电压，该值在选项字节 BOR_TH 中定义。迟滞电压 V_{hyst} 值为 100mV。

图2-15. BOR波形图



GD32H73x_75x 系列内部电源监视器可以通过 PDR_ON 引脚进行使能或禁用，为确保芯片正常工作及提高抗干扰能力、在上电 / 掉电阶段发生有效的复位信号，PDR_ON 的推荐电路如 [图2-16. 推荐PDR_ON引脚电路设计](#)所示。

图 2-16. 推荐 PDR_ON 引脚电路设计



注意：PDR_ON 引脚必须保持高电平。用户可以根据具体情况灵活调整上拉电阻 R 的值以获得更好的性能

当 PDR_ON 连接到 GND 时，以下功能将会被禁用：

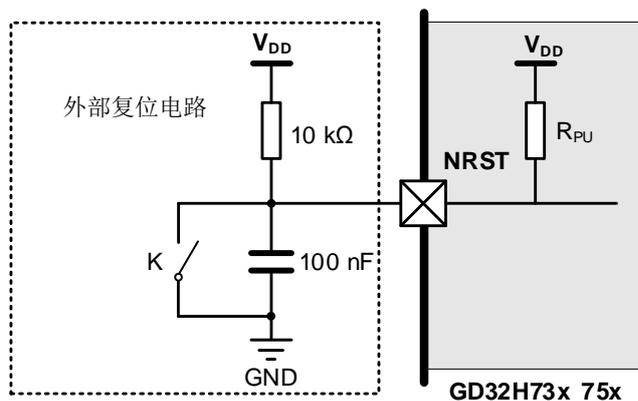
1. 内部上电复位(POR) / 掉电复位(PDR)禁用；
2. 内部欠压复位(BOR)禁用；
3. 内部低压检测(LVD)禁用；

4. V_{BAT}功能禁用，V_{BAT}引脚应连接至V_{DD}。

2.2.4. NRST 引脚

对于MCU的NRST引脚，为防止误触发复位，NRST引脚建议放置一个电容（典型值为100nF）。

图 2-17. 推荐外部复位电路

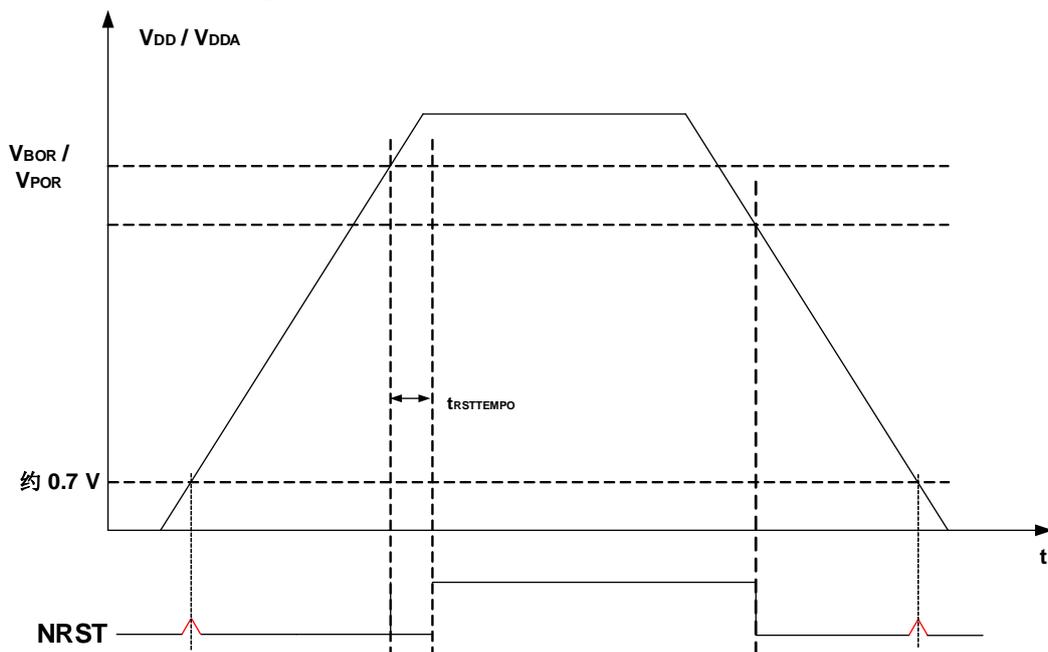


注意：

1. 内部上拉电阻 $R_{PU} = 40k\Omega$ ，建议接外部上拉电阻 $10k\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

因MOS管门限电压特性，在芯片上下电过程中，当 $V_{DD} / V_{DDA} < 0.7 V$ 时，芯片内部下拉MOS管不会将NRST引脚拉低。即，在芯片上下电过程中，在 $V_{DD} / V_{DDA} \approx 0.7 V$ 时，会出现一个微小脉冲，该脉冲不影响芯片正常工作，其示意如[图2-18. NRST引脚上下电MOS管脉冲示意图](#)中红色脉冲所示。

图 2-18. NRST 引脚上下电 MOS 管脉冲示意图



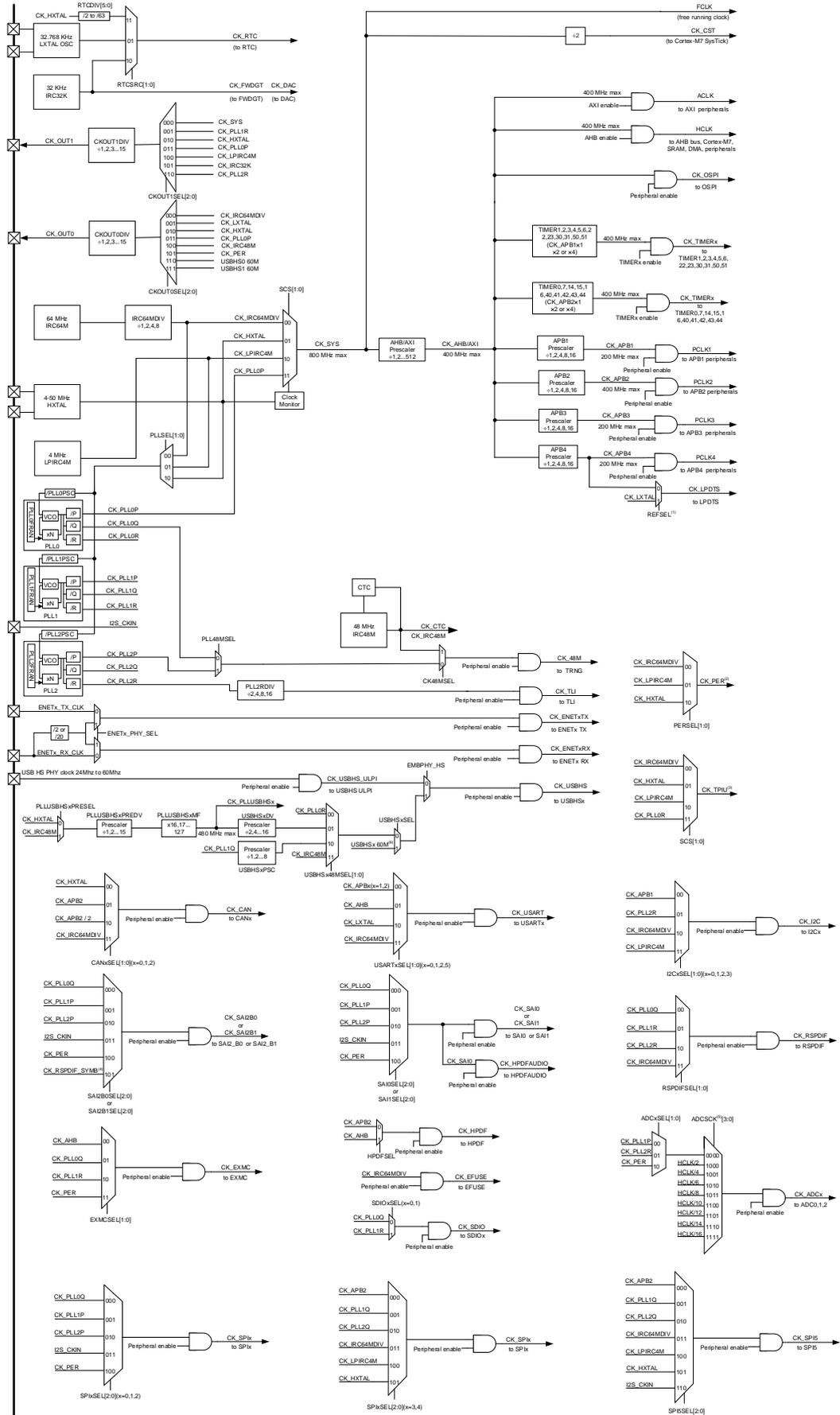
因充电和放电速度差异，下降沿的脉冲持续时间比上升沿长一些，二者持续时间都是ms级。

2.3. 时钟

GD32H73x_75x系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4到50 MHz外部高速晶体振荡器（HXTAL）
- 内部64 MHz RC振荡器（IRC64M）
- 内部48 MHz RC振荡器（IRC48M）
- 32.768 kHz外部低速晶体振荡器（LXTAL）
- 内部32 kHz RC振荡器（IRC32K）
- 低功耗内部4M RC振荡器（LPIRC4M）
- PLL时钟源可选HXTAL、LPIRC4M或IRC64M
- PLLs支持整数和小数倍频因子
- PLLs小数倍频因子可在运行时修改
- 外设时钟支持动态切换
- HXTAL时钟监视器
- LXTAL时钟监视器

图 2-19. GD32H73x_75x 系列时钟树

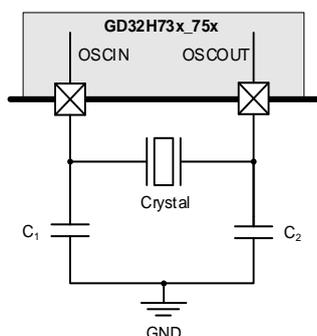
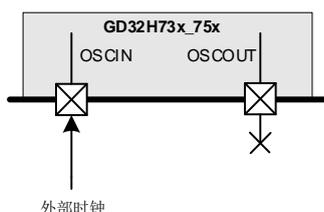


注意：

1. REFSEL为LPDTS参考时钟选择位，可选择CK_PCLK4或CK_LXTAL。
2. CK_PER为外设时钟，该时钟可以为CK_LPIRC64MDIV，CK_LPIRC4M或CK_HXTAL。
3. CK_TPIU为跟踪端口接口单元（TPIU）时钟，该时钟可以为CK_IRC64MDIV，CK_LPIRC4M，CK_HXTAL或CK_PLL0R。
4. CK_RSPDIF_SYMB为RSPDIF符号时钟。
5. ADCSCK为ADC同步时钟选择位。
6. USBHSx 60M为USBHSx内部PHY 60M输入时钟源。

2.3.1. 外部高速晶体振荡时钟（HXTAL）

4到50MHz的外部高速晶体振荡器可为系统时钟提供更为精确时钟源。带有特定频率的晶体必须与靠近两个HXTAL的引脚连接。和晶体连接的外部电阻和电容必须根据所选择的振荡器来调整。

图 2-20. HXTAL 外部晶体电路**图 2-21. HXTAL 外部时钟电路****注意：**

1. 使用旁路输入时，信号从OSCIN输入，OSCOUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1=C_2=2*(C_{LOAD}-C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，典型值为10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在20pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为20pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. C_S 为PCB板走线及MCU引脚上的寄生电容，当晶体离MCU越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离MCU较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联1MΩ电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部晶体振荡器；

6. 正常使用有源晶振，会打开Bypass，此时要求高电平不低于 $0.7V_{DD}$ ，低电平不大于 $0.3V_{DD}$ ；
7. 谐振器与MCU时钟引脚连接的走线可能会因为PCB布局布线的空间限制导致连接到OSCOUT和OSCIN两个引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL是一个频率为32.768kHz的外部低速晶体或陶瓷谐振器。它为实时时钟电路提供一个低功耗且高精度的时钟源。LXTAL振荡器可以通过设置备份域控制寄存器（RCU_BDCTL）中的LXTALEN位被启动和关闭。备份域控制寄存器RCU_BDCTL中的LXTALSTB位用来指示LXTAL时钟是否稳定。如果中断寄存器RCU_INT中的相应中断使能位LXTALSTBIE被置‘1’，在LXTAL稳定以后，将产生一个中断。

将备份域控制寄存器RCU_BDCTL的LXTALBPS和LXTALEN位置‘1’可以选择外部时钟旁路模式。CK_LXTAL与连到OSC32IN脚上外部时钟信号一致。

图 2-22. LXTAL 外部晶体电路

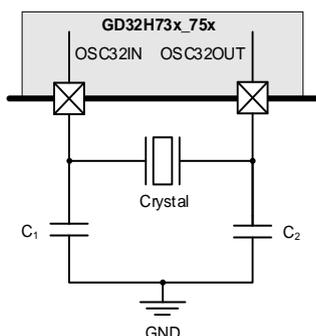
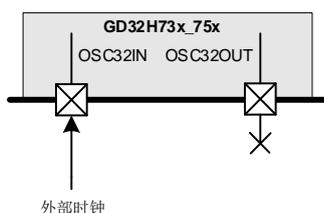


图 2-23. LXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC32IN输入，OSC32OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1=C_2=2*(C_{LOAD}-C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF ~ 7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC32K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源；

4. MCU可以设置LXTAL的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力；
5. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到MCU两个晶振引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

GD32H73x_75x系列可输出内部相关时钟信号，可以通过设置时钟配置寄存器0(RCU_CFG2)中的CK_OUT0时钟源选择位域CKOUT0SEL能够选择不同的时钟信号。相应的GPIO引脚应该被配置成备用功能I/O（AFIO）模式来输出选择的时钟信号。CK_OUT1时钟输出源选择通过设置时钟配置寄存器RCU_CFG2中的CKOUT1SEL位域实现。

表 2-7. 时钟输出 0 的时钟源选择

CKOUT0SEL[2:0]	时钟源
000	CK_IRC64MDIV
001	CK_LXTAL
010	CK_HXTAL
011	CK_PLL0P
100	CK_IRC48M
101	CK_PER
110	USBHS0 60M
111	USBHS1 60M

表 2-8. 时钟输出 1 的时钟源选择

CKOUT1SEL[2:0]	时钟源
000	CK_SYS
001	CK_PLL1R
010	CK_HXTAL
011	CK_PLL0P
100	CK_LPIRC4M
101	CK_IRC32K
110	CK_PLL2R

通过配置RCU_CFG2寄存器的CKOUT0DIV位域，可以将CK_OUT0输出时钟的频率按比例分频，进而降低CK_OUT0的输出频率。

通过配置RCU_CFG0寄存器的CKOUT1DIV位域，可以将CK_OUT1输出时钟的频率按比例分频，进而降低CK_OUT1的输出频率。

2.3.4. HXTAL 时钟监视器（CKM）

设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故

障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断和Cortex®-M7的不可屏蔽中断NMI相连。如果HXTAL被选作系统或PLL0的时钟源，HXTAL故障将促使选择IRC64M为系统时钟源且PLL0将被自动禁止。如果HXTAL被选作PLLs的时钟源，HXTAL故障将促使该PLL被自动禁止。

2.3.5. LXTAL 时钟监视器 (LCKM)

设置时钟控制寄存器RCU_BDCTL中的LXTAL时钟监视使能位LCKMEN，LXTAL可以使能时钟监视功能。该功能必须在LXTAL启动延迟完毕后使能。LXTAL上的时钟监视器在除VBAT以外的所有模式下工作。如果在外部32 kHz振荡器上检测到故障，可以向CPU发送中断。然后，软件必须禁用LCKMEN位，停止有缺陷的32 kHz振荡器，并更改RTC时钟源，或采取任何必要的措施来保护应用程序。

当LCKMEN启用时，一个4位加一个计数器将在IRC32K域工作。如果LXTAL时钟卡在0/1错误或减慢约20KHz，计数器将溢出。将发现LXTAL时钟故障。一旦监测到LXTAL故障，中断寄存器RCU_INT中的LXTAL时钟阻塞中断标志位LCKMIF将被置‘1’，产生LXTAL故障事件。该中断与EXTI 18中断线相连，可用于从睡眠或深度睡眠模式中唤醒。LXTAL故障事件也可将系统从待机模式唤醒。

2.4. 启动配置

GD32H73x_75x 系列 MCU 提供不同的引导源，可通过 Arm® Cortex®-M7 核心寄存器（FMC_BTADDR_MDF）的引导地址中的引导引脚和引导地址0/1[15:0]进行选择。详情见[表 2-9. 引导模式选择](#)和[表2-10. 引导模式详细描述](#)。BOOT引脚的电平状态会在复位后的第四个CK_SYS(系统时钟)的上升沿进行锁存。用户可自行选择所需要的引导源，通过设置上电复位和系统复位后的BOOT的引脚电平。

BOOT_ADDR0[15:0]和BOOT_ADDR1[15:0]地址允许将引导内存地址配置为0x0000 0000到0x9000 0000之间的任何地址。引导模式可由SYSCFG_USERCFG0寄存器的BOOT_MODE[2:0]位域中获取。

表 2-9. 引导模式选择

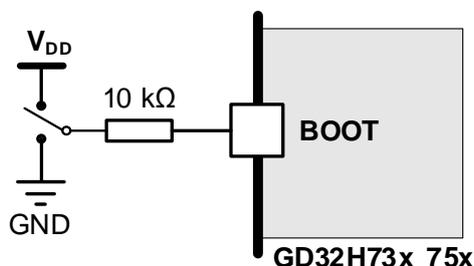
引导源地址	启动模式选择引脚
	BOOT
引导地址高位：由BOOT_ADDR0[15:0]定义 引导地址低位：0x0000	0
引导地址高位：由BOOT_ADDR1[15:0]定义 引导地址低位：0x0000	1

表 2-10. 引导模式详细描述

SCR	SPC[7:0]	BOOT_ADDRESS (在BOOT_ADDRx(x = 0,1) 配置)	BOOT_MODE	启动地址
1	x	XXXX	SECURITY BOOT	ROM
0		0x9000_0000	USER BOOT	OSPI0

SCR	SPC[7:0]	BOOT_ADDRESS (在BOOT_ADDRx(x = 0,1) 配置)	BOOT_MODE	启动地址
	安全保护 等级高	0x7000_0000	USER BOOT	OSPI1
		0x0800_0000~max user flash	USER BOOT	BOOT_ADDRESS
		其他地址	USER BOOT	0x0800_0000
	无保护状 态/ 安全保护 等级低	0x9000_0000	USER BOOT	OSPI0
		0x7000_0000	USER BOOT	OSPI1
		0x2408_000 max RAM shared(ITCM/DTCM/AXI)	SRAM BOOT(RAM shared)	BOOT_ADDRESS
		0x2400_0000 ~ max AXI SRAM	SRAM BOOT(AXI SRAM)	BOOT_ADDRESS
		0x2000_0000	SRAM BOOT(DTCM)	0x2000_0000
		0x0800_0000 ~ max user flash	USER BOOT	BOOT_ADDRESS
		0x0000_0000	SRAM BOOT(ITCM)	0x0000_0000
		0x1FF0_0000	SYSTEM BOOT	BootLoader
		其他地址	USER BOOT	0x0800_0000 (BOOT Pin = 0)
			SYSTEM BOOT	BootLoader (BOOT Pin = 1)

图 2-24. 推荐 BOOT 电路设计



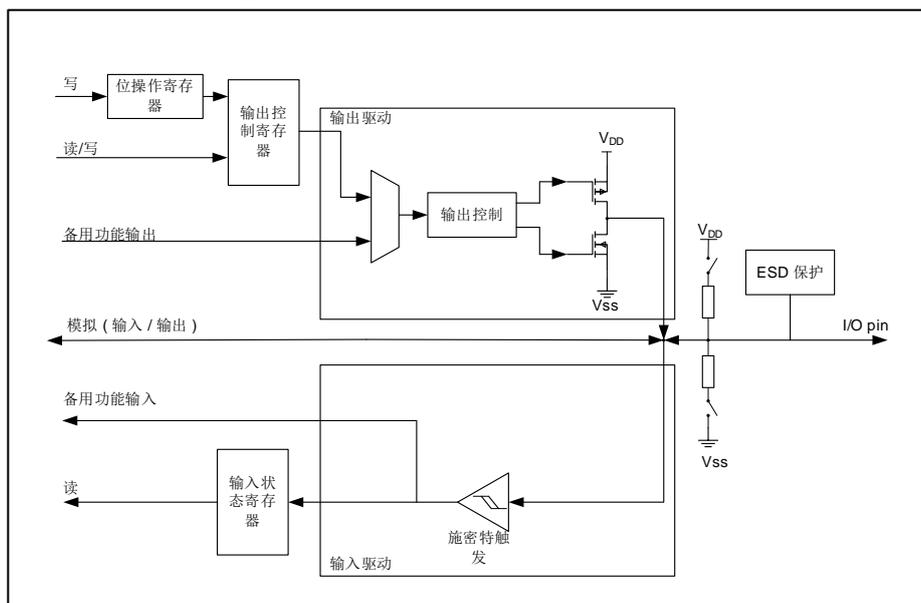
注意：MCU运行后，如果改变BOOT状态，须系统复位后才可生效；

2.5. 典型外设模块

2.5.1. GPIO 电路

GD32H73x_75x最多可支持135个通用I/O引脚（GPIO），分别为PA0~PA15，PB0~PB15，PC0~PC15，PD0~PD15，PE0~PE15，PF0~PF15，PG0~PG15，PH0~PH15，PJ8~PJ11，PK0~PK2。各片上设备用其来实现逻辑输入/输出功能。每个GPIO端口有相关的控制和配置寄存器以满足特定应用的需求。片上设备GPIO引脚的外部中断由EXTI模块的寄存器控制和配置。GPIO口的基本结构详见[图2-25. 标准IO的基本结构](#)：

图 2-25. 标准 IO 的基本结构

**注意：**

1. IO口分为5V耐受和非5V耐受，使用时注意区分IO口耐压情况，详见数据手册；
2. 5V耐受的IO口配置为开漏输出模式或输入模式时，可以连接5V电压，配置为推挽输出模式时，禁止连接5V电压；
3. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
4. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3mA左右），配置为输出模式时，其工作速度不能超过2MHz（最大负载为30pF）；
5. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
6. 非 5V 耐受 IO，外接超过 V_{DD} 的电压时，可能会产生灌电流。

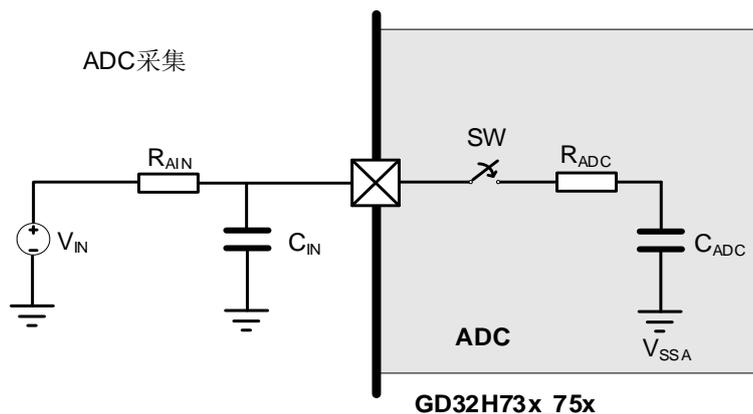
2.5.2. ADC 电路

GD32H73x_75x内部集成了12/14位逐次逼近式模数转换器模块（ADC），ADC0有20个外部通道，1个内部通道（DAC_OUT0通道），ADC1有18个外部通道，3个内部通道（电池电压（V_{BAT}）通道、参考电压输入通道（V_{REFINT}）和DAC_OUT0通道），ADC2有17个外部通道，4个内部通道（电池电压（V_{BAT}）通道、参考电压输入通道（V_{REFINT}）、内部温度传感通道（V_{SENSE}）和高精度温度传感器通道（V_{SENSE2}）。ADC采样通道均支持多种运行模式，采样转换后，转换结果可以按照最低有效位对齐或最高有效位对齐的方式保存在相应的数据寄存器中（ADC0/1为32位数据寄存器，ADC2为16位数据寄存器）。片上的硬件过采样机制可以通过减少来自MCU的相关计算负担来提高性能。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部V_{REFINT}进行校准，反推外部采样电压。

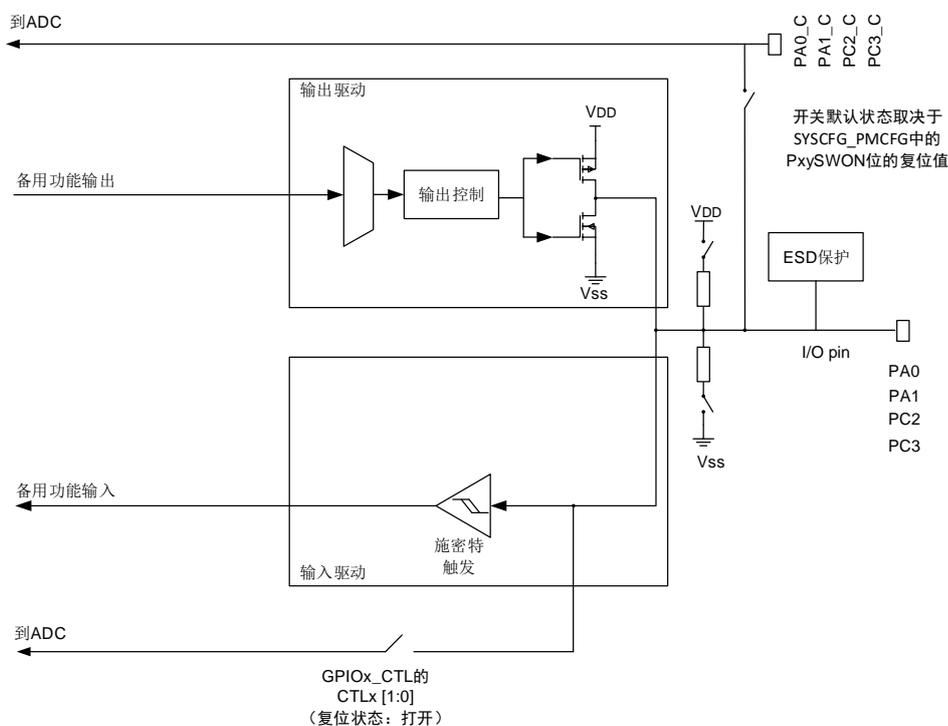
设计ADC电路时，建议在ADC输入管脚处放置个小电容C_{IN}，如[图2-26. ADC采集电路设计](#)。

图 2-26. ADC 采集电路设计



一些引脚直接连接到 PA0_C、PA1_C、PC2_C 和 PC3_C 的 ADC 模拟输入端（如 [图 2-27. ADC 的模拟配置](#)）：Pxy_C 和 Pxy 引脚之间通过模拟开关直接相连。

图 2-27. ADC 的模拟配置



2.5.3. 内部温度传感器

GD32H73x_75x 系列 MCU 内部集成了一个温度传感器（ADC2_CH18）、一个高精度温度传感器（ADC2_CH20）和一个 LPDTS 低功耗数字温度传感器。温度传感器的输出电压随温度线性变化。为确保温度测量的准确，需要给 ADC 提供一个准确的、低温漂的参考电压 V_{REFP} 。

温度传感器的输出电压随温度会发生线性变化，由于芯片生产过程的多样化，温度变化曲线的偏差在芯片间会有不同（最多相差 45°C ）。内部温度传感器更适用于检测温度的变化，而不是用于测量绝对温度。如果需要测量精确的温度，应该使用一个外置的温度传感器来校准这个偏移量。

使用温度传感器：

1. 配置温度传感器通道（ADC1_CH18）的转换序列和采样时间为 ts_temp us；
2. 置位 ADC_CTL1 寄存器中的 TSVEN1 位，使能温度传感器；
3. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
4. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{temperature}$ ，并由下面公式计算出实际温度：

$$\text{温度}(\text{°C}) = \{(V_{25} - V_{temperature}) / \text{Avg_Slope}\} + 25$$

V_{25} : 内部温度传感器在 25°C 下的电压，典型值请参考数据手册。

Avg_Slope : 温度与内部温度传感器电压曲线的均值斜率，典型值请参考数据手册。

使用高精度温度传感器：

1. 配置温度传感器通道（ADC2_CH20）的转换序列和采样时间为 ts_temp us；
2. 置位 ADC_CTL1 寄存器中的 TSVEN2 位，使能温度传感器；
3. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
4. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{temperature}$ ，并由下面公式计算出实际温度：

$$\text{温度}(\text{°C}) = \{(V_{temperature} - V_{25}) / \text{Avg_Slope}\} + 25$$

V_{25} : 内部温度传感器在 25°C 下的电压，典型值请参考数据手册。

Avg_Slope : 温度与内部温度传感器电压曲线的均值斜率，典型值请参考数据手册。

注意：

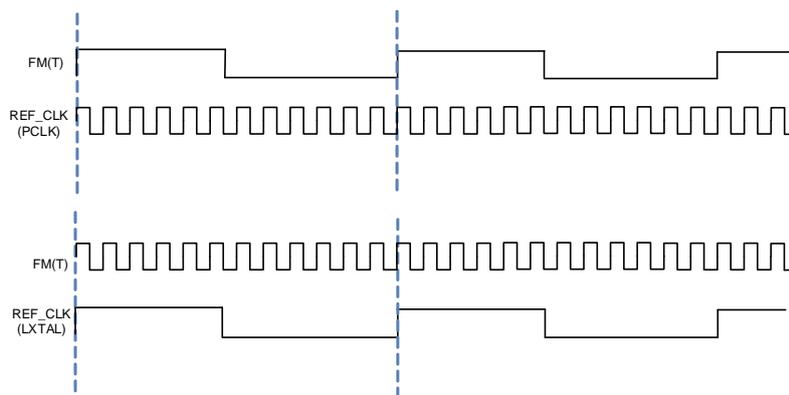
1. 当高精度温度传感器使能，ADC2 时钟不能超过 5MHz；
2. 当高精度温度传感器使能，至少需要等待 3 个 ADC 采样周期，前三个转换数据应当被舍弃；
3. 可以通过过采样和软件平均（一般建议 50 点平均）提高高精度温度传感器准确度。

低功耗温度传感器(LPDTS)可以将温度转换为频率与绝对温度（CLK_PTAT）成正比的方波，频率的测量基于 PCLK 或 LXTAL 时钟。

温度传感器的模拟部分能够将温度转换为方波信号输出，其中，信号的FM(T)频率通常为641 kHz。LPDTS模块内嵌了两个计数器，其计数方式和选择的参考时钟相关，计数结果存储在 LPDTS_DATA寄存器中。

- 当参考时钟为 PCLK 时，测量方法为采样一个或多个 FM(T)周期，并在 PCLK 上升沿和下降沿计数。
- 当参考时钟为 LXTAL 时，测量方法为采样一个或多个 LXTAL 周期，并在 FM(T)上升沿和下降沿计数。

图 2-28. 测量方式



当参考时钟为PCLK时温度计算公式如下：

$$T=T_0+((2\times F_{PCLK}/COVAL)\times SPT-100 \times \text{FREQ})/RF_CF$$

当参考时钟为LXTAL时温度计算公式如下：

$$T=T_0+(((F_{LXTAL}\times COVAL)/(2\times SPT))-(100\times \text{FREQ}))/RF_CF$$

T₀：等于 25°C；

COVAL：温度传感器计数器输出值，其值存储在 LPDTS_DATA 寄存器中；

SPT：模块采样时间；

FREQ：温度传感器在温度为 T₀ 时测量并存储在 LPDTS_SDATA 寄存器中的频率值，其通常为几百 Hz；

RF_CF：温度传感器斜坡系数。

2.5.4. USB 电路

GD32H73x_75x系列MCU拥有内嵌的USBHS接口，为便携式设备提供了一套USB互联解决方案。USBHS不仅支持主机模式和设备模式，也支持遵循HNP（主机协商协议）和SRP（会话请求协议）的OTG模式。USBHS包含了一个内部的USB PHY，可以配置成全速或高速，并且不再需要外部PHY芯片。USBHS可以支持USB 2.0协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。另外，在USBHS内部还有一个DMA引擎操作，可作为AHB总线主机在USBHS和系统之间加速数据传输。对于全速设备的操作，还支持电池充电检测（BCD）、附加检测协议（ADP）和链路层电源管理（LPM）。

USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。在设计电路时，为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。USBHS信号线描述如[表2-11. USBHS信号线描述](#)所示。

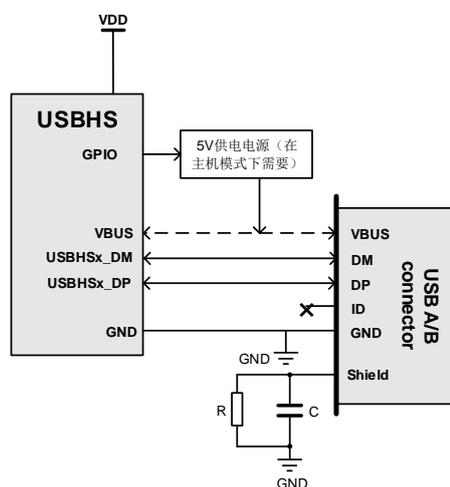
表 2-11. USBHS 信号线描述

I/O 端口	类型	描述	注意
VBUS	输入	总线电源端口	仅内部 PHY 使用
DM	输入/输出	差分信号线-端口	仅内部 PHY 使用

I/O 端口	类型	描述	注意
DP	输入/输出	差分信号线+端口	仅内部 PHY 使用
ID	输入	USB 识别: 微连接器识别接口	仅内部 PHY 使用
ULPI_D[7:0]	输入/输出	ULPI 数据线	外部 ULPI PHY 使用
ULPI_NXT	输入	ULPI 下个信号线	外部 ULPI PHY 使用
ULPI_DIR	输入	ULPI 方向	外部 ULPI PHY 使用
ULPI_STP	输出	ULPI 停止	外部 ULPI PHY 使用
ULPI_CLK	输入	ULPI 时钟	外部 ULPI PHY 使用

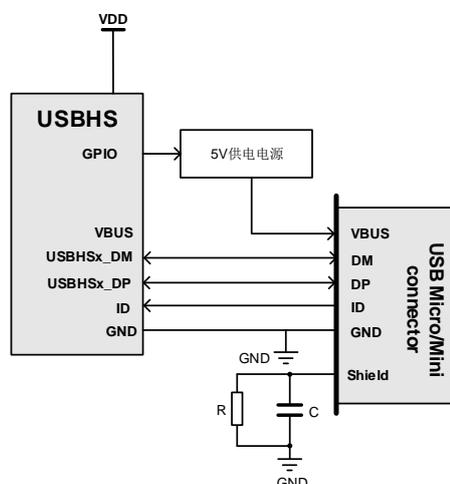
USBHS 包含一个内部嵌入式 PHY, 该内部嵌入式 PHY 支持主机模式下的高速、全速和低速、设备模式下高速和全速, 以及具备 HNP 和 SRP 的 OTG 协议。上拉或下拉电阻已经集成在内部全速 PHY 的内部, 并且 USBHS 可根据当前模式 (主机、设备或 OTG 模式) 和连接状态进行自动控制。内部 PHY 的典型连接示意图如 [图 2-29. 在主机或设备模式下连接示意图](#) 所示。OTG 模式连接示意图如 [图 2-30. OTG 模式下使用内部嵌入式 PHY 连接示意图](#) 所示。

图 2-29. 在主机或设备模式下连接示意图



推荐: $R = 1M\Omega$, $C = 4700\text{ pF}$ 。

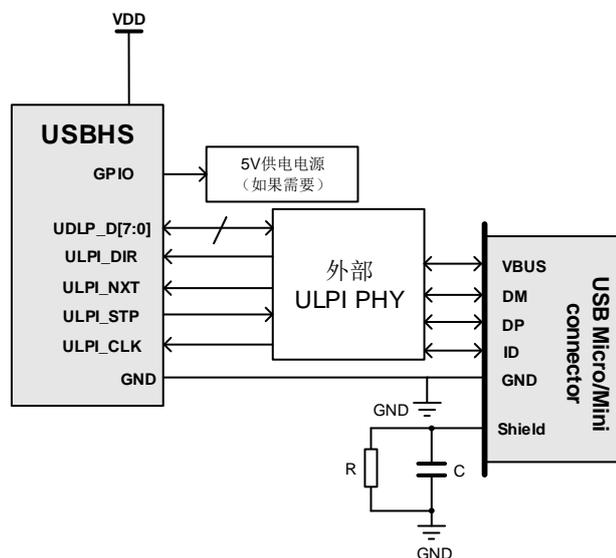
图 2-30. OTG 模式下使用内部嵌入式 PHY 连接示意图



推荐: $R = 1M\Omega$, $C = 4700\text{ pF}$ 。

USBHS 为外部 PHY 提供了一个 ULPI 接口。如果需要使用 USBHS 模块完成高速 USB 应用，那么则需要一个外部高速 ULPI PHY。结合外部 ULPI PHY，USBHS 支持高速主机和设备，也支持前文中内部嵌入式全速 PHY 所描述的所有模式。使用外部 ULPI PHY 连接示意图如 [图 2-31. 使用外部 ULPI PHY 的连接示意图](#) 所示。

图 2-31. 使用外部 ULPI PHY 的连接示意图

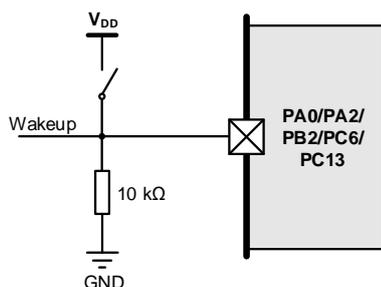


2.6. 热管理及低功耗模式

GD32H73x_75x 系列在使用较多外设的情况下功耗较高，用户在使用时应确保在任何工况下 $T_j < 125^{\circ}\text{C}$ 。外部电路上可参考《AN060 GD32MCU 温度特性管理手册》、《AN166 GD32H73x_75x 系列热特性设计指南》，选择合适的散热方式。内部控制上有三种降低芯片功耗的方法：减慢系统时钟（HCLK，PCLK1 和 PCLK2），关闭未使用的外设的时钟或者通过 PMU_CTL3 寄存器的 LDOVS[2:0] 位配置 LDO 的输出电压，LDOVS[2:0] 只有在 PLL 未使能的时候才能配置。

此外，GD32H73x_75x 系列还有三种低功耗模式可以实现更低的功耗，它们是睡眠模式，深度睡眠模式和待机模式。其中功耗最低的是 Standby 待机模式，此低功耗模式需要的唤醒时间也是最长的。从 Standby 模式唤醒可通过 WKUP 引脚上升沿唤醒，共计 5 个 WKUP 引脚，此时无需配置对应 GPIO，仅需配置 PMU_CS 寄存器里的 WUPENx 位即可。对应 WKUP 唤醒引脚参考电路设计如 [图 2-32. 推荐 Standby 外部唤醒引脚电路设计](#) 所示：

图 2-32. 推荐 Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP 至 V_{DD} 间如果有串电阻，可能会增加额外的功耗。

2.7. 下载调试电路

GD32H73x_75x系列支持JTAG调试接口与SWD调试接口,默认支持SWD接口,可以通过efuse修改成JTAG模式,并且支持secure JTAG,但是无法回退到SWD模式,具体参考《AN111 GD32H73x_75x软件开发指南》。JTAG接口标准为20针接口,其中5根信号接口,SWD接口标准为5针接口,其中2根信号接口。

注意: 复位后,调试相关端口为输入上拉/下拉模式,其中:

PA15: JTDI为上拉模式;

PA14: JTCK / SWCLK为下拉模式;

PA13: JTMS / SWDIO为上拉模式;

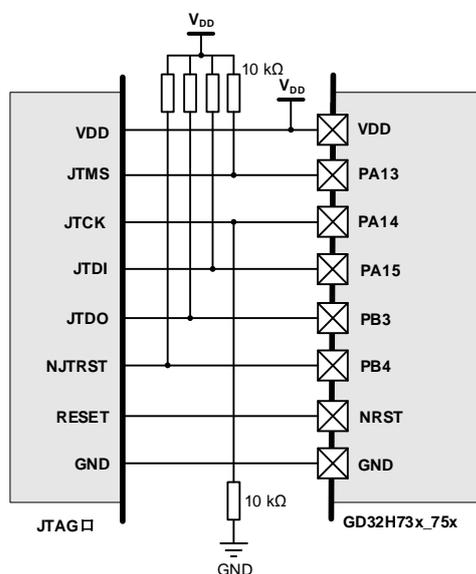
PB4: NJTRST为上拉模式;

PB3: JTDO为浮空模式。

表 2-12. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-33. 推荐 JTAG 接线参考设计



注意: 复位后,调试相关端口为输入上拉/下拉模式,其中:

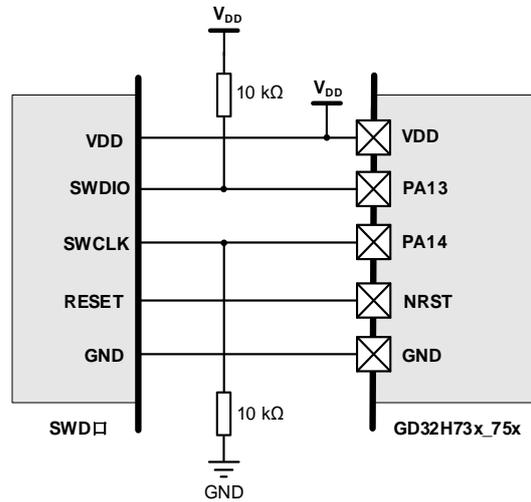
PA13: SWDIO为上拉模式;

PA14: SWCLK为下拉模式。

表 2-13. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-34. 推荐 SWD 接线参考设计

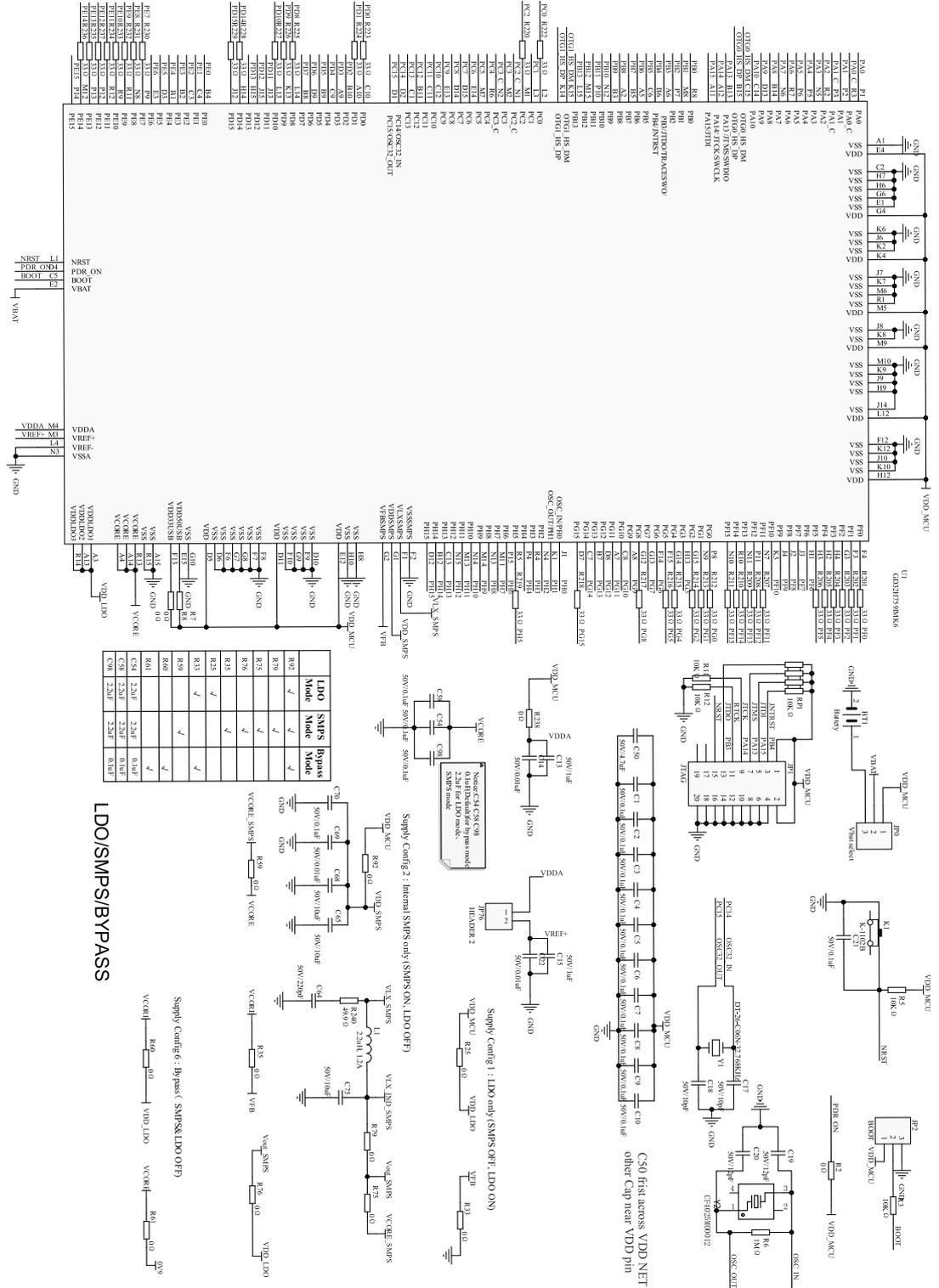


有以下几种方式可以提高 SWD 下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短 SWD 两个信号线长度，最好 15 cm 以内；
2. 建议 SWDIO、SWCLK 和 GND 使用双绞线；
3. 在 SWD 两根信号线对地各并几十 pF 小电容；
4. SWD 两根信号线任意 IO 串入 100 Ω ~ 1 kΩ 电阻。

2.8. 参考原理图设计

图 2-35. GD32H73x_75x 推荐参考原理图设计



3. PCB Layout 设计

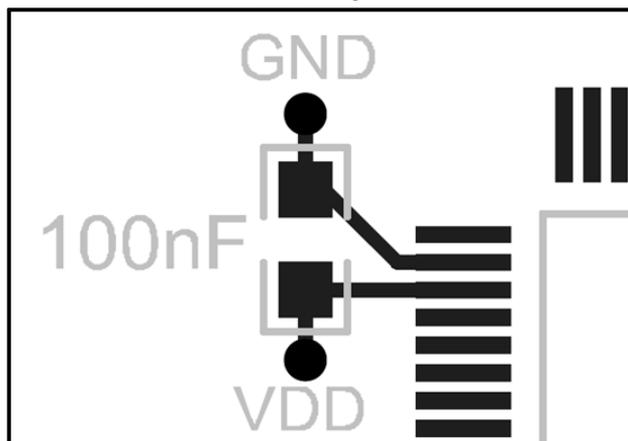
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32H73x_75x系列电源有VDD、VDDA、VREFP等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打过孔的形式Layout。

图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 0.9V 电源域电路

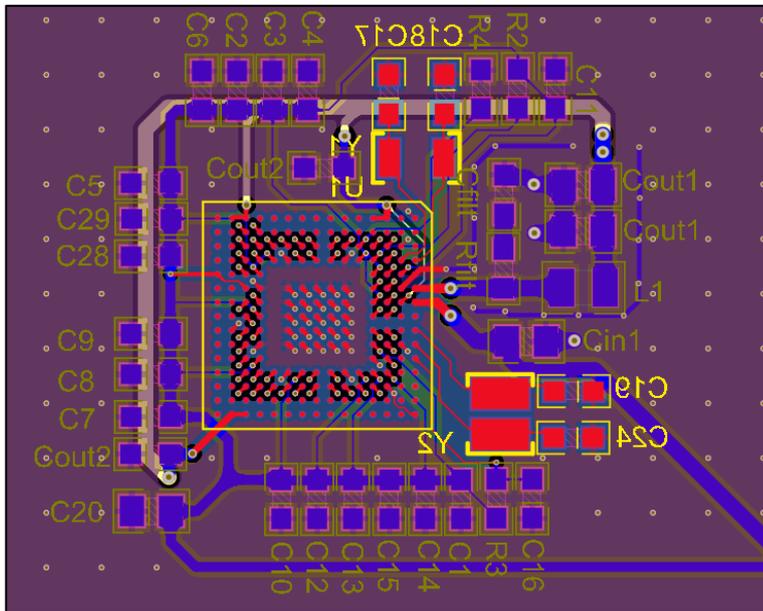
当前0.9V电源域推荐使用SMPS供电模式或旁路模式。为了增强MCU的功能稳定性及EMC性能，电源电路不仅需要考虑到配套外围元器件性能，还要考虑PCB Layout。

SMPS供电模式的PCB Layout需要遵循以下要求：

- 1、SMPS的VLXSMPS为2MHz的电压开关信号，其幅值可能会超过VDD或低于VSS。基于系统级EMC防护设计，需要尽可能的与其他信号做好屏蔽；
- 2、所有该模块走线以及外围器件尽可能放置同一层，且相邻层尽可能为完整地。时钟线、VFBSMPS、以及其他模拟线尽可能与该模块保持距离和线层，并做好包地处理；
- 3、为增大过电流能力，VDDSMPS和VLXSMPS线宽尽量宽，至少20 ~ 30mil以上；
- 4、外围器件摆放与走线应遵循输出电流回路di/dt最短原则；
- 5、为保证输出稳定性，SMPS的VFBSMPS反馈线应从负载端返回；
- 6、无论LDO是否使能，务必使芯片的所有VDDLDO引脚、VCORE引脚各自连在一起。

BGA176封装SMPS供电模式推荐layout如[图3-2. BGA176封装SMPS供电模式推荐layout图](#)所示:

图 3-2. BGA176 封装 SMPS 供电模式推荐 layout 图

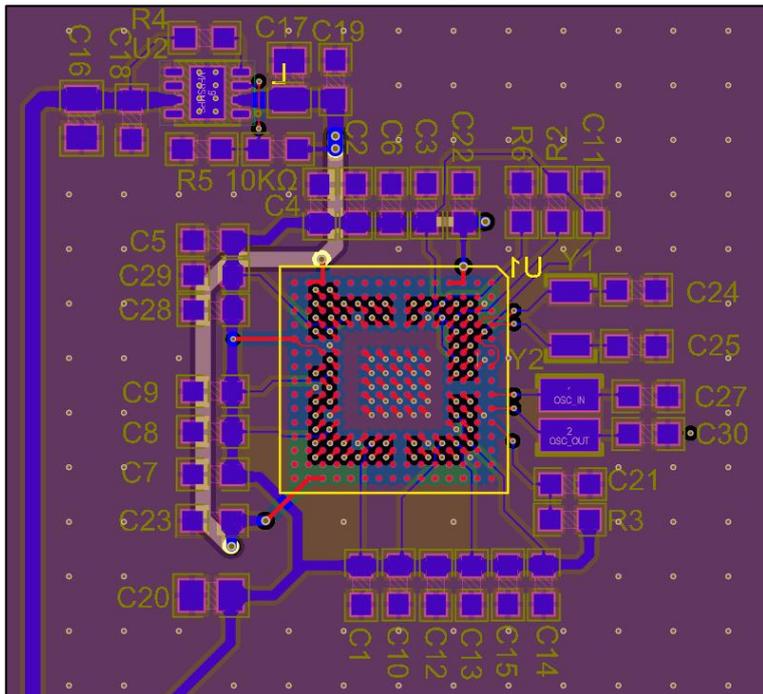


旁路模式的PCB Layout需要遵循以下要求:

- 1、使用外部电源给VCORE供电需要注意在输出大电流情况下的线阻导致的线损，避免末端电压低于规定要求；
- 2、需要采取散热措施避免外部电源发热影响MCU的散热以及其本身性能；
- 3、务必使芯片的所有VDDLDO引脚、VCORE引脚各自连在一起，接到外部电源输出端。

BGA176封装旁路模式推荐layout如[图3-3. BGA176封装旁路模式推荐layout图](#)所示:

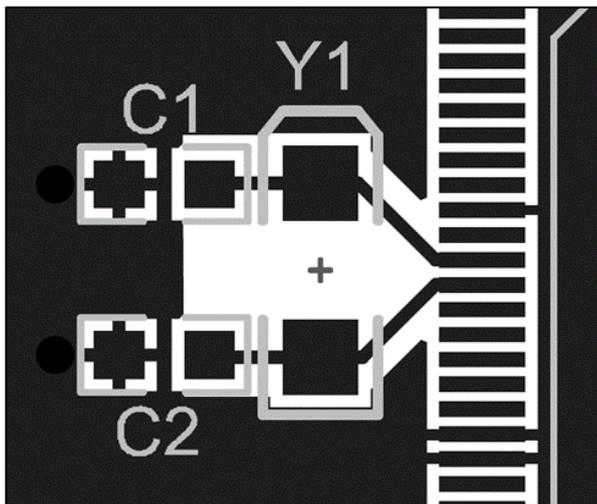
图 3-3. BGA176 封装旁路模式推荐 layout 图



3.3. 时钟电路

GD32H73x_75x系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-4. 推荐时钟引脚 Layout 设计（无源晶体）



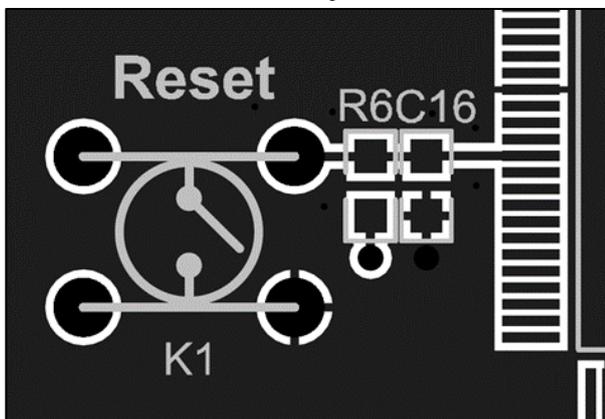
注意：

1. 晶体尽量靠近MCU时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.4. 复位电路

NRST走线PCB Layout参考如下：

图 3-5. 推荐 NRST 走线 Layout 设计

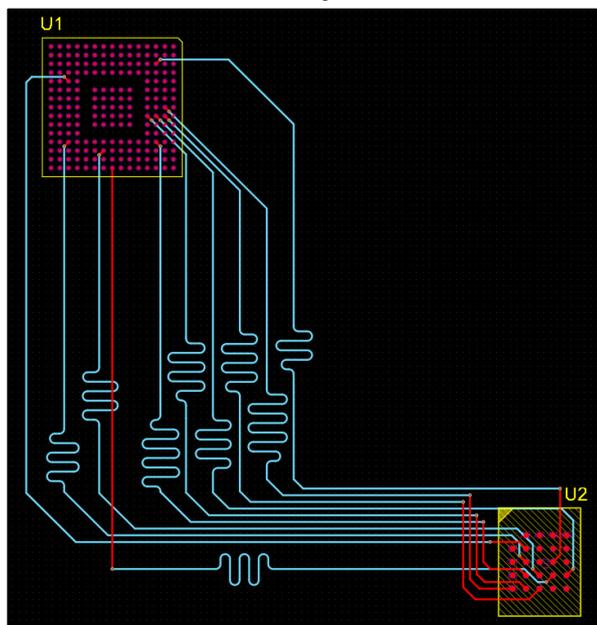


注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.5. OSPI 电路

GD32H73x_75x系列MCUOSPI模块支持单线、双线、四线和八线SPI存储器（PSRAMS, NAND, NOR flash等）。OSPI走线PCB Layout参考如下：

图 3-6. 推荐 OSPI 走线 Layout 设计



注意：

1. 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
2. OSPI的信号线及时钟线应尽可能的在表层走线并包地，等长应控制在300mil以内（微带线蛇形走线间距建议为7H，带状线蛇形走线间距建议为5H，H为信号走线到参考平面的距离；走线若存在过孔，一般一个过孔算50~100mil线长，视过孔长度决定）；
3. OSPI芯片应尽可能的靠近MCU放置，远离电源及功率器件等干扰源；
4. 若信号线或时钟线信号较差，可以考虑在存储器端增加端接电阻。

3.6. USB 电路

对于GD32H73x_75x系列MCU USB FS模块有DM、DP两根差分信号线，对于USB HS模块，连接外部高速PHY后，PHY芯片也会引出DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90Ω，差分走线严格按照等长等距规则来走，且尽量使走线最短。如果两条差分线不等长，可在终端用蛇形线补偿短线。建议DM、DP直连，不串联匹配电阻。

DM、DP差分走线注意事项如下：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

对于USB HS模块，MCU与外部HS PHY之间的数据线与信号控制线也尽量走短，需要用蛇形

线做等长处理，注意事项如下：

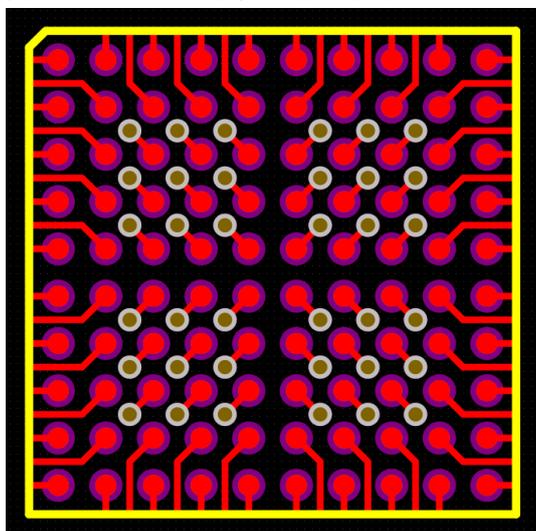
1. 布局时摆放合理，USB HS-PHY芯片与MCU之间尽量紧凑；
2. 布线时，以信号线中最长的一根线长度为目标，将其他信号线通过蛇形走线补偿即可。

3.7. BGA 封装的扇出

对于GD32H73x_75x 系列MCU部分型号存在BGA100(0.8mm Pitch)和BGA176(0.65mm Pitch)封装，我们推荐以下的走线规则与扇出方式。

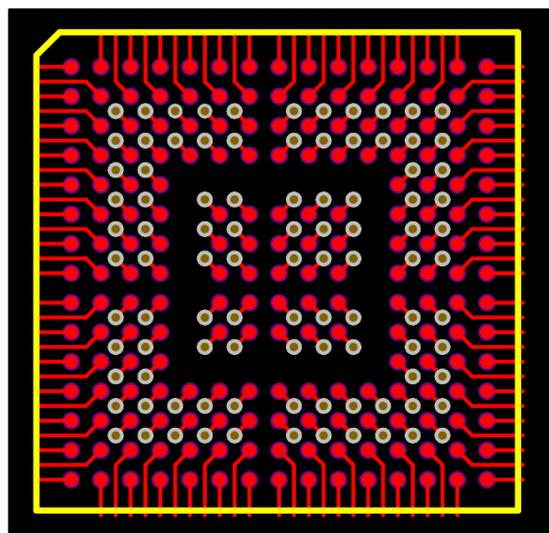
对于0.8 mm Pitch的BGA176封装推荐使用规则设置5 mil线宽线距，使用10 / 16 mil过孔进行扇出，扇出后如[图3-7. BGA100封装的扇出方式](#)所示。

图 3-7. BGA100 封装的扇出方式



对于0.65 mm Pitch的BGA176封装推荐使用规则设置4 mil线宽线距，使用8/12 mil（若所过电流较大，8/13 mil亦可，大于8/13 mil 尺寸，4 mil线宽线距无法出线）过孔进行扇出，扇出后如[图3-8. BGA176封装的扇出方式](#)所示。

图 3-8. BGA176 封装的扇出方式



4. 封装说明

GD32H73x_75x系列有5种封装形式，LQFP100、LQFP144、LQFP176、BGA100和BGA176。

表 4-1. 封装型号说明

产品型号	封装
GD32H737VxT6	LQFP100(14x14, 0.5 pitch)
GD32H757VxT6	
GD32H737ZxT6	LQFP144(20x20, 0.5 pitch)
GD32H757ZxT6	
GD32H737IxT6	LQFP176(24x24, 0.5 pitch)
GD32H759IxT6	
GD32H757VxJ6	BGA100(8x8, 0.8 pitch)
GD32H737IxK6	BGA176(10x10, 0.65 pitch)
GD32H759IxK6	

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2023 年 04 月 14 日
1.1	1. 新增 2.1.4 章节; 2. 更新 2.1.5 章节, 提供所有封装供电设计图, 说明相关引脚在芯片内部连接情况。	2023 年 06 月 21 日
1.2	1. 更新 2.1.3 章节, 新增各模式寄存器配置表, 更新各模式推荐电路设计; 2. 更新 2.8 章节参考原理图设计; 3. 新增 3.5 章节。	2023 年 12 月 19 日
1.3	1. 更新图 2-1, 增加备份域 LDO 相关描述; 2. 更新 2.1.2 章节, 新增 VREFP 与 VDDA 的描述; 3. 更新 2.1.3 章节, 更新各模式寄存器配置; 新增 SMPS 模块关闭时, VDDSMPS 引脚的描述; 新增旁路模式上电时序及相关说明; 4. 更新 2.1.4 章节, 增加注意事项; 5. 更新图 2-10 和表 2-6 中 C _{in} 、C _{OUT1} 、C _{OUT2} 相关描述; 6. 更新 2.2 章节中复位电路描述; 7. 更新 3.2 章节, 新增图 3-3。	2024 年 08 月 13 日
1.4	1. 更新图 2-4; 2. 更新图 2-6; 3. 更新 0.9V 电源域电源配置描述。	2024 年 11 月 19 日
1.5	1. 更新 0.9V 电源域电源配置描述; 2. 细化电源检测及复位相关内容, 增加 2.2 节。	2024 年 12 月 15 日
1.6	1. 文档名称修改为《GD32H73x_75x 系列硬件开发指南》; 2. 文档内容中涉及 GD32H7xx 相关内容修改为 GD32H73x_H75x 相关内容; 3. 更新 2.1.4 章节的图 2-8, 增加注意事项 2。	2026 年 03 月 06 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.