

GigaDevice Semiconductor Inc.

GD32G5x3 芯片使用限制

勘误手册

1.0 版本

(2026 年 3 月)

目录

目录.....	2
图索引.....	4
表索引.....	5
1. 前言.....	6
1.1. 芯片版本定义.....	6
1.2. 芯片使用限制总览.....	6
2. 芯片使用限制描述.....	8
2.1. FMC.....	8
2.1.1. 在数据缓冲区启用时修改 FMC_SWP 位会导致 CPU 读取主 Flash 数据时出错.....	8
2.2. USART.....	8
2.2.1. 使用硬件流控方式时，USART 的高波特率会造成数据丢失.....	8
2.2.2. 智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位.....	8
2.2.3. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位.....	9
2.2.4. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒.....	9
2.2.5. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位.....	9
2.2.6. DENR = 1，DDRE = 0，HCM = 1 时，会出现 RTS 一直拉高.....	9
2.2.7. 智能卡模式下，当接收超时阈值（RT）配置为 0 时，RTF 提前置位.....	9
2.2.8. 智能卡模式下，PERR 置位异常.....	10
2.2.9. 同步模式下，PERR 置位异常.....	10
2.2.10. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR.....	10
2.2.11. TX FIFO 功能禁能时，在向 TDATA 写数据时，TFE 标志位会被清零.....	10
2.2.12. TX FIFO 功能使能时，TFNF 标志未按预期清零.....	11
2.3. I2C.....	11
2.3.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死.....	11
2.3.2. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START.....	11
2.4. HRTIMER.....	12
2.4.1. PER 事件输出异常.....	12
2.4.2. 比较器 1 的部分功能（不包括从定时器 0 和从定时器 3）在双通道触发模式下失效.....	12
2.4.3. STxCHyEN 位无法准确反映实际通道输出状态.....	12
2.4.4. 通道故障自动恢复期间出现毛刺.....	13
2.5. CAN.....	13
2.5.1. 当 CAN 运行时钟频率低于 CK_APB2 且 DLC 段发生错误时，会导致接收到错误的帧 ID.....	13
2.5.2. 邮箱数据未及时读走，可能会导致当前帧和下一帧数据读取错误.....	14
2.6. Core.....	14

2.6.1.	访问权限错误优先于未对齐的设备内存错误	14
3.	版本历史	16

图索引

图 1-1. GD32G5x3 的芯片修订版本..... 6

表索引

表 1-1. 适用产品	6
表 1-2. 芯片使用限制	6

1. 前言

该文档适用于 GD32G5x3 产品，具体参考[表 1-1. 适用产品](#)。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

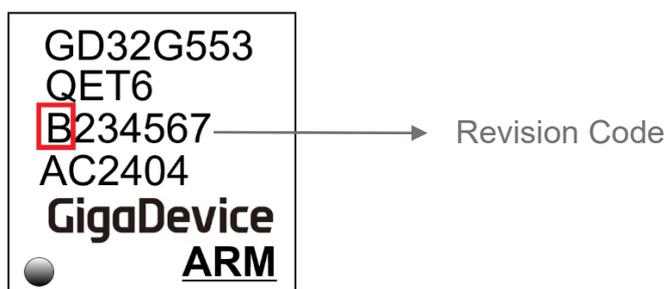
表 1-1. 适用产品

类型	产品系列
MCU	GD32G553xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如[图 1-1. GD32G5x3 的芯片修订版本](#)所示。

图 1-1. GD32G5x3 的芯片修订版本



1.2. 芯片使用限制总览

GD32G5x3 芯片使用限制参考[表 1-2. 芯片使用限制](#)。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案
		修订版本 D
FMC	在数据缓冲区启用时修改 FMC_SWP 位会导致 CPU 读取主 Flash 数据时出错	Y
USART	使用硬件流控方式时，USART 的高波特率会造成数据丢失	Y
	智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位	N
	智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位	N
	通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒	Y
	通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位	Y
	DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高	Y

模块	使用限制	解决方案
		修订版本 D
	智能卡模式下, 当接收超时阈值 (RT) 配置为 0 时, RTF 提前置位	Y
	智能卡模式下, PERR 置位异常	N
	同步模式下, PERR 置位异常	N
	深度睡眠模式下, 唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR	Y
	TX FIFO 功能禁能时, 在向 TDATA 写数据时, TFE 标志位会被清零	Y
	TX FIFO 功能使能时, TFNF 标志未按预期清零	Y
I2C	当 I2C 工作在 7/10 地址从模式, 收到异常时序会导致芯片 SDA 卡死	Y
	I2C 作主机发送, 若最后一字节从机回 NACK, 则传输完成中断里无法正确发送 START	Y
HRTIMER	PER 事件输出异常	N
	比较器 1 的部分功能 (不包括从定时器 0 和从定时器 3) 在双通道触发模式下失效	Y
	STxCHyEN 位无法准确反映实际通道输出状态	Y
	通道故障自动恢复期间出现毛刺	Y
CAN	当 CAN 运行时钟频率低于 CK_APB2 且 DLC 段发生错误时, 会导致接收到错误的帧 ID	Y
	邮箱数据未及时读走, 可能会导致当前帧和下一帧数据读取错误	Y
Core	访问权限错误优先于未对齐的设备内存错误	N

注意:

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'-' = 使用限制已修复

2. 芯片使用限制描述

2.1. FMC

2.1.1. 在数据缓冲区启用时修改 FMC_SWP 位会导致 CPU 读取主 Flash 数据时出错

描述与影响

当 FMC_WS 寄存器中的 DCEN 位被置位后，如果修改 SYSCFG_CFG0 寄存器中的 FMC_SWP 位，可能会导致缓存数据被误读，从而导致 CPU 首次读取主 Flash 数据时出错。

解决方案

在修改 FMC_SWP 之前禁用 DCEN，修改后重新启用 DCEN。

2.2. USART

2.2.1. 使用硬件流控方式时，USART 的高波特率会造成数据丢失

描述与影响

使用硬件流控方式时，当 USART 工作在高波特率通信时，由于 CTS 未及时拉低（流控不及时），会导致数据丢失。

解决方案

不使用高波特率，或者在高波特率情况下使用 2bit 停止位。流控模式且用 1bit 停止位时，波特率限制在 3.17MHz（APBx = 216MHz）以内。

2.2.2. 智能卡模式下进行数据接收，当发生重传时 EBF 可能无法置位

描述与影响

智能卡模式下进行接收，接收数据帧存在重传，如果刚好重传的数据帧满足块计数值 = BL + 4，且当前重传的数据帧依旧保持校验错误而不会被移入数据寄存器，那么块结束标志（EBF）无法置位，且后续 BL 计数器持续计数，计数器跑飞，EBF 一直无法置位。

解决方案

无规避方案。

2.2.3. 智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误会认为发生重传，FERR 和 RBNE 无法置位

描述与影响

智能卡模式下进行数据接收，TX 发送期间检测到一个奇偶校验错误，会认为发生重传，但 TX 引脚未检测到 NACK 信号，读数据缓冲区非空标志（RBNE）和帧错误标志（FERR）均无法置位。

解决方案

无规避方案。

2.2.4. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒

描述与影响

当 USART 工作在多处理器通信模式且通过空闲帧将 USART 从静默模式唤醒时，在总线处于空闲模式且 USART 进入静默模式后，将导致 USART 将无法被唤醒。

解决方案

当使用空闲帧唤醒 USART 静默模式时，在总线处于空闲时，不允许进入静默模式。

2.2.5. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位

描述与影响

通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位。如果此时开启了 IDLE 中断，则在空闲帧唤醒后会进入 IDLE 中断处理函数。

解决方案

在进入静默模式前关闭 IDLE 中断，并在需要的时候开启 IDLE 中断。

2.2.6. DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高

描述与影响

DENR = 1, DDRE = 0, HCM = 1 时，会出现 RTS 一直拉高，流控失效。

解决方案

使用中确保以上条件不同时成立。

2.2.7. 智能卡模式下，当接收超时阈值（RT）配置为 0 时，RTF 提前置位

描述与影响

智能卡模式下，当接收超时阈值（RT）配置为 0 时，接收超时标志（RTF）会在第一帧数据的 START 位就置位。

解决方案

将实际需要的接收超时阈值+11 配置到 RT。

2.2.8. 智能卡模式下，PERR 置位异常

描述与影响

智能卡模式下，NACK 禁能（NKEN = 0）且 SCRTNUM 配置为非 0 值时，当 USART 收到带奇偶校验错误的帧后，PERR 无法置位。

解决方案

无规避方案。

2.2.9. 同步模式下，PERR 置位异常

描述与影响

同步模式下且开启数据位反转（DINV = 1）功能时，即使 USART 收到无奇偶校验错误的帧，PERR 依然会置位。

解决方案

无规避方案。同步模式下不开启数据位反转功能。

2.2.10. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 但不置位 EPERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 PERR 位但不置位 EPERR。例如使用 USART 地址匹配唤醒深度睡眠模式时，先收到一帧带奇偶校验错误且地址不匹配帧，再收到一帧无奇偶校验错误且地址匹配的帧，会导致在唤醒后 PERR 置位但 EPERR 不置位。

解决方案

软件上忽略该情况下的奇偶校验错误。

2.2.11. TX FIFO 功能禁能时，在向 TDATA 写数据时，TFE 标志位会被清零

描述与影响

TX FIFO 功能禁能时，在向 TDATA 写数据时，TFE 标志位会被清零。

解决方案

TX FIFO 功能禁能时，忽略 TX FIFO 相关标志位。

2.2.12. TX FIFO 功能使能时，TFNF 标志未按预期清零

描述与影响

TX FIFO 功能使能时，连续写入数据直到 FIFO 被写满，此时 TFNF = 0；若此时发出一个数据，则 TFNF = 1，然后在向 FIFO 中写入一个数据，此时 FIFO 被写满，但 TFNF = 1（应该为 0）。

解决方案

使用 TX FIFO 功能时，在写数据时用 TFF 或 TFT 标志而不是使用 TFNF 标志进行判断。

2.3. I2C

2.3.1. 当 I2C 工作在 7/10 地址从模式，收到异常时序会导致芯片 SDA 卡死

描述与影响

当 I2C 作为从设备运行且配置为 7 位地址模式时，主机通过 IO 模拟 I2C 通信。如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Match Head Addr + Start + 7Bit Addr Read + Wait ACK+Start

当 I2C 作为从设备运行且配置为 10 位地址模式时，主机通过 IO 模拟 I2C 通信，如果主机发送如下时序，则会导致 I2C 进入错误状态，I2C 无法正常工作，SDA 恒低：

Start +10Bit Mismatch Head Addr +Start

或

Start +10 Bit Match Head Addr+Wait ACK+10 Bit Mismatch 8 Bit Addr+Start

解决方案

定时检测 SDA 状态，如果识别到 SDA 恒低，重新初始化 I2C 模块。

2.3.2. I2C 作主机发送，若最后一字节从机回 NACK，则传输完成中断里无法正确发送 START

描述与影响

I2C 作主机发送完最后一字节数据，从机回复 NACK 信号，则传输完成（TC）中断里主机无法正确发送 START，即无法开启下一次传输。

解决方案

在 NACK 中断中发送一次 STOP 信号，然后再启动下一次传输。

2.4. HRTIMER

2.4.1. PER 事件输出异常

描述与影响

当从定时器配置为中心对齐计数模式，并且 HRTIMER_STxCTL1 寄存器中对应的 OUTROVM 位配置为 2'b01 时，PER 事件输出结果不符合预期。

解决方案

无规避方案。

2.4.2. 比较器 1 的部分功能（不包括从定时器 0 和从定时器 3）在双通道触发模式下失效

描述与影响

当 HRTIMER_STxCTL1 寄存器中的 TRIGEN 位被设置且 TRIG0 位被复位，并且禁用影子寄存器功能时，比较器 1 的有效值周期性自动累加功能失效。当 TRIGEN 位被置位且 TRIG0 位被复位，并且启用影子寄存器功能时，比较器 1 的比较值在匹配后不会自动更新。上述两种情况均无法在一个 PWM 周期内连续生成 DAC 步进触发信号，因此无法生成与 PWM 同步的斜坡补偿信号。

解决方案

添加一个额外的从定时器 Slave_TIMERx，并将对应 HRTIMER_STxCTL0 中的 DACTRGS[1:0] 位设置为 0b01、0b10 或 0b11，然后使用新增从定时器的定时器更新事件作为 DAC 步进信号的触发源。同时，当原始从定时器计数器重置 DAC 信号达到周期值时，重置新增的从定时器。

2.4.3. STxCHyEN 位无法准确反映实际通道输出状态

描述与影响

HRTIMER_CHOUTEN 寄存器中的 STxCHyEN 位无法正确指示对应通道的实际输出状态。具体问题如下：

- 1) 在硬件故障自动恢复后，PWM 通道恢复输出且 PWM 波形恢复，但 STxCHyEN 位仍错误地保持为 0，而不是恢复为 1。
- 2) 在故障条件下，即使通过软件手动置位 STxCHyEN，PWM 输出仍然被禁用，而 STxCHyEN 位错误地显示为 1。

由于这些问题，在使用故障输入功能时，STxCHyEN 位无法可靠地指示通道状态。因此，建议避免依赖读取此位进行状态验证。

解决方案

根据应用场景，可以采用以下替代解决方案：

- 1) 在某些情况下，检测 PWM 输出引脚的电压电平。使用上升沿触发设置 EXTI 标志，作为评估通道输出状态的替代方法，而不是依赖 STxCHyEN 位。
- 2) 在某些情况下，可以通过检测故障标志或 CMP 输出状态来确定通道输出状态，作为 STxCHyEN 位的替代方法。

详细的指导方案，请参考《AN203 GD32G5x3 系列高分辨率定时器使用指南》。

2.4.4. 通道故障自动恢复期间出现毛刺

描述与影响

在使用硬件故障自动恢复功能和 PWM 硬件互补模式（启用死区时间插入）时，在实际恢复 PWM 波形之前可能会出现持续数十纳秒的毛刺。毛刺宽度因不同的从定时器而异，这可能导致开关器件意外导通，从而引发不良后果。

解决方案

根据应用场景，可以采用以下替代解决方案：

- 1) 在某些场景中，在 PWM 输出或驱动侧部署适当的滤波电路以吸收不需要的毛刺。
- 2) 用基于软件的互补控制替代硬件互补功能。
- 3) 在某些情况下，使用软件控制的逐周期故障恢复替代依赖硬件自动恢复。

详细的指导方案，请参考《AN203 GD32G5x3 系列高分辨率定时器使用指南》。

2.5. CAN

2.5.1. 当 CAN 运行时钟频率低于 CK_APB2 且 DLC 段发生错误时，会导致接收到错误的帧 ID

描述与影响

当 CAN 运行时钟频率低于 CK_APB2 时，如果 CAN 总线上的外部干扰导致在接收帧时，DLC 段检测到错误并发送错误帧，则会导致后续帧接收到错误帧 ID（即使该错误帧 ID 已被 CAN 滤波器过滤）。

解决方案

使用以下解决方案之一：

- 1) 软件将 CAN 时钟源配置为 CK_APB2。以 CAN1 为例，参考代码如下：

```
{
    /* configure the CAN1 clock source as CK_APB2 */
    rcu_can_clock_config(CAN1, RCU_CANSRC_APB2);
}
```

- 2) 软件检查帧 ID (适用于 CAN 运行时钟频率低于 CK_APB2 的情况)。当 CAN 邮箱接收到非目标帧 ID 且发生错误时, 软件需要重新配置 CAN 接收邮箱参数。具体配置步骤如下:
 - a) 进入未激活模式
 - b) 重新配置接收邮箱参数
 - c) 进入正常模式

2.5.2. 邮箱数据未及时读走, 可能会导致当前帧和下一帧数据读取错误

描述与影响

在处理邮箱接收时, 如果在读取当前帧数据时, 一个新的 CAN 帧 (下一帧) 被移入接收邮箱, 可能导致当前帧和下一帧数据读取错误。

注意: 仅影响当前帧和下一帧。

解决方案

使用以下解决方案之一:

- 1) 使用邮箱接收中断并将其配置为最高优先级。当接收邮箱中断发生时, 及时读取并处理邮箱数据 (在下一帧结束之前)。
- 2) 使用 CAN FIFO 接收代替邮箱接收。
- 3) 通过置位 RPFQEN 使能邮箱队列, 并将邮箱接收中断设置为最高优先级。

2.6. Core

关于 Cortex-M33 的限制, 请参考“Cortex-M33 AT623 and Cortex-M33 with FPU AT624 Software Developer Errata Notice”。该文档可在 ARM 官方网站下载。

2.6.1. 访问权限错误优先于未对齐的设备内存错误

该限制对应于 Arm 编号 1080541, 详见“Cortex-M33 AT623 and Cortex-M33 with FPU AT624 Software Developer Errata Notice”。

描述及影响

引发未对齐设备内存访问的加载或存储操作会导致 UNALIGNED UsageFault 异常。然而, 如果由于 MPU 访问权限 (由 MPU_RBAR.AP 指定) 导致该区域不可访问, 则触发的 MemManage 故障将优先于 UsageFault。

此勘误影响所有启用 MPU 的 Cortex-M33 处理器配置。

故障发生条件如下:

MPU 已启用且:

- 加载/存储访问发生在与指令中指定的数据类型未对齐的地址上。
- 内存访问仅命中一个区域。
- 区域属性 (在 MAIR 寄存器中指定) 将该位置标记为设备内存。

- 区域访问权限阻止访问（即禁止非特权或写入操作）。

此限制的影响为，由于内存属性，访问权限违反引发的 **MemManage** 错误将优先于 **UNALIGNED UsageFault** 异常。

解决方案

无规避方案。然而，由于此行为在 **Armv7-M** 中是被允许的，因此预计现有软件不会依赖该行为。（**CM33** 属于 **Armv8-M**）。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	初始版本	2026 年 3 月 2 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.