

GigaDevice Semiconductor Inc.

GDSCN832xx 硬件开发指南

应用笔记

AN241

1.0 版本

（2025 年 9 月）

目录

目录	2
图索引	3
表索引	4
1. 前言	5
2. 硬件设计	6
2.1. 电源	6
2.1.1. V_{DD33} / V_{DD3Ax} 电源域	6
2.1.2. V_{DDIO} 电源域	6
2.1.3. 1.1 V 电源域	6
2.1.4. 晶振电源	6
2.1.5. 供电设计	7
2.2. 复位	8
2.3. 时钟	10
2.3.1. 外部高速晶体振荡时钟 (HXTAL)	10
2.3.2. 时钟输出测试模式	11
2.4. 典型外设模块	11
2.4.1. GPIO 电路	11
2.4.2. 总线接口 (PDI Wrapper) 电路	12
2.4.3. 以太网 PHY	13
2.5. 低功耗模式	15
2.6. 参考原理图设计	16
3. PCB Layout 设计	17
3.1. 电源去耦电容	17
3.2. 1.1 V 电源域电路	17
3.3. 时钟电路	19
3.4. 复位电路	19
3.5. I2C 电路	20
3.6. OSPI 电路	20
3.7. EXMC 电路	21
3.8. Ethernet 接口电路	22
4. 封装说明	23
5. 版本历史	24

图索引

图 2-1. GDSCN832 系列推荐供电设计（使能内部稳压器）	7
图 2-2. GDSCN832 系列推荐供电设计（不使能内部稳压器）	8
图 2-3. RCU_RSTCFG 寄存器.....	9
图 2-4. 推荐外部复位电路	9
图 2-5. GDSCN832 系列时钟树	10
图 2-6. HXTAL 外部晶体电路.....	10
图 2-7. HXTAL 外部时钟电路.....	11
图 2-8. PDI Wrapper 框图	13
图 2-9. PHY 功能模块图.....	14
图 2-10. 内置 PHY 与 RJ45 网口(内部带变压器)连接示意图	14
图 2-11. 使用外部 PHY 的连接示意图	15
图 2-12. PME 中断待处理	15
图 2-13. GDSCN832 推荐参考原理图设计	16
图 3-1. 推荐电源引脚去耦 Layout 设计	17
图 3-2. 内部 LDO 供电模式推荐 layout 图.....	18
图 3-3. 旁路模式推荐 layout 图	18
图 3-4. 推荐时钟引脚 Layout 设计（无源晶体）	19
图 3-5. 推荐 RSTN 走线 Layout 设计	19
图 3-6. 推荐 I2C 走线 Layout 设计	20
图 3-7. 推荐 OSPI 走线 Layout 设计	21
图 3-8. 推荐 EXMC 走线 Layout 设计	21
图 3-9. 推荐 Ethernet 接口电路走线 Layout 设计	22

表索引

表 1-1. 适用产品.....	5
表 2-1. 电源供电模式对应表.....	6
表 2-2. 晶振电源供电模式对应表	6
表 2-3. GPIO 配置表	12
表 2-4. 节能模式总结	15
表 4-1. 封装型号说明	23
表 5-1. 版本历史.....	24

1. 前言

本文是专为基于EtherCAT子设备控制器(ESC) GDSCN832系列开发者提供的，对GDSCN832系列产品硬件开发做了总体介绍，如电源、复位、时钟等。该应用笔记的目的是让开发者快速上手使用GDSCN832系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用开发指南总共分为六部分来讲述：

1. 电源，主要介绍GDSCN832系列电源管理、供电功能的设计；
2. 复位，主要介绍GDSCN832系列复位功能的设计；
3. 时钟，主要介绍GDSCN832系列时钟的功能设计；
4. 典型外设模块，主要介绍GDSCN832系列主要功能模块硬件设计；
5. 参考电路及PCB Layout设计，主要介绍GDSCN832系列硬件电路设计及PCB Layout设计注意事项；
6. 封装说明，主要介绍GDSCN832系列所包含的封装形式及命名。

该文档也满足了基于GDSCN832系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

类型	型号
ESC	GDSCN832xx系列

2. 硬件设计

2.1. 电源

GDSCN832系列 V_{DD33} / V_{DD3Ax} 工作电压范围为3.0 V ~ 3.6 V, V_{DDIO} 工作电压范围为1.8 V ~ 3.6 V。GDSCN832系列设备有三个电源域, 包括 V_{DD33} / V_{DD3Ax} , V_{DDIO} 域和1.1 V域。 V_{DD} / V_{DD33} / V_{DD3Ax} 和 V_{DDIO} 域由电源直接供电。GDSCN832系列内嵌入了LDO, 用来为1.1 V域供电。

2.1.1. V_{DD33} / V_{DD3Ax} 电源域

V_{DD33} / V_{DD3Ax} 电源域包括 V_{DD33} 域和 V_{DD3Ax} 域两部分。为避免噪声, V_{DD3Ax} 可通过外部滤波电路连接至 V_{DD33} 。

2.1.2. V_{DDIO} 电源域

V_{DDIO} 电源域是为GPIO供电的电源引脚。为避免噪声, 可通过外部滤波电路连接至 V_{DD33} 。

2.1.3. 1.1 V 电源域

1.1 V电源域包括 V_{DDCR} 和 V_{DD1Ax} 。使用内部稳压器, 可以设置1.1 V电源域的供电电源, V_{DD1Ax} 可通过外部滤波电路连接至 V_{DDCR} 。不同配置可提供两种有效的1.1 V电源域供电模式, 模式对应表如[表2-1. 电源供电模式对应表](#)所示。

表 2-1. 电源供电模式对应表

REG_EN 引脚	Supply Configuration
置高	LDO 供电模式
置低	旁路模式

电源供电模式由硬件设置, 当引脚REG_EN置高时, 由内部LDO输出1.1 V, 为 $V_{1.1V}$ 域供电。当引脚REG_EN置低时, 则必须外部引入1.1 V, 为 $V_{1.1V}$ 域供电。

2.1.4. 晶振电源

为了提高时钟电路的稳定性, GDSCN832系列晶振内部还集成了一个稳压器, 该电路为晶振电路提供1.1 V电压。用户可以将REG_EN引脚置高使能OSC_LDO稳压器, 将 V_{DD33} 引脚连接3.3 V电源为晶振模块提供电源。将REG_EN置低则不使能该稳压器, 需将OSCVDD11引脚连接至外部1.1 V电源为晶振模块提供电源。注意OSCVSS引脚必须接地。

表 2-2. 晶振电源供电模式对应表

REG_EN 引脚	Supply Configuration
置高	OSC_LDO 供电模式
置低	旁路模式

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD33}引脚必须外接电容（100 nF陶瓷电容 + 4.7 uF钽电容）
- V_{DDIO}引脚必须外接电容（N * 100 nF陶瓷电容）
- V_{DDCR}引脚必须外接电容（N * 100 nF陶瓷电容 + 1 uF陶瓷电容 + 470 pF陶瓷电容）
- V_{DD3Ax}引脚必须外接电容（建议100 nF + 4.7 uF陶瓷电容）
- V_{DD1Ax}引脚必须外接电容（N * 100 nF陶瓷电容）

图 2-1. GDSCN832 系列推荐供电设计（使能内部稳压器）

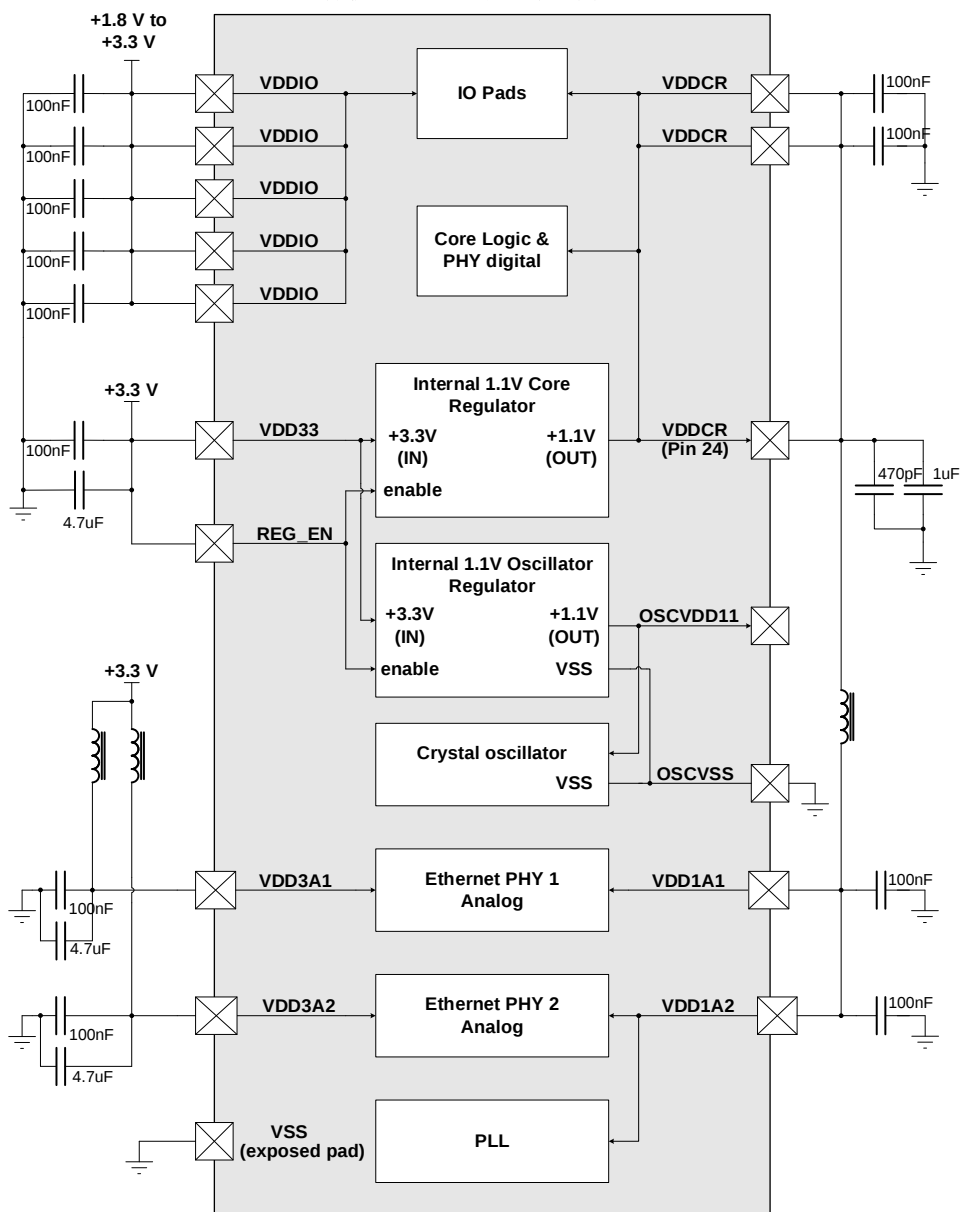
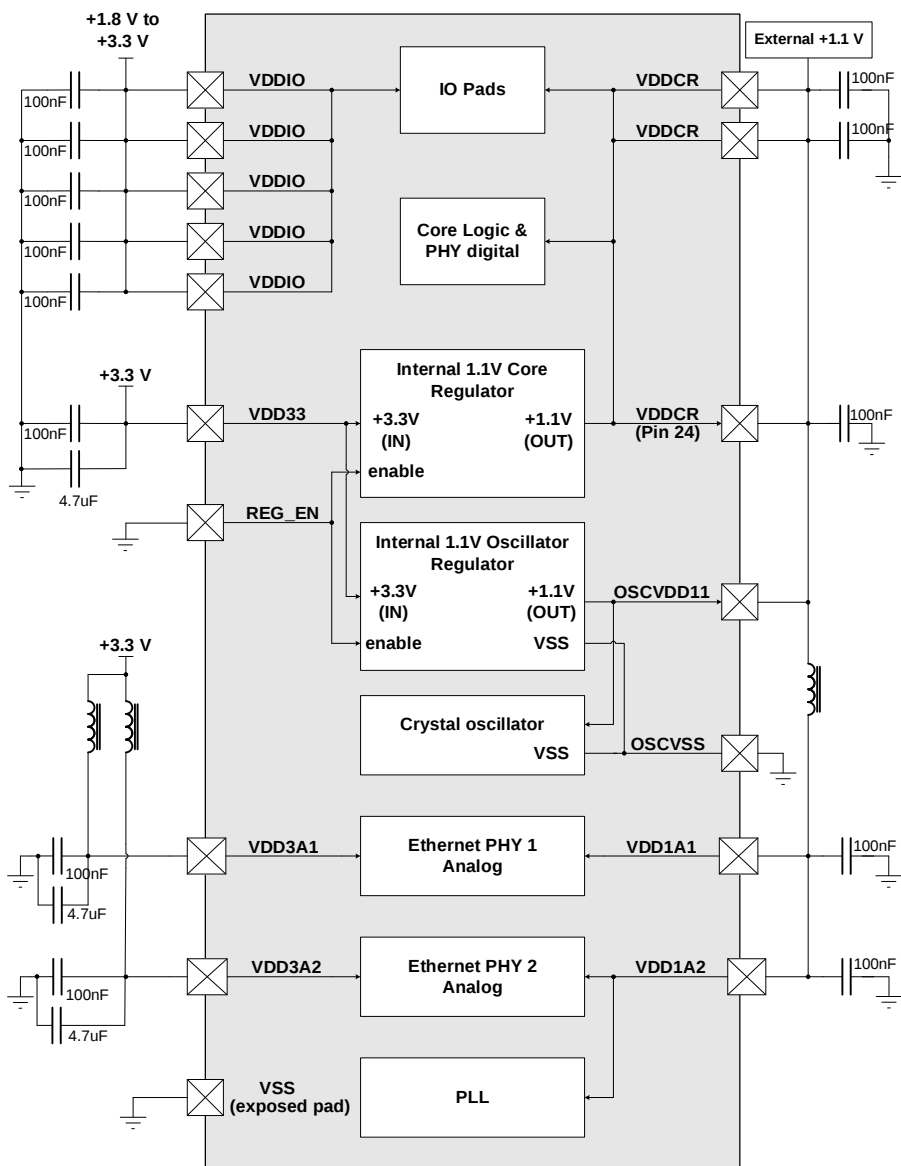


图 2-2. GDSCN832 系列推荐供电设计（不使能内部稳压器）



注意:

- 1、所有去耦电容须靠近芯片对应VDD33、VDDIO、VDD3Ax、VDD1Ax、VDDCR引脚放置；
- 2、无论内部稳压器是否使能，芯片的所有VDDCR应连接在一起。

2.2. 复位

GDSCN832系列复位控制包括两种复位：系统复位和模块复位。系统复位包括上电复位（POR）、外部引脚复位（RSTN）和EtherCAT系统复位，可以复位设备中的所有电路。模块复位包括数字复位、PHY复位和EtherCAT内核复位，可以复位相应的模块。

POR（上电复位）是当设备刚上电或者电源断开后重上电时，发生上电复位。RSTN引脚复位是将RSTN输入引脚驱动为低电平可启动外部引脚复位。EtherCAT系统复位是由三个连续的特殊帧 / 命令序列启动。

多模块复位：通过设置配置寄存器（RCU_RSTCFG）的DRST位来执行数字复位。数字复位会复位除PHY之外的所有设备子模块。

单模块复位：单模块复位仅复位指定的模块。单模块复位不会锁定配置引脚，包括端口A的PHY复位、端口B的PHY复位和EtherCAT控制器复位。单模块复位描述如下：

可通过置位复位配置寄存器（RCU_RSTCFG）中的PHYARST位或置位PHY控制寄存器（PHY_MII_CTL）中的MR_MAIN_REST位实现端口A的PHY复位。端口A的PHY复位后，PHYARST位和软复位Bit会自动清除。该复位不会影响设备的其他模块。可以通过复位配置寄存器（RCU_RSTCFG）中的PHYARST位或PHY控制寄存器（PHY_MII_CTL）中的MR_MAIN_REST位是否清除来检查端口A的PHY复位是否完成。

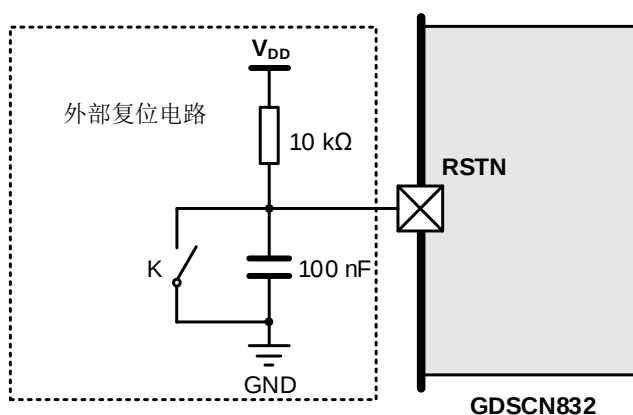
可通过置位复位配置寄存器（RCU_RSTCFG）中的PHYBRST位或置位PHY控制寄存器（PHY_MII_CTL）中的MR_MAIN_REST位实现端口B的PHY复位。端口B的PHY复位后，PHYBRST位和软复位Bit会自动清除。该复位不会影响设备的其他模块。可以通过复位配置寄存器（RCU_RSTCFG）中的PHYBRST位或PHY控制寄存器（PHY_MII_CTL）中的MR_MAIN_REST位是否清除来检查端口B的PHY复位是否完成。

可以通过清除配置寄存器（RCU_RSTCFG）中的ESCRST位实现EtherCAT控制器的单独复位，这将复位EtherCAT内核及其寄存器。

图 2-3. RCU_RSTCFG 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						PHYBREL	PHYAREL	保留	ESCRST	保留			PHYBRST	PHYARST	DRST
						r/w	r/w		r/w				r/w	r/w	r/w

图 2-4. 推荐外部复位电路



注意：

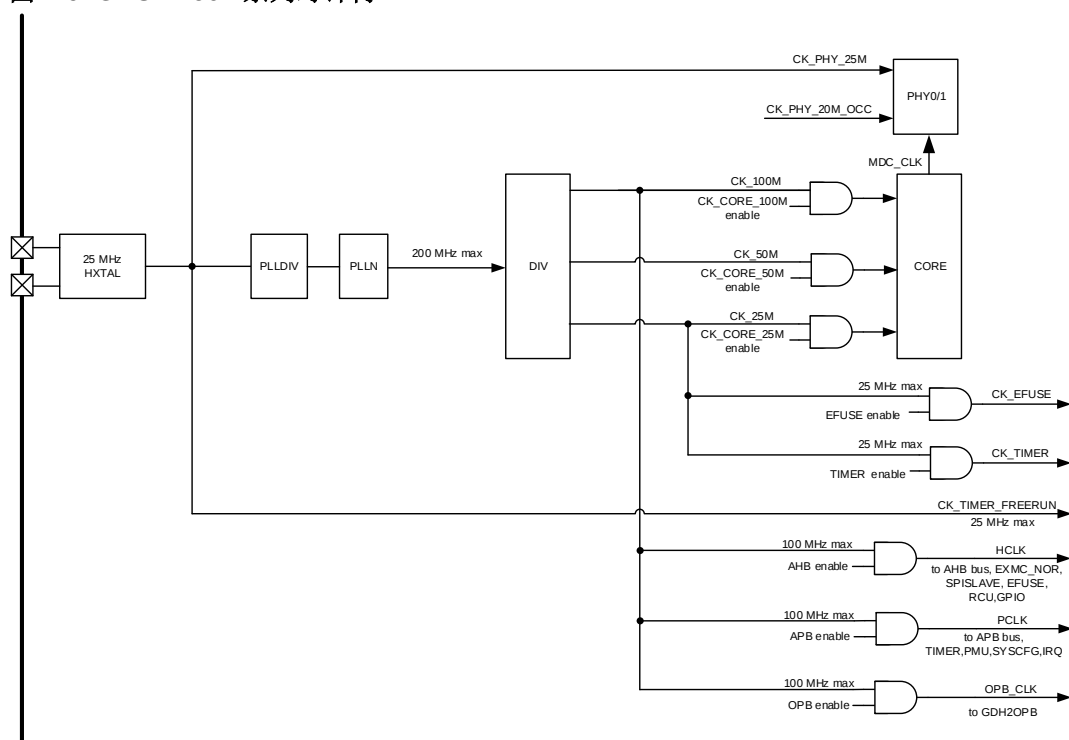
1. 外部接上拉电阻 10 kΩ；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管；
3. 尽管 ESC 内部有硬件 POR 电路，仍推荐外部加 NRST 复位阻容电路；
4. 如果 ESC 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 OSC 复位完成时间，避开上电异常时序区。

2.3. 时钟

GDSCN832xx系列内部有完备的时钟系统，时钟控制单元主要由外部高速晶体振荡器（HXTAL）和锁相环（PLL）组成。时钟通常由25 MHz无源晶体振荡器的OSCIN和OSCOUT提供，或者由单端25 MHz时钟源驱动器的OSCIN引脚提供。时钟主要特征：

- 25 MHz高速晶振振荡器（HXTAL）
- 锁相环（PLL）

图 2-5. GDSCN832 系列时钟树



2.3.1. 外部高速晶体振荡时钟（HXTAL）

25 MHz的外部高速晶体振荡器可为系统时钟提供更为精确时钟源。带有特定频率的晶体必须与靠近两个HXTAL的引脚连接。和晶体连接的外部电阻和电容必须根据所选择的振荡器来调整。

图 2-6. HXTAL 外部晶体电路

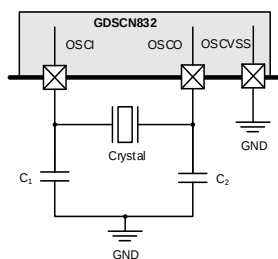
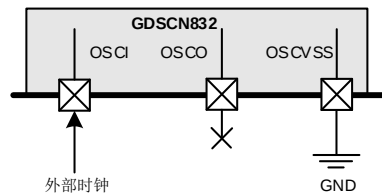


图 2-7. HXTAL 外部时钟电路

**注意：**

1. 使用有源晶振时，信号从 OSC I 输入，OSC O 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为 PCB 和 OSC 引脚的杂散电容，典型值为 10 pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20 pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20 pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚。更多基于谐振器的振荡器电路设计内容可以参考《AN052 GD32 MCU 基于谐振器的时钟电路》；
3. C_S 为 PCB 板走线及 ESC 引脚上的寄生电容，当晶体离 ESC 越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离 OSC 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 精度：外部有源晶振 > 外部无源晶体；
5. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 $0.7V_{DD}$ ，低电平不大于 $0.3V_{DD}$ ；
6. 谐振器与 OSC 时钟引脚连接的走线可能会因为 PCB 布局布线的空间限制导致连接到 OSC O 和 OSC I 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.2. 时钟输出测试模式

为了进行系统调试，观察时钟情况，可通过设置 INTC_CTL 寄存器的 IRQCKOUT 位为 1，实现 IRQ 引脚输出晶振时钟。此时，IRQ 引脚须配置为推挽输出模式（IRQMODE = 1），以求达到最佳效果。

2.4. 典型外设模块

2.4.1. GPIO 电路

最多支持 35 个通用输入 / 输出引脚（GPIO）的模式配置。每个 GPIO 端口将根据芯片的当前工作模式确定该端口的当前功能，包括输入/输出模式。每个 GPIO 引脚可以配置为上拉 / 下拉或浮空。当引脚处于输出模式时，引脚可以配置为推挽/漏极开路/源极开路输出。

- 每个引脚具有弱上拉 / 下拉功能
- 推挽 / 漏极开漏 / 源极开漏输出使能控制
- 根据芯片模式配置选定引脚的功能

当芯片处于不同模式时，每个引脚具有不同的功能。

Digital IO 模式：当 PDI_TYPE = 0x04 时，AFIO 被调整为 Digital IO 模式。

当 PDI_TYPE = 0x80 且 MCU_PDI_TYPE 的引脚为 1 时，AFIO 调整为 EXMC 模式。

SPI 模式：当 PDI_TYPE 等于 0x80 且 MCU_PDI_TYPE 的引脚等于 0 时，AFIO 调整为 SPI 模式。

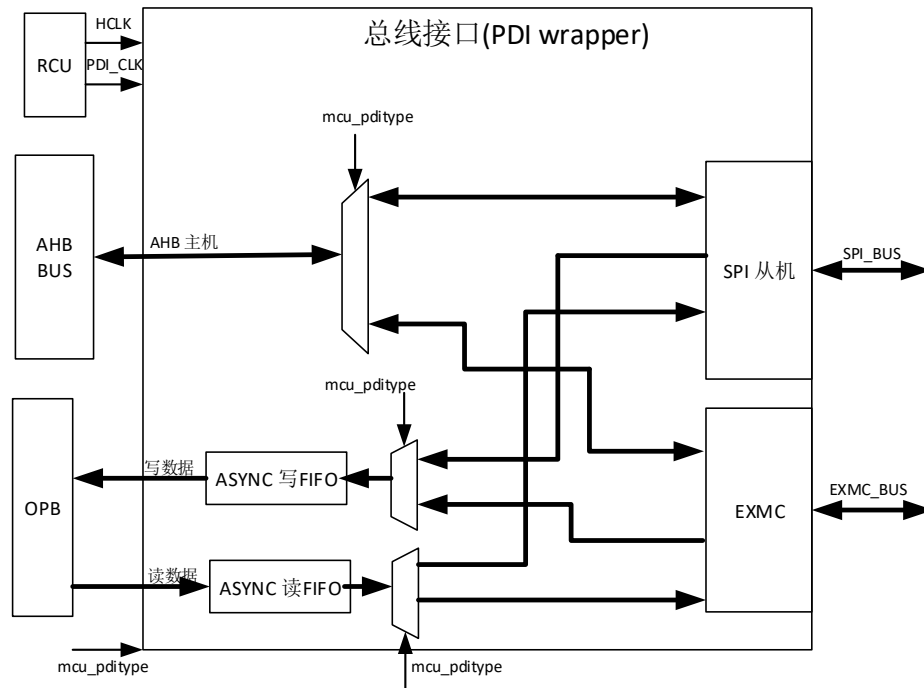
表 2-3. GPIO 配置表

模式名称	寄存器 / 信号	描述
EXMC	pdi_type / mcu_pdi_type / sip_mode	pdi_type == 0x80; mcu_pdi_type == 1'b1; sip_mode == 1'b0
DIO	pdi_type / sip_mode	pdi_type == 0x04; sip_mode == 1'b0
spi8w_gpio	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b11; LINKACTLED1 引脚必须外部下拉
spi4w_mii_down	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode / chip_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b10; chip_mode == 2'b10 LINKACTLED1 引脚必须在外部上拉
spi4w_mii_up	pdi_type / mcu_pdi_type / spi_ext_mode / sip_mode / line_mode / chip_mode	pdi_type == 0x80; mcu_pdi_type == 1'b0; sip_mode == 1'b0; line_mode == 2'b10; chip_mode == 2'b11; LINKACTLED1 引脚必须在外部上拉

2.4.2. 总线接口（PDI Wrapper）电路

在GDSCN中，EXMC和SPI SLAVE被封装成一个用于系统集成的包装器。PDI Wrapper用于在SPI和EXMC之间选择数据。内部集成了两个异步FIFO，每个都是16 x 32位。SPI SLAVE和EXMC一次只能工作一个，由MCU_PDITYPE（IO16）引脚选择。

图 2-8. PDI Wrapper 框图



SPI从机和EXMC不能同时有效。SPI从机或EXMC通过AHB通道访问寄存器，并通过异步读FIFO和异步写FIFO访问内核RAM数据。EXMC的数据路径与SPI从机相同。MCU_PDITYPE引脚选择工作访问接口模块。当MCU_PDITYPE引脚为0时，只有SPI从机可以访问内部数据。当MCU_PDITYPE引脚为1时，只有EXMC可以访问内部数据。PDI_CLK为SPI_SLAVE、EXMC和ASYNC_FIFO提供时钟。当MCU_PDITYPE的引脚为0时，PDI_CLK来自SPI_SCK。当MCU_PDITYPE的引脚为1时，PDI_CLK来自EXMC_CLK。HCLK是一个100MHz的系统时钟，为ASYNC_FIFO、SPI_SLAVE和EXMC提供时钟。

2.4.3. 以太网 PHYS

GDSCN包含两个电压型PHY A和B，它们在功能上是相同的。PHY A连接到EtherCAT端口0或2。PHY B连接到EtherCAT端口1。这些PHY通过内部MII接口与它们各自的MAC进行接口。可以配置为全双工100 Mbps（100BASE-TX）以太网操作。所有PHY寄存器遵循IEEE 802.3规定的MII管理寄存器，并且是完全可配置的。

- 完全符合IEEE 802.3 100 Base-TX标准，并支持EEE
- 自动协商和并行检测能力，用于自动速度和双工选择
- 支持MII接口
- 持即插即用的Auto-MDIX功能
- 可编程环回模式用于诊断
- 支持不同应用的可编程LED输出，开机自检LED
- 支持WOL（Wake-On-Lan）功能

图 2-9. PHY 功能模块图

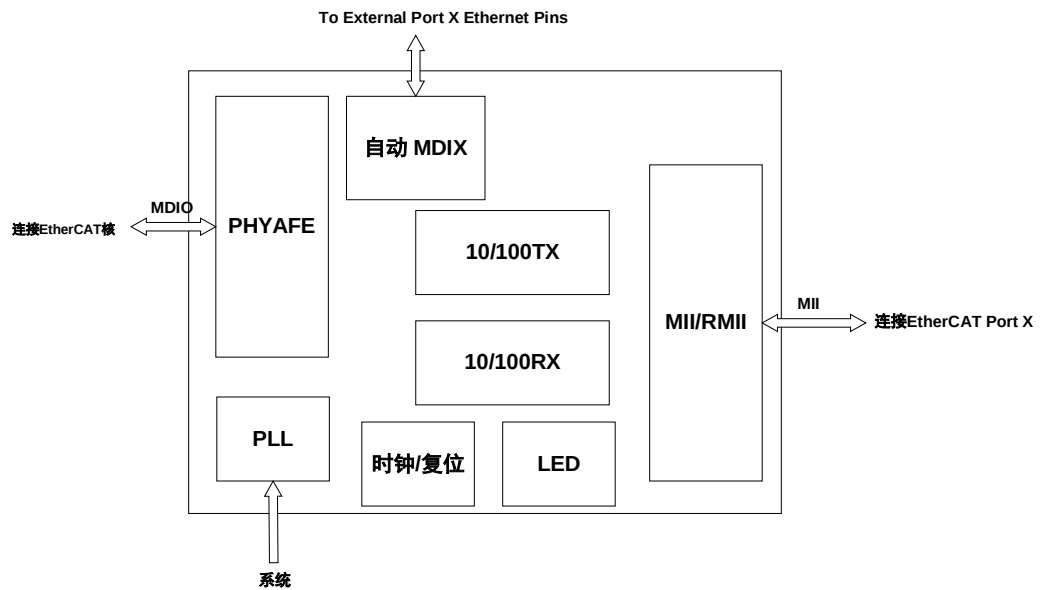
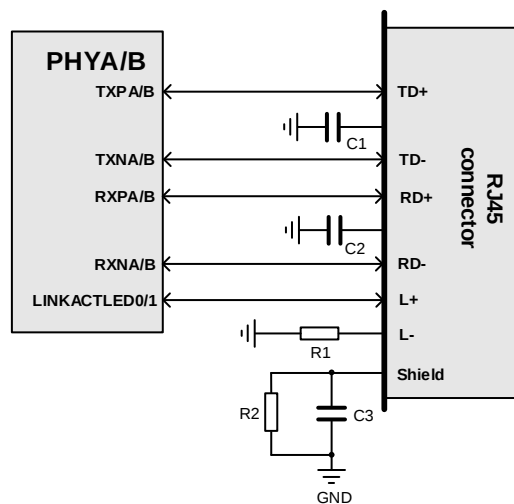


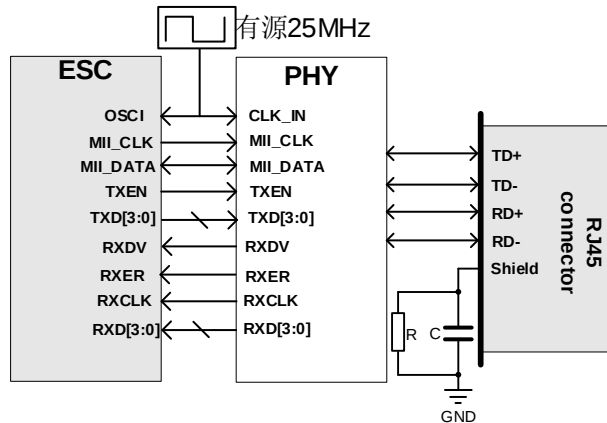
图 2-10. 内置 PHY 与 RJ45 网口(内部带变压器)连接示意图



推荐：R1 = 470 Ω ，R2 = 1 M Ω ，C1 = 0.1 μ F，C2 = 0.1 μ F，C3 = 4.7 nF。

GDSCN 为外部 PHY 提供了一个 MII 接口。使用外部 PHY 连接示意图如[图 2-11. 使用外部 PHY 的连接示意图](#)所示。

图 2-11. 使用外部 PHY 的连接示意图



注意：使用外部PHY与OSC芯片连接时，需要使用同一有源时钟。

2.5. 低功耗模式

功耗设计是GDSCN832系列产品比较注重的问题之一。电源管理单元（PMU）提供了四种设备级别的节能模式和三种模块级别的节能模式，设备级别的节能模式包括MOD0、MOD1、MOD2和MOD3，模块级别的节能模式包括EtherCAT时钟管理、PHY电源管理和LED引脚电源管理。这些模式降低了功耗，并允许应用程序在设备运行时间、速度和功耗之间的冲突需求之间实现最佳权衡。PMU还支持唤醒事件检测和电源管理事件（PME）通知。

PME 模块负责处理 PMU_CTL 寄存器中的 EDWOLASTAT 和 EDWOLBSTAT 位的锁存功能。可以参考 [图 2-12. PME 中断待处理](#)，了解 PME 中断控制的逻辑。如果置位了 EDWOLAEN 或 EDWOLBEN，当端口 A 或 B 的 PHY 发生能量检测 / WoL 事件时，中断状态寄存器中的 PMEIF 位将被置位。当置位 PMWUPCFG 时，PME 事件可以在某些设备级节能模式下自动唤醒系统。

图 2-12. PME 中断待处理

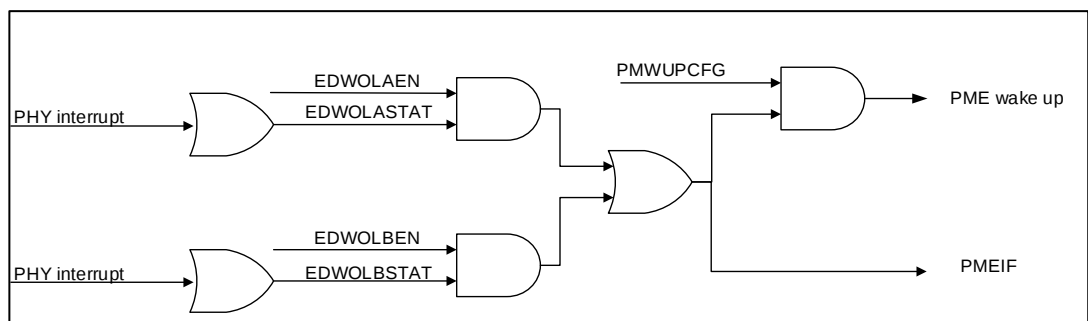
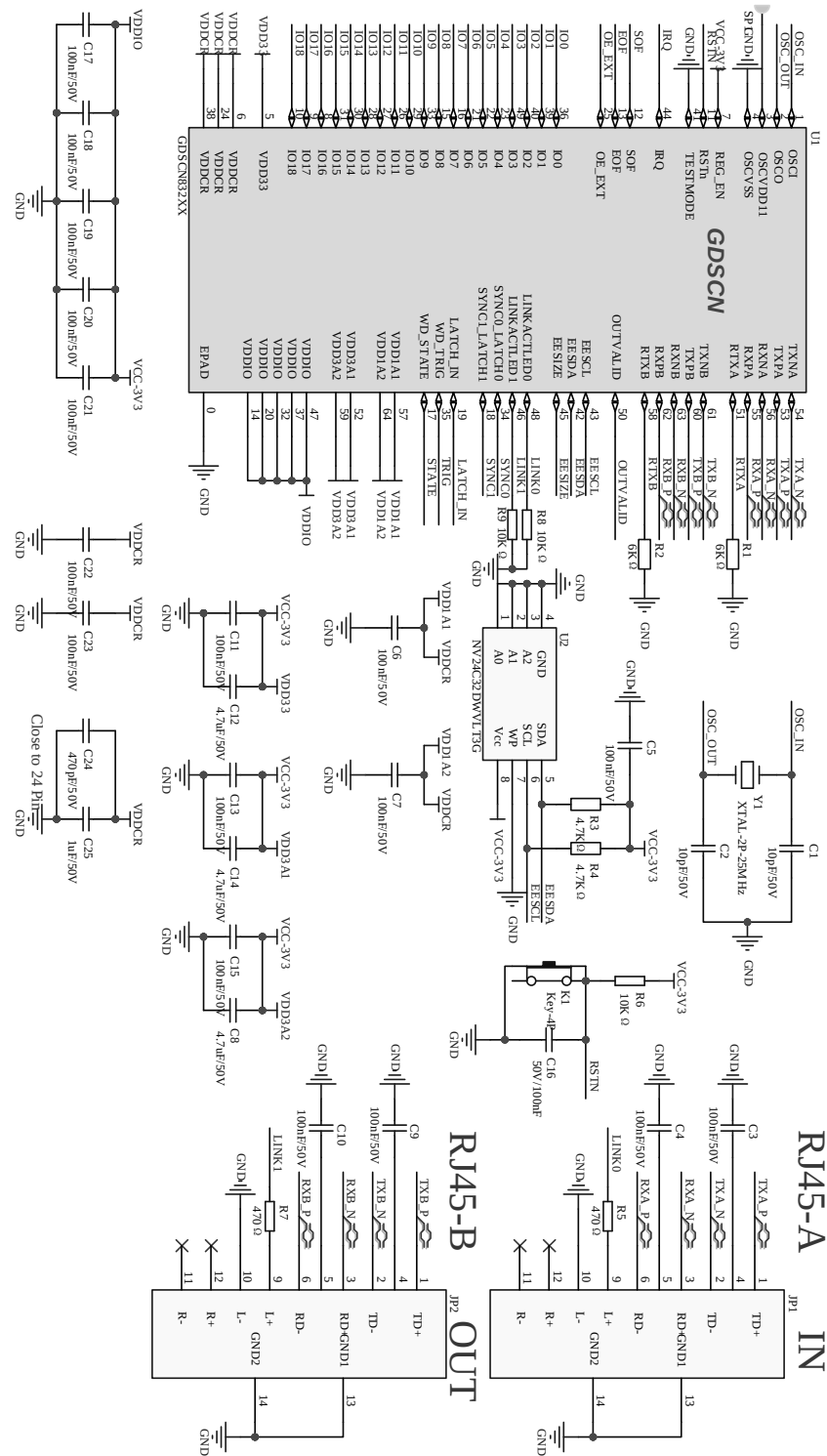


表 2-4. 节能模式总结

Mode	PLL	System clocks	Network clocks	XTAL
MOD0	ON	ON	usable	ON
MOD1	ON	OFF	usable	ON
MOD2	OFF	OFF	usable	ON
MOD3	OFF	OFF	OFF	OFF

2.6. 参考原理图设计

图 2-13. GDSCN832 推荐参考原理图设计



3. PCB Layout 设计

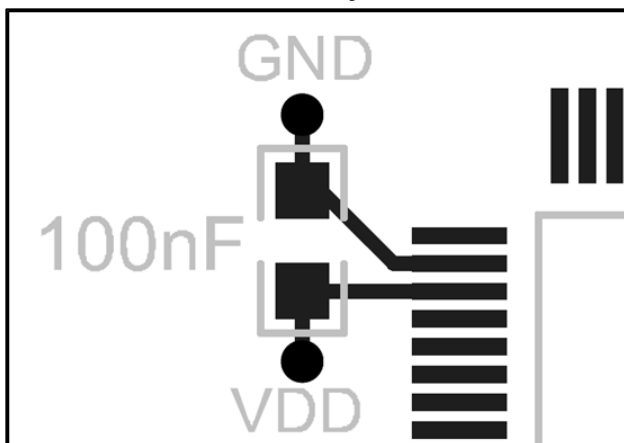
为增强OSC的功能稳定性及EMC性能，不仅需要考虑配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得OSC下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将OSC远离这些强干扰源。

3.1. 电源去耦电容

GDSCN832系列电源有V_{DD33}、V_{DD3Ax}、V_{DDIO}、V_{DD1Ax}、V_{DDCR}等供电脚，100 nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达OSC电源引脚，建议可通过靠近电容PAD处打过孔的形式Layout。

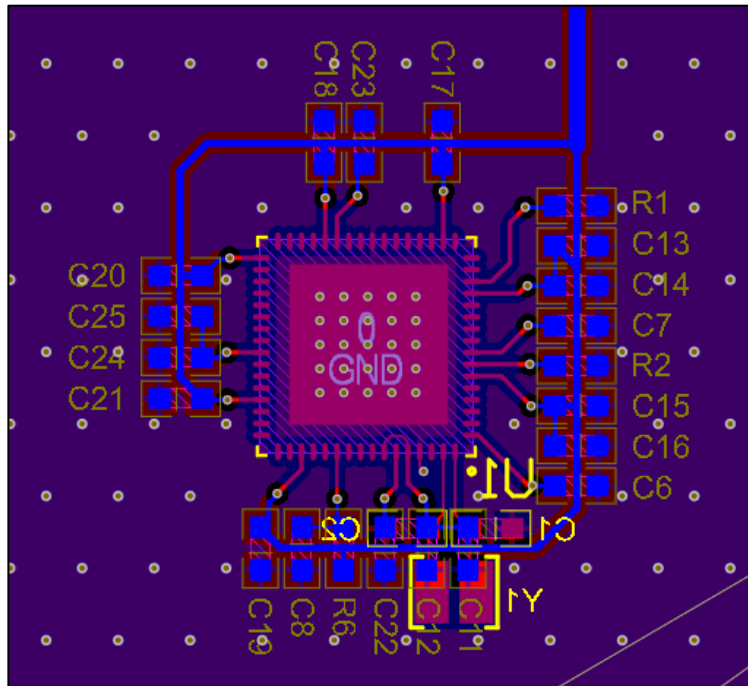
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 1.1 V 电源域电路

当前1.1 V电源域推荐使用SMPS供电模式或旁路模式。为了增强OSC的功能稳定性及EMC性能，电源电路不仅需要考虑配套外围元器件性能，还要考虑PCB Layout。

图 3-2. 内部 LDO 供电模式推荐 layout 图

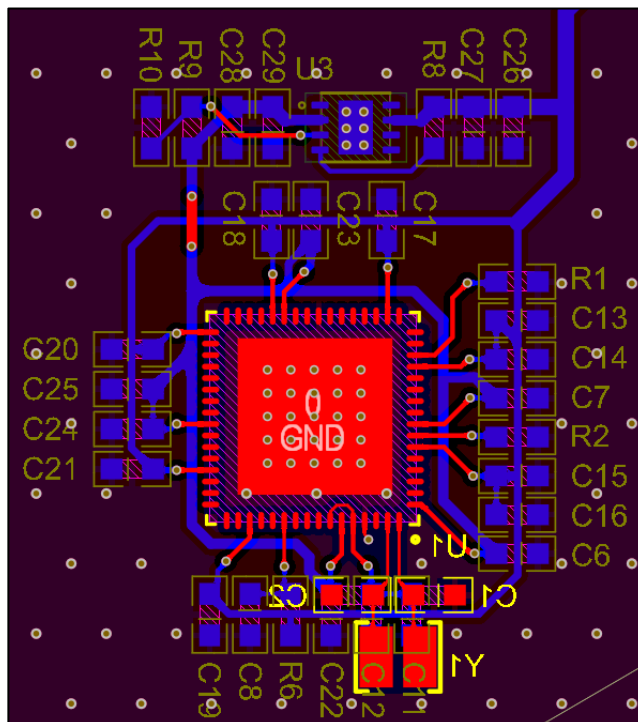


旁路模式的PCB Layout需要遵循以下要求：

- 1、使用外部电源给VDDCR供电需要注意在输出大电流情况下的线阻导致的线损，避免末端电压低于规定要求；
- 2、需要采取散热措施避免外部电源发热影响ESC的散热以及其本身性能；
- 3、务必使芯片的VDDCR引脚各自连在一起，接到外部电源输出端。

旁路模式推荐layout如 [图3-3. 旁路模式推荐layout图](#)所示：

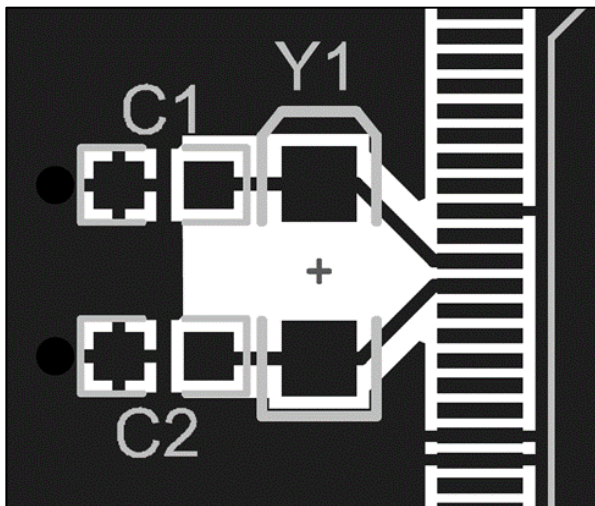
图 3-3. 旁路模式推荐 layout 图



3.3. 时钟电路

GDSCN832系列时钟有XTAL，要求时钟电路（包括晶体或晶振及电容等）靠近OSC时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-4. 推荐时钟引脚 Layout 设计（无源晶体）



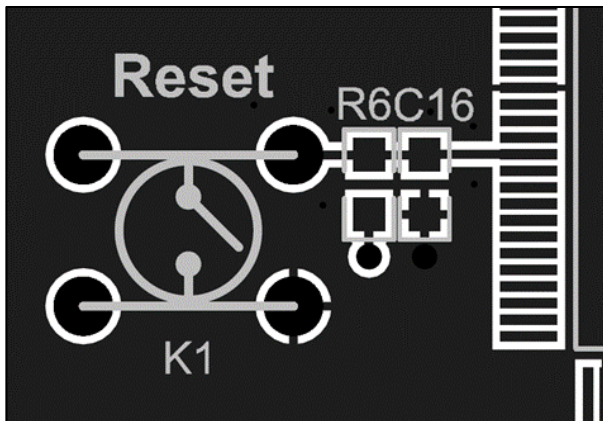
注意：

1. 晶体尽量靠近OSC时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与OSC在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.4. 复位电路

RSTN走线PCB Layout参考如下：

图 3-5. 推荐 RSTN 走线 Layout 设计

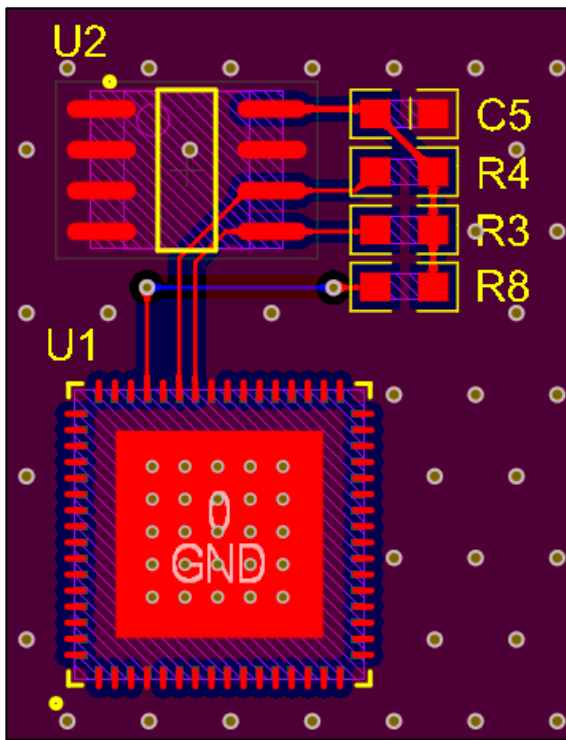


注意：复位电路阻容等尽可能地靠近RSTN引脚，且RSTN走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将RSTN走线做包地处理，以起到更好的屏蔽效果。

I2C 电路

对于GDSCN832系列I2C模块有EESCL、EESDA两根信号线,需要接电阻上拉至电源VDD33。EESIZE引脚需要根据EEPROM芯片容量大小选择电阻上拉还是下拉,当EEPEOM芯片容量大于16 K时,则EESIZE引脚需要通过电阻上拉至电源VDD33,否则下拉至GND。

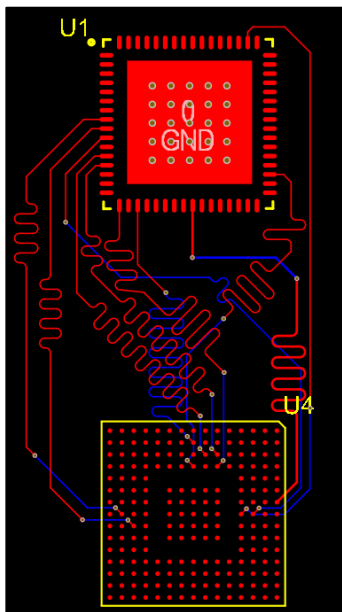
图 3-6. 推荐 I2C 走线 Layout 设计



OSPI 电路

GDSCNxx系列OSPI模块支持双线、四线和八线SPI。使用OSPI通信时，IO16引脚需通过电阻下拉至GND，OSPI走线PCB Layout参考如下：

图 3-7. 推荐 OSPI 走线 Layout 设计



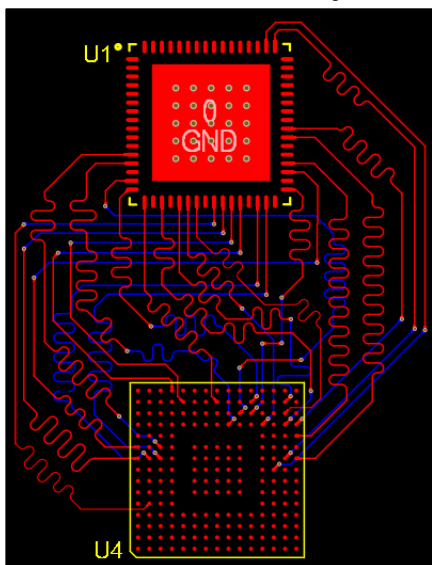
注意：

1. 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
2. OSPI的信号线及时钟线应尽可能的在表层走线并包地，等长应控制在300 mil以内（微带线蛇形走线间距建议为7H，带状线蛇形走线间距建议为5H，H为信号走线到参考平面的距离；走线若存在过孔，一般一个过孔算50 ~ 100 mil线长，视过孔长度决定）；
3. OSPI芯片应尽可能的靠近ESC放置，远离电源及功率器件等干扰源；
4. 若信号线或时钟线信号较差，可以考虑在存储器端增加端接电阻。

3.7. EXMC 电路

GDSCNxx 系列使用 EXMC 通信时，IO16 引脚需通过电阻上拉至 VDD33，EXMC 走线 PCB Layout 参考如下：

图 3-8. 推荐 EXMC 走线 Layout 设计



注意:

1. 避免信号走线穿越电源分割区域, 并保持信号参考平面完整;
2. EXMC的信号线及时钟线应尽可能的在表层走线并包地, 等长应控制在300 mil以内(微带线蛇形走线间距建议为7H, 带状线蛇形走线间距建议为5H, H为信号走线到参考平面的距离; 走线若存在过孔, 一般一个过孔算50 ~ 100 mil线长, 视过孔长度决定);
3. EXMC芯片应尽可能的靠近ESC放置, 远离电源及功率器件等干扰源;
4. 若信号线或时钟线信号较差, 可以考虑在存储器端增加端接电阻。

3.8. Ethernet 接口电路

GDSCN832系列集成两个电压型PHY, 每个PHY模块有TXPx、TXNx和RXPx、RXNx两对差分信号线, 如果连接外部PHY, PHY芯片也会引出TXPx、TXNx和RXPx、RXNx两对差分信号线, 建议PCB走线要求做特性阻抗100 Ω , 差分走线严格按照等长等距规则来走, 且尽量使走线最短。如果两条差分线不等长, 可在终端用蛇形线补偿短线。

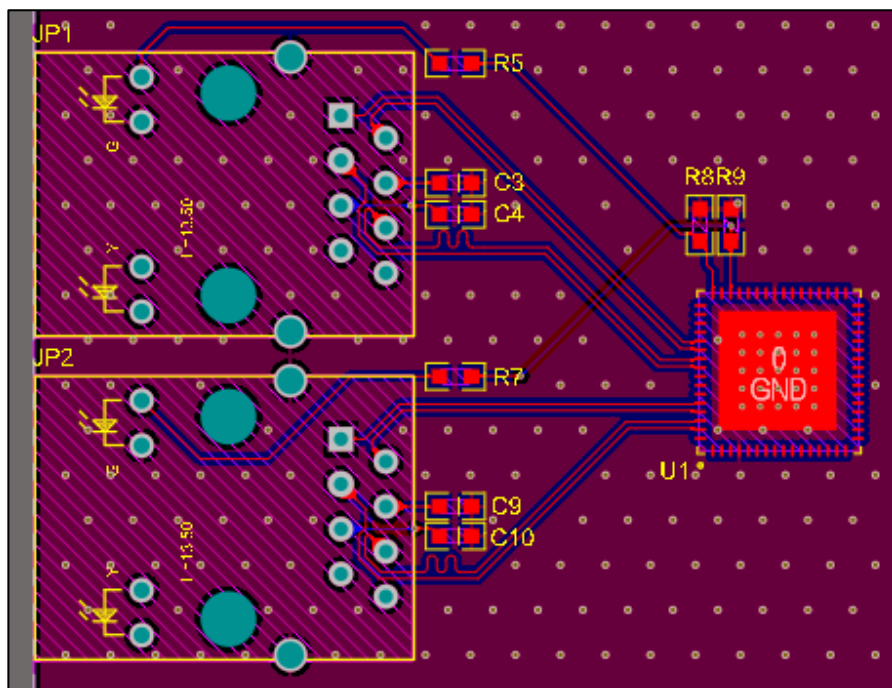
TXPx、TXNx和RXPx、RXNx差分走线注意事项如下:

1. 布局时摆放合理, 以缩短差分走线距离;
2. 优先绘制差分线, 一对差分线上尽量不要超过两对过孔, 且需要对称放置;
3. 对称平行走线, 保证两根线紧密耦合, 避免90°、弧形或45°走线方式;
4. 差分走线上所接阻容、EMC等器件, 或测试点, 也要做到对称原则。

对于外接PHY芯片模块, ESC与外部PHY之间的数据线与信号控制线也尽量走短, 需要用蛇形线做等长处理, 注意事项如下:

1. 布局时摆放合理, PHY芯片与ESC之间尽量紧凑;
2. 布线时, 以信号线中最长的一根线长度为目标, 将其他信号线通过蛇形走线补偿即可。

图 3-9. 推荐 Ethernet 接口电路走线 Layout 设计



4. 封装说明

GDSCN832xx系列有1种封装形式，QFN64。

表 4-1. 封装型号说明

产品型号	封装
GDSCN832R2U6	QFN64(9x9, 0.5 pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2025 年 9 月 22 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.