GigaDevice Semiconductor Inc.

GD32F3x0 芯片使用限制

勘误手册

1.4 版本

(2025 年 6 月)

目录

目录 2

图索引 4

表索引 5

1. 前言 6

1.1. 芯片版本定义 6

1.2. 芯片使用限制总览 6

2. 芯片使用限制描述 8

2.1. FMC 8

2.1.1. 在对非零等待区进行半字编程时，如果先写高地址再写相邻的低地址，会导致 PGERR 置位 8

2.2. PMU 8

2.2.1. 在进入深度睡眠之前发生中断时，MCU 不能被唤醒 8

2.2.2. 无法正常进入待机模式 9

2.2.3. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒 10

2.3. RCU 10

2.3.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位 10

2.3.2. 当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒 11

2.4. ADC 11

2.4.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误 11

2.5. DAC 11

2.5.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点 11

2.6. TIMER 12

2.6.1. 当 BRKP 位为 0，如果使用 CMP 输出信号去触发 TIMER0 刹车时，则 TIMER0 的刹车一直有效 12

2.7. USART 12

2.7.1. 使用硬件流控方式时，USART 的高波特率会造成数据丢失 12

2.7.2. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR 12

2.7.3. 当 USART 被配置为半双工单线模式并且 TX / RX 引脚功能互换时，发送和接收的数据极性不一致 12
2.7.4. 静默模式下，唤醒地址发生噪声错误，帧错误和奇偶校验错误时，对应的错误标志位会置 1 13
2.7.5. 当停止位配置为 2 位时，只在第一个停止位检测帧错误 13
2.8. I2C 13
2.8.1. 由于 BTC 未清除导致多读回一个数据 13
2.9. USBFS 14
2.9.1. USBFS-OTG 在通过 HUB 与低速设备通信时，数据传输异常 14
2.10. Core 14
2.10.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成 14
3. 版本历史 16

图索引

图 1-1. GD32F3x0 的芯片修订版本..... 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6

1. 前言

该文档适用于 GD32F3x0 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

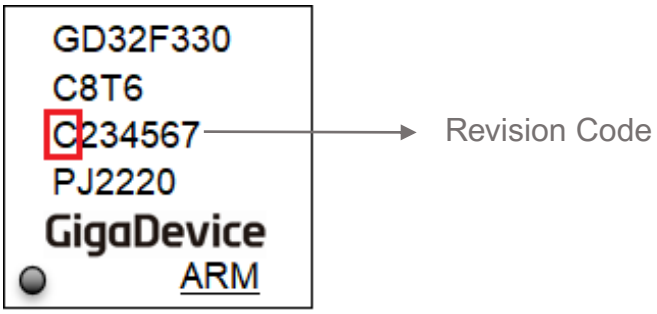
表 1-1. 适用产品

类型	产品系列
MCU	GD32F310xx 系列
	GD32F330xx 系列
	GD32F350xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32F3x0 的芯片修订版本*所示。

图 1-1. GD32F3x0 的芯片修订版本



1.2. 芯片使用限制总览

GD32F3x0 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案			
		修订版本 C	修订版本 E	修订版本 F	修订版本 G
FMC	*在对非零等待区进行半字编程时，如果先写高地址再写相邻的低地址，会导致 PGERR 置位*	Y	Y	Y	Y
PMU	*在进入深度睡眠之前发生中断时，MCU 不能被唤醒*	Y	Y	Y	Y
	无法正常进入待机模式	Y	Y	Y	Y
	在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒	N	N	N	N
RCU	*当 LXTAL 意外停振时，禁能 LXTAL 无法清除*	Y	Y	Y	Y

	LXTALSTB 位				
	当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒	Y	--	--	--
ADC	*当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误*	Y	Y	Y	Y
DAC	*在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点*	Y	Y	Y	Y
TIMER	*当 BRKP 位为 0，如果使用 CMP 输出信号去触发 TIMER0 刹车时，则 TIMER0 的刹车一直有效*	Y	Y	Y	Y
USART	*使用硬件流控方式时，USART 的高波特率会造成数据丢失*	N	--	--	--
	深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR	N	--	--	--
	*当 USART 被配置为半双工单线模式并且 TX/*RX 引脚功能互换时，发送和接收的数据极性不一致	N	--	--	--
	静默模式下，唤醒地址发生噪声错误，帧错误和奇偶校验错误时，对应的错误标志位会置 1	N	--	--	--
	当停止位配置为 2 位时，只在第一个停止位检测帧错误	N	--	--	--
I2C	*由于 BTC 未清除导致多读回一个数据*	Y	--	--	--
USBFS	*USBFS-OTG 在通过 HUB 与低速设备通信时，数据传输异常*	N	--	--	--
Core	*当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成*	Y	Y	Y	Y

注意：

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. FMC

2.1.1. 在对非零等待区进行半字编程时，如果先写高地址再写相邻的低地址，会导致 PGERR 置位

描述与影响

在对非零等待区进行半字编程时，如果先对高字地址的低半字地址写入半字数据，则后续对其相邻的低字地址的高半字地址进行半字编程会导致 PGERR 置位。例如先向 0x08010008 写入半字 0xA55A，则后续对 0x08010006 的半字写入操作会导致 PGERR 置位。

解决方案

在非零等待区使用字编程代替半字编程。

2.2. PMU

2.2.1. 在进入深度睡眠之前发生中断时，MCU 不能被唤醒

描述与影响

当系统应用程序存在其他中断代码(如滴答定时器，定时器周期中断等)，且需要通过 WFE 或 WFI 指令进入深度睡眠模式时，系统将存在运行一段时间后无法被唤醒的风险。

解决方案

在进入深度睡眠模式之前，应用程序需要屏蔽除 EXTI 唤醒源之外的所有中断，然后在唤醒后恢复所有需要的中断。最新的固件库已经规避了这个问题。参考代码如下：

```
void pmu_to_deepsleepmode(uint32_t ldo, uint32_t lowdrive, uint8_t deepsleepmodecmd)
{
    static uint32_t reg_snap[ 4 ];
    /* clear stbmod and ldolp bits */
    PMU_CTL &= ~((uint32_t)(PMU_CTL_STBMOD | PMU_CTL_LDOLP | PMU_CTL_LDEN |
PMU_CTL_LDNP | PMU_CTL_LDLP));

    /* set ldolp bit according to pmu_ldo */
    PMU_CTL |= ldo;

    /* low drive mode config in deep-sleep mode */
    if(PMU_LOWDRIVER_ENABLE == lowdrive) {
```

```
        if(PMU_LDO_NORMAL == ldo) {
            PMU_CTL |= (uint32_t)(PMU_CTL_LDEN | PMU_CTL_LDNP);
        } else {
            PMU_CTL |= (uint32_t)(PMU_CTL_LDEN | PMU_CTL_LDLP);
        }
    }
    /* set sleepdeep bit of Cortex-M4 system control register */
    SCB->SCR |= SCB_SCR_SLEEPDEEP_Msk;

    reg_snap[0] = REG32(0xE000E010U);
    reg_snap[1] = REG32(0xE000E100U);
    reg_snap[2] = REG32(0xE000E104U);
    reg_snap[3] = REG32(0xE000E108U);
    /* clear all interrupt except EXTI line wakeup source interrupt */
    REG32(0xE000E010U) &= 0x00010004U;
    REG32(0xE000E180U)   = 0XB7FFEF19U;
    REG32(0xE000E184U)   = 0XFFFFFBFFU;
    REG32(0xE000E188U)   = 0xFFFFFFFFU;

    /* select WFI or WFE command to enter deepsleep mode */
    if(WFI_CMD == deepsleepmodecmd){
        __WFI();
    }else{
        __SEV();
        __WFE();
        __WFE();
    }
    /* restore all interrupt */
    REG32(0xE000E010U) = reg_snap[0] ;
    REG32(0xE000E100U) = reg_snap[1] ;
    REG32(0xE000E104U) = reg_snap[2] ;
    REG32(0xE000E108U) = reg_snap[3] ;

    /* reset sleepdeep bit of Cortex-M3 system control register */
    SCB->SCR &= ~((uint32_t)SCB_SCR_SLEEPDEEP_Msk);
}
```

2.2.2. 无法正常进入待机模式

描述与影响

当系统应用程序存在其他中断代码(例如 Systick 1us 周期中断)且需要通过 WFI 指令进入待机模式时，系统无法正常进入待机模式。

解决方案

在进入待机模式前，应用程序需屏蔽除 RTC 唤醒源外的所有中断。

2.2.3. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒

描述与影响

当通过复位内部信号 STBY_CTL 进入待机模式时，如果存在小于 100ns 的毛刺信号，将会导致 MCU 无法被唤醒，因为窄的毛刺信号会导致内核电压异常。

注意：Tglitch 是 STBY_CTL 低电平与唤醒信号(PA0 高电平)之间的时间。

解决方案

无规避方案。

2.3. RCU

2.3.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位

描述与影响

当 LXTAL 意外停振时，LXTALSTB 位无法通过禁能 LXTAL 清除，导致 LXTAL 无法重新启动。

解决方案

使用以下方法之一：

1) 通过重复置位和复位 LXTALBPS 超过十次来清除 LXTALSTB 位，然后重新配置 LXTAL。以下是清除 LXTALSTB 位的参考代码：

```
void lxtal_stb_clear(void)
{
    volatile  uint32_t i = 0U;
    /* close LXTAL clock */
    rcu_osci_off(RCU_LXTAL);
    for(i = 0; i < 10; i++) {
        /* enable the LXTAL bypass mode */
        rcu_osci_bypass_mode_enable(RCU_LXTAL);
        /* disable the LXTAL bypass mode */
        rcu_osci_bypass_mode_disable(RCU_LXTAL);
    }
}
```

2) 将地址 0x40002808 处的 bit 30 先置位在复位，清除 LXTALSTB 位的参考代码如下(该解决方案仅适用于 G 版本芯片)：

```
/* clear LXTALSTB bit */
REG32(0x40002808) |= 0x40000000;
REG32(0x40002808) &= ~0x40000000;
```

2.3.2. 当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒

描述与影响

当 DSLP_HOLD 置位后且在深度睡眠模式下调试 MCU，MCU 在进入深度睡眠模式后无法唤醒。

解决方案

当置位 DSLP_HOLD 以启用低功耗调试时，应用程序需要在进入深度睡眠模式之前将系统时钟切换到 IRC8M。

2.4. ADC

2.4.1. 当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误

描述与影响

当 ADC 时钟相较于 PCLK 时钟慢很多时，在 EOC 置位后立刻读取 ADC_RDATA 寄存器会导致数据采集错误。

解决方案

在 EOC 标志置位后，延迟 2 个 ADC 时钟后再读取 ADC_RDATA 寄存器。

2.5. DAC

2.5.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点

描述与影响

当 DAC 配置为噪声模式且 DAC 输出值设置为较大值时，叠加值(DH+DWBW)将超过最大值 4095，导致 DAC 输出信号出现零电压异常断点。

解决方案

配置 DAC 输出值和噪声波峰值时，避免叠加值(DH+DWBW)溢出。

2.6. TIMER

2.6.1. 当 BRKP 位为 0,如果使用 CMP 输出信号去触发 TIMER0 刹车时,则 TIMER0 的刹车一直有效

描述与影响

当 BRKP 配置为低电平有效时，如果使用 CMP 输出信号去触发 TIMER0 刹车时，则 TIMER0 的刹车一直有效。

解决方案

配置 BRKP 为 1，使用高电平代替低电平去触发刹车。

2.7. USART

2.7.1. 使用硬件流控方式时，USART 的高波特率会造成数据丢失

描述与影响

在 USART 波特率较高的情况下，采用硬件流控方式时，由于接收端 RTS 上拉的时间滞后，导致发送端没有及时检测到 RTS 电平，导致 USART 发送端多发送一个数据。

解决方案

无规避方案。

2.7.2. 深度睡眠模式下，唤醒帧导致的奇偶校验错误会置位 PERR

描述与影响

深度睡眠模式下，由唤醒帧导致的奇偶校验错误会置位 USART_STAT 寄存器中的 PERR 位。

解决方案

软件上忽略该情况下的奇偶校验错误。

2.7.3. 当 USART 被配置为半双工单线模式并且 TX / RX 引脚功能互换时，发送和接收的数据极性不一致

描述与影响

当 USART 被配置为半双工单线模式并且 TX / RX 引脚功能互换时，如果 TINV 与 RINV 配置

不一致，将导致发送和接收的数据极性不一致。

解决方案

将 TINV 与 RINV 配置为相同配置。

2.7.4. 静默模式下，唤醒地址发生噪声错误，帧错误和奇偶校验错误时，对应的错误标志位会置 1

描述与影响

静默模式下，唤醒地址发生噪声错误，帧错误和奇偶校验错误时，对应的错误标志位会置 1。

解决方案

软件上忽略该情况下的错误标志。

2.7.5. 当停止位配置为 2 位时，只在第一个停止位检测帧错误

描述与影响

当停止位配置为 2 位时，只在第一个停止位检测帧错误。

解决方案

停止位长度不要配置为 2 位或使用软件方法去校验帧数据。

2.8. I2C

2.8.1. 由于 BTC 未清除导致多读回一个数据

描述与影响

当 RBNE 置位且 BTC 未置位时，如果在读取 I2C_DATA 寄存器数据之前发生中断且在中断处理过程中 BTC 标志被置位，那么 I2C 将额外读取一个数据，原因是只读取数据操作无法清除 BTC 标志。

解决方案

1) 使用中断方法读取 I2C_DATA 寄存器(需要更高的中断优先级)；
2) 使用 DMA 方法读取 I2C_DATA 寄存器(推荐)。

2.9. USBFS

2.9.1. USBFS-OTG 在通过 HUB 与低速设备通信时，数据传输异常

描述与影响

USBFS-OTG 在通过 HUB 与低速设备通信时，数据传输异常。

解决方案

无规避方案。

2.10. Core

2.10.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成

该限制参考了"Cortex-M4 & Cortex-M4 with FPU Software Developers Errata Notice"中的 Arm ID 编号 776924。

描述与影响

VDIV 和 VSQRT 指令执行需要 14 个周期。当发生中断时，VDIV 或 VSQRT 指令不会终止，而是在中断堆栈操作期间完成执行。如果启用了浮点状态的惰性上下文保存，浮点上下文的自动堆栈不会发生，直到在中断服务程序中执行了浮点指令。

惰性上下文保存默认启用。当启用时，中断服务程序中第一条指令开始执行的最短时间为 12 个周期。在某些时间条件下，如果中断服务程序中仅有一或两条指令，VDIV 或 VSQRT 指令可能无法将其结果写入寄存器组或 FPSCR。

故障发生条件如下：

1) 浮点单元已启用。
2) 惰性上下文保存未禁能。
3) 执行了 VDIV 或 VSQRT 指令。
4) VDIV 或 VSQRT 的目标寄存器为 s0 - s15 之一。
5) 中断发生并被响应。
6) 正在执行的中断服务程序未包含浮点指令。
7) 在执行 VDIV 或 VSQRT 后 14 个周期内，执行中断返回。

这 14 个周期中最少有 12 个周期用于上下文状态入栈，剩余 2 个周期供中断服务程序中的指令使用，或在整个入栈序列中应用 2 个等待状态(这意味着每次访问的等待状态并非固定)。

通常，这意味着如果存储系统在堆栈事务中插入等待状态，则此问题无法被观察到。

此限制的影响是 VDIV 或 VQSRT 指令未正确完成，寄存器组和 FPSCR 未更新，将导致这些

寄存器保存错误的过时数据。

解决方案

仅当浮点单元使能时才需要解决方案。如果堆栈位于外部存储器，则无需解决方案。

有两种可能的解决方案：

1) 通过将 FPCCR 地址 0xE000EF34 的第 30 位 LSPEN 清零(设置为 0)来禁能浮点状态的惰性上下文保存。
2) 确保每个中断服务程序除异常返回指令外包含多于 2 条指令。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 8 月 30 日
1.1	更新 1.2 小节注意事项	2023 年 4 月 4 日
1.2	1. 添加 PMU 使用限制，参考 2.1.3 小节 2. 添加内核限制，参考 2.12.1 小节	2023 年 11 月 2 日
1.3	1. 添加 FMC 使用限制，参考***在对非零等待区进行半字编程时，如果先写高地址再写相邻的低地址，会导致 PGERR 置位*** 2. 添加 RCU 使用限制，参考***当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位***与***当 DSLP_HOLD 置位后，MCU 在进入深度睡眠模式后无法唤醒*** 3. 添加 ADC 使用限制，参考***当 ADC 时钟相较于 PCLK 时钟慢很多时，会出现 ADC 数据采集错误*** 4. 添加 DAC 使用限制，参考***在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点*** 5. 添加 ***USART*** 使用限制 6. 添加 USBFS 使用限制，参考 ***USBFS-OTG 在通过 HUB 与低速设备通信时，数据传输异常*** 7. 添加 E/F 版芯片使用限制	2024 年 8 月 12 日
1.4	1. 更新 RCU 使用限制解决方案，参考***当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位*** 2. 删除 I2C 限制，***由于 I2C0 和 I2C1 的时序差异，导致赢得仲裁主机无法接收到 ACK，总线被阻塞*** 3. 添加 G 版芯片使用限制	2025 年 6 月 29 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved