GigaDevice Semiconductor Inc.

GD32F45x/F40x 芯片使用限制

勘误手册

1.5 版本

(2026 年 9 月)

目录

目录 2

图索引 4

表索引 5

1. 前言 6

1.1. 芯片版本定义 6

1.2. 芯片使用限制总览 6

2. 芯片使用限制描述 8

2.1. RCU 8

2.1.1. 系统时钟从高频切换到低频时会导致系统运行故障 8

2.2. GPIO 8

2.2.1. PA11 和 PA12 之间的存在电压差时，会影响深睡模式下的功耗 8

2.3. DMA 9

2.3.1. DMA 通道计数器重新配置无效 9

2.3.2. DMA 突发传输故障 9

2.4. IPA 9

2.4.1. 一个额外的像素将被传输 9

2.5. ADC 10

2.5.1. 当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常 10

2.5.2. ADC 对齐模式与用户手册描述不一致 10

2.5.3. 当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误 11

2.6. DAC 11

2.6.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点 11

2.7. RTC 12

2.7.1. 同时使用数字平滑校准和 FREQI 校准会导致校准异常 12

2.8. TIMER 12

2.8.1. 预装载值修改后仅在计数器上升沿生效 12

2.8.2. 定时器在单脉冲模式下工作时计数错误 12
2.9. USART 13
2.9.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒 13
2.9.2. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒 13
2.9.3. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位 13
2.10. I2C 13
2.10.1. I2C_FCTL 寄存器仅可在 GD32F450xx 上配置 13
2.11. SDIO 14
2.11.1. 在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位 14
2.12. EXMC 15
2.12.1. SDRAM 控制器不能与其他 EXMC 控制器进行分时使用 15
2.12.2. 当 NDWTEN 位被置位时，DSET 位和 ASET 位配置无效 15
2.13. CAN 15
2.13.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止 15
2.13.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去 16
2.14. ENET 16
2.14.1. MII 模式下数据接收异常 16
2.14.2. 当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃 16
2.14.3. 以太网帧间隔时间计算不符合 IEEE 802.3 以太网标准 16
2.14.4. 当启用第二帧操作功能时，ENET 模块在运行一段时间后概率性会遇到传输问题 17
2.15. Core 17
2.15.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成 17
3. 版本历史 19

图索引

图 1-1. GD32F45x/F40x 的芯片修订版本 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6
表 2-1. 常规转换的对齐模式 11
表 3-1. 版本历史 19

1. 前言

该文档适用于 GD32F45x/F40x 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

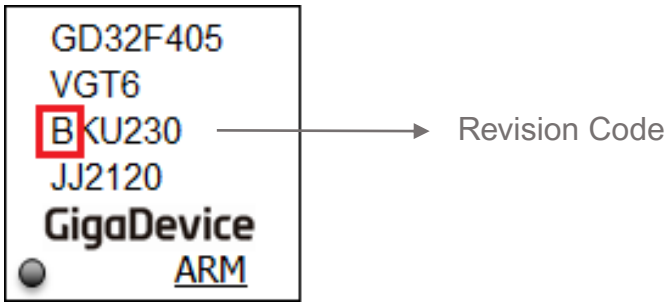
表 1-1. 适用产品

类型	产品系列
MCU	GD32F405xx 系列
	GD32F407xx 系列
	GD32F450xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32F45x/F40x 的芯片修订版本*所示。

图 1-1. GD32F45x/F40x 的芯片修订版本



1.2. 芯片使用限制总览

GD32F45x/F40x 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案
		修订版本 B
RCU	*系统时钟从高频切换到低频时会导致系统运行故障*	Y
GPIO	*PA11 和 PA12 之间的存在电压差时，会影响深睡模式下的功耗*	Y
DMA	*DMA 通道计数器重新配置无效*	Y
	DMA 突发传输故障	N
IPA	*一个额外的像素将被传输*	Y
ADC	*当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常*	Y
	ADC 对齐模式与用户手册描述不一致	Y
	当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC	Y

模块	使用限制	解决方案 修订版本 B
	数据采集错误	
DAC	*在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点*	Y
RTC	*同时使用数字平滑校准和 FREQI 校准会导致校准异常*	Y
TIMER	*预装载值修改后仅在计数器上升沿生效*	N
	定时器在单脉冲模式下工作时计数错误	Y
USART	*使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒*	Y
	通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒	Y
	通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位	Y
I2C	*I2C_FCTL 寄存器仅可在 GD32F450xx 上配置*	N
SDIO	*在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位*	Y
EXMC	*SDRAM 控制器不能与其他 EXMC 控制器进行分时使用*	N
	当 NDWTEN 位被置位时，DSET 位和 ASET 位配置无效	N
CAN	*在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止*	Y
	当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去	Y
ENET	*MII 模式下数据接收异常*	Y
	当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃	Y
	以太网帧间隔时间计算不符合 IEEE 802.3 以太网标准	N
	当启用第二帧操作功能时，ENET 模块在运行一段时间后概率性会遇到传输问题	Y
Core	*当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成*	Y

注意:

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. RCU

2.1.1. 系统时钟从高频切换到低频时会导致系统运行故障

描述与影响

当系统时钟从高频(超过 120MHz)切换到低频时，会导致系统运行故障。

解决方案

首先，降低系统频率(例如 HCLK / 2 或 HCLK / 4)；其次，延迟超过 20 个 HCLK 时钟周期；最后，切换到低频时钟。参考固件库中 system_gd32f4xx.c 文件的 RCU_MODIFY 宏。RCU_MODIFY 的参考代码如下：

```
#define RCU_MODIFY(__delay)     do{                                         \
                                    volatile uint32_t i;                    \
                                    if(0 != __delay){                       \
                                        RCU_CFG0 |= RCU_AHB_CKSYS_DIV2; \
                                        for(i=0; i<__delay; i++){           \
                                        }                                   \
                                        RCU_CFG0 |= RCU_AHB_CKSYS_DIV4; \
                                        for(i=0; i<__delay; i++){           \
                                        }                                   \
                                    }                                       \
                                }while(0)
```

2.2. GPIO

2.2.1. PA11 和 PA12 之间的存在电压差时，会影响深睡模式下的功耗

描述与影响

当 PA11 和 PA12 之间存在电压差时，将会导致系统深度睡眠模式下的功耗增加。

解决方案

保持 PA11 和 PA12 引脚电压一致。

2.3. DMA

2.3.1. DMA 通道计数器重新配置无效

描述与影响

在传输完成标志位(FTFIFx)或半传输完成标志位(HTFIFx)置位条件下，DMA 通道计数器重新配置无效。

解决方案

在重新配置 DMA 通道计数器之前，需清除传输完成标志位(FTFIFx)和半传输完成标志位(HTFIFx)。

2.3.2. DMA 突发传输故障

描述与影响

使用 DMA 突发传输时，当剩余待传输的字节数少于 FIFO 深度时，会产生传输错误。

解决方案

无规避方案。

2.4. IPA

2.4.1. 一个额外的像素将被传输

描述与影响

当使用寄存器值到存储器方向时，将额外传输一个像素。

解决方案

在使能 IPA 填充区域之前，尝试找到将被 IPA 填充功能覆盖的地址，保存数据并随后恢复。参考代码如下：

```
volatile uint16_t tmp_color1;
volatile uint16_t tmp_color2;
/* bytes_of_pixel depends on the DPF value of IPA_DPCTL register, when DPF equals to 0b010, bytes_of_pixel = 2 */
volatile uint8_t bytes_of_pixel;
if(0 == (IPA_DPCTL&IPA_DPCTL_DPF)){
    bytes_of_pixel = 4;
}else if(1 == (IPA_DPCTL&IPA_DPCTL_DPF)){
    bytes_of_pixel = 3;
```

```
}else if(2 == (IPA_DPCTL&IPA_DPCTL_DPF)){
    bytes_of_pixel = 2;
}
……
/* find the address that will be corrupted by IPA fill, save the data */
tmp_color1 = *(volatile uint16_t*)(IPA_DMADDR + (((IPA_IMS&IPA_IMS_WIDTH)>>16) +
IPA_DLOFF&IPA_DLOFF_DLOFF)*bytes_of_pixel*(IPA_IMS&IPA_IMS_HEIGHT));
tmp_color2 = *(volatile uint16_t*)(IPA_DMADDR + (((IPA_IMS&IPA_IMS_WIDTH)>>16) +
IPA_DLOFF&IPA_DLOFF_DLOFF)*bytes_of_pixel*(IPA_IMS&IPA_IMS_HEIGHT) + 2);
IPA_CTL |= IPA_CTL_TEN;
……
/* restore them */
*(volatile uint16_t*)(IPA_DMADDR + (((IPA_IMS&IPA_IMS_WIDTH)>>16) +
IPA_DLOFF&IPA_DLOFF_DLOFF)*bytes_of_pixel*(IPA_IMS&IPA_IMS_HEIGHT)) = tmp_color1;
*(volatile uint16_t*)(IPA_DMADDR + (((IPA_IMS&IPA_IMS_WIDTH)>>16) +
IPA_DLOFF&IPA_DLOFF_DLOFF)*bytes_of_pixel*(IPA_IMS&IPA_IMS_HEIGHT) + 2) = tmp_color2;
```

2.5. ADC

2.5.1. 当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常

描述与影响

当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常。

解决方案

使用 LSB 对齐模式或使用 8 位采样分辨率。

2.5.2. ADC 对齐模式与用户手册描述不一致

描述与影响

ADC 对齐模式与用户手册描述不符。

解决方案

正确的对齐模式描述如下：

表 2-1. 常规转换的对齐模式

对齐模式	分辨率	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LSB	12bit	0x0				数据											
	10bit	0x0				数据										0x0	
	8bit	0x0				数据								0x0			
	6bit	0x0				数据						0x0					
MSB	12bit	数据												0x0			
	10bit	数据										0x0					
	8bit	数据								0x0							
	6bit	无效															

2.5.3. 当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误

描述与影响

当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，在 EOC 置位后立刻读取 ADC_RDATA 寄存器会导致数据采集错误。

解决方案

在 EOC 标志置位后，延迟 2 个 ADC 时钟后再读取 ADC_RDATA 寄存器。

2.6. DAC

2.6.1. 在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点

描述与影响

当 DAC 配置为噪声模式且 DAC 输出值设置为较大值时，叠加值(DH+DWBW)将超过最大值 4095，导致 DAC 输出信号出现零电压异常断点。

解决方案

配置 DAC 输出值和噪声波峰值时，避免叠加值(DH+DWBW)溢出。

2.7. RTC

2.7.1. 同时使用数字平滑校准和 FREQI 校准会导致校准异常

描述与影响

同时使用数字平滑校准和 FREQI 校准会导致校准结果异常。

解决方案

1) 使用 RTC 移位功能替代数字平滑校准，例如设置 A1S 位并配置适当的 SFS 位以满足精度要求。
2) 使用两个 16 秒的校准窗口替代一个 32 秒的校准窗口。

2.8. TIMER

2.8.1. 预装载值修改后仅在计数器上升沿生效

描述与影响

预装载值在修改后仅在计数器上升沿生效，这可能对具有高时序要求的 PWM 应用造成问题。

解决方案

无规避方案。

2.8.2. 定时器在单脉冲模式下工作时计数错误

描述与影响

定时器在单脉冲模式下工作且 CK_APBx 为 CK_AHB / 4，CK_TIMER 为 CK_AHB / 2，将会导致计数错误。

解决方案

1) 不要使用上述时钟配置。
2) 使用定时器更新中断清除计数错误。

2.9. USART

2.9.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒

描述与影响

静默模式使能后，对 USART_CTL0 寄存器的操作会使 USART 从静默模式唤醒。

解决方案

当使能静默模式并使用硬件方式检测空闲帧唤醒时,不允许对 USART_CTL0 寄存器进行操作。当使能静默模式并使用软件方式检测空闲帧唤醒时，只在需要退出静默模式时才允许操作 USART_CTL0 寄存器。

2.9.2. 通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒

描述与影响

当 USART 工作在多处理器通信模式且通过空闲帧将 USART 从静默模式唤醒时，在总线处于空闲模式且 USART 进入静默模式后，将导致 USART 将无法被唤醒。

解决方案

当使用空闲帧唤醒 USART 静默模式时，在总线处于空闲时，不允许进入静默模式。

2.9.3. 通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位

描述与影响

通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位。如果此时开启了 IDLE 中断，则在空闲帧唤醒后会进入 IDLE 中断处理函数。

解决方案

在进入静默模式前关闭 IDLE 中断，并在需要的时候开启 IDLE 中断。

2.10. I2C

2.10.1. I2C_FCTL 寄存器仅可在 GD32F450xx 上配置

描述与影响

滤波器控制寄存器(I2C_FCTL)仅可在 GD32F450xx 上配置，而在 GD32F405xx 或 GD32F407xx 上不可配置。

解决方案

无规避方案。

2.11. SDIO

2.11.1. 在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位

描述与影响

在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位。

解决方案

使用以下解决方案之一：

1) 当使用轮询模式时，软件应同时检查 STBITE 标志和 DTEND 标志。仅当 STBITE 置位且 DTEND 未置位时，STBITE 标志才被视为有效。参考代码如下：

```
if ((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
   (RESET == sdio_flag_get(SDIO_FLAG_DTEND))){
    /* user code */
    ....
}
```

2) 当使用中断模式时，中断函数应优先处理 DTEND 标志，再处理 STBITE 标志，并在处理 DTEND 标志的代码中清除中断使能位 STBITEIE。参考代码如下：

```
void SDIO_IRQHandler(void){
    if((RESET != sdio_flag_get(SDIO_FLAG_DTEND)) && \\
       (0U != (SDIO_INTEN & SDIO_INTEN_DTENDIE))){
          sdio_interrupt_disable(SDIO_INT_STBITE);
           /* user code */
           ....
    }
    if((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
       (0U != (SDIO_INTEN & SDIO_INT_STBITE))){
           /* user code */
           ....
    }
}
```

3) 多块读不使用 CMD12 停止数据开放式传输的方式，而是使用 CMD23 提前通知从机设备需要传输的数据块数量。那么当 DTEND 置位后，从机不会再有多余的数据发送到数据线上。

2.12. EXMC

2.12.1. SDRAM 控制器不能与其他 EXMC 控制器进行分时使用

描述与影响

SDRAM 控制器无法与其他 EXMC 控制器分时使用。

解决方案

无规避方案。

2.12.2. 当 NDWTEN 位被置位时，DSET 位和 ASET 位配置无效

描述与影响

当等待功能使能时(NDWTEN = 1)，数据建立时间(DSET)和地址建立时间(ASET)配置无效。

解决方案

无规避方案。

2.13. CAN

2.13.1. 在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止

描述与影响

当所有等待的发送邮箱按照先进先出的顺序发送(TFO=1)时，如发送顺序为 0->1->2。当中止邮箱 2 发送时，若邮箱 1 仍为 pending 状态，则邮箱 1 也会被中止，即发送邮箱 1 中的数据没有被发送出去。

解决方案

使用以下解决方案之一：

1) 在中止最低优先级发送邮箱之前，确保第二优先级的发送邮箱不为 pending 状态。
2) 在中止最低优先级发送邮箱之后，重新配置第二优先级和最低优先级发送邮箱并发送。

2.13.2. 当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去

描述与影响

当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去。例如 TFO 置 0 时，配置发送邮箱 1 的 ID 为 0x1FFFFFFF，则发送邮箱 1 中的数据无法发出。

解决方案

使用以下解决方案之一：

1. 当标识符为 0x1FFFFFFF 时，使用发送邮箱 0 进行数据帧发送。
2. 使用先来先发送(FIFO)的顺序发送，即 TFO =1。

2.14. ENET

2.14.1. MII 模式下数据接收异常

描述与影响

当 ENET_MII_COL / ENET_MII_CRS / ENET_MII_RX_ER 引脚处于浮空状态且外部 PHY 不包含这些引脚时，将导致数据接收故障。

解决方案

将 ENET_MII_COL 引脚和 ENET_MII_RX_ER 引脚配置为 AF 功能并保持低电平。ENET_MII_CRS 引脚的模式和状态可以忽略。

2.14.2. 当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃

描述与影响

当启用硬件校验和且报头校验和为 0x0000 时，此帧将被误认为错误帧并被硬件丢弃。

解决方案

使用软件校验和替代硬件校验和。

2.14.3. 以太网帧间隔时间计算不符合 IEEE 802.3 以太网标准

描述与影响

通过 IGBS 配置帧间间隙，其帧间隔时基为 MAC 内部 MII TX 时钟(MII_TX_CLK)，帧间隔时间计算公式为(1/MII_TX_CLK)*IGBS。例如，在 100Mbit/s 速率下，MII_TX_CLK 为 25MHz，

对应时间计算为 40ns*IGBS，即当 IGBS 配置为 96bit 时，帧间间隔为 40ns*96 = 3.84us。

解决方案

无规避方案。

2.14.4. 当启用第二帧操作功能时，ENET 模块在运行一段时间后概率性会遇到传输问题

描述与影响

当启用对第二帧的操作(OSF=1)功能时，ENET 模块在运行一段时间后概率性会遇到传输问题，例如无法发送帧，或实际发送的每个帧都是在前一次传输期间计划发送的帧。

解决方案

不要使用第二个帧操作，确保 ENET_DMA_CTL 寄存器中的 OSF 位始终保持为 0。目前，在 GD 的官方固件库和 ENET 示例中，该位在初始化过程中默认保持为 0。如果开发者没有使用 GD 的固件库，则需要修改 ENET 初始化代码中的相应配置，以确保 OSF 位配置为 0。

2.15. Core

2.15.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成

该限制参考了"Cortex-M4 & Cortex-M4 with FPU Software Developers Errata Notice"中的 Arm ID 编号 776924。

描述与影响

VDIV 和 VSQRT 指令执行需要 14 个周期。当发生中断时，VDIV 或 VSQRT 指令不会终止，而是在中断堆栈操作期间完成执行。如果启用了浮点状态的惰性上下文保存，浮点上下文的自动堆栈不会发生，直到在中断服务程序中执行了浮点指令。

惰性上下文保存默认启用。当启用时，中断服务程序中第一条指令开始执行的最短时间为 12 个周期。在某些时间条件下，如果中断服务程序中仅有一或两条指令，VDIV 或 VSQRT 指令可能无法将其结果写入寄存器组或 FPSCR。

故障发生条件如下：

1) 浮点单元已启用。
2) 惰性上下文保存未禁能。
3) 执行了 VDIV 或 VSQRT 指令。
4) VDIV 或 VSQRT 的目标寄存器为 s0 - s15 之一。
5) 中断发生并被响应。
6) 正在执行的中断服务程序未包含浮点指令。

7) 在执行 VDIV 或 VSQRT 后 14 个周期内，执行中断返回。

这 14 个周期中最少有 12 个周期用于上下文状态入栈，剩余 2 个周期供中断服务程序中的指令使用，或在整个入栈序列中应用 2 个等待状态(这意味着每次访问的等待状态并非固定)。

通常，这意味着如果存储系统在堆栈事务中插入等待状态，则此问题无法被观察到。

此限制的影响是 VDIV 或 VSQRT 指令未正确完成，寄存器组和 FPSCR 未更新，将导致这些寄存器保存错误的过时数据。

解决方案

仅当浮点单元使能时才需要解决方案。如果堆栈位于外部存储器，则无需解决方案。

有两种可能的解决方案：

1) 通过将 FPCCR 地址 0xE000EF34 的第 30 位 LSPEN 清零(设置为 0)来禁能浮点状态的惰性上下文保存。
2) 确保每个中断服务程序除异常返回指令外包含多于 2 条指令。

3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 5 月 30 日
1.1	1. 添加 IPA 限制解决方案 2. 更新 1.2 小节注意事项	2023 年 4 月 4 日
1.2	添加内核使用限制，参考 2.12.1 小节	2023 年 10 月 20 日
1.3	更新 RCU 限制解决方案，参考***系统时钟从高频切换到低频时会导致系统运行故障***	2024 年 8 月 30 日
1.4	1. 添加 SDIO 模块使用限制，参考***在 SDIO 多线模式(4-bit 或 8-bit 数据宽度)下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位*** 2. 添加 ADC 模块使用限制，参考***当 ADC 时钟等于或低于其 APB 总线时钟的 1/4 时，会出现 ADC 数据采集错误*** 3. 添加 CAN 模块使用限制，参考***在 TFO 置 1 条件下，先后使能 3 个邮箱进行发送后，在中止最低优先级的发送邮箱时，会导致第二优先级的发送邮箱也会被中止***和***当 TFO 置 0 且发送邮箱 1 或 2 的标识符配置为 0x1FFFFFFF 时，会导致发送邮箱 1 或 2 中的数据无法发送出去*** 4. 添加 DAC 模块使用限制，参考***在 DAC 噪声模式下，当配置(DH+DWBW)值超过 4095 时，会导致 DAC 输出电压出现异常断点*** 5. 添加 USART 模块使用限制，参考***通过空闲帧将 USART 从静默模式唤醒时，再次进入静默模式时将无法被唤醒***和***通过空闲帧将 USART 从静默模式唤醒时，IDLEF 会置位*** 6. 添加 ENET 使用限制，参考***以太网帧间隔时间计算不符合 IEEE 802.3 以太网标准***	2026 年 4 月 28 日
1.5	1. 添加 ENET 使用限制，参考***当启用第二帧操作功能时，ENET 模块在运行一段时间后概率性会遇到传输问题***	2026 年 9 月 3 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2026 GigaDevice Semiconductor Inc. - All rights reserved