

GigaDevice Semiconductor Inc.

GD32F5HC 系列硬件开发指南

应用笔记

AN321

1.0 版本

(2026 年 04 月)

目录

目录.....	2
图索引	4
表索引	5
1. 前言	6
2. 硬件设计	7
2.1. 电源	7
2.1.1. 备份域.....	7
2.1.2. V _{DD} / V _{DDA} 电源域	8
2.1.3. 省电模式.....	8
2.1.4. 供电设计	9
2.2. 电源检测及复位	9
2.2.1. LVD	10
2.2.2. POR / PDR	11
2.2.3. NRST 引脚	11
2.3. 时钟	13
2.3.1. 外部高速晶体振荡时钟 (HXTAL)	14
2.3.2. 外部低速晶体振荡时钟 (LXTAL)	15
2.3.3. 时钟输出能力 (CKOUT)	16
2.3.4. HXTAL 时钟监视器 (CKM)	17
2.4. 启动配置	17
2.5. 典型外设模块.....	19
2.5.1. GPIO 电路	19
2.5.2. USART 电路	20
2.5.3. I2C 电路.....	21
2.5.4. SPI 电路	22
2.5.5. Battery 电路	23
2.5.6. ADC 电路	24
2.5.7. USB 电路.....	25
2.5.8. 待机模式唤醒电路.....	26
2.6. 下载调试电路.....	26
2.7. 参考原理图设计	29
3. PCB Layout 设计	30
3.1. 电源去耦电容.....	30
3.2. 时钟电路.....	31
3.3. 复位电路.....	31

3.4. USB 电路	32
3.5. BGA 封装的扇出	33
4. 钢网与焊接	34
4.1. 钢网	34
4.1.1. 钢网推荐厚度	34
4.1.2. 钢网的清洁与使用	34
4.2. 焊接	35
5. 封装说明	36
6. 版本历史	37

图索引

图 2-1. GD32F5HC 系列电源域概览	7
图 2-2. GD32F5HC 系列推荐供电设	9
图 2-3. RCU_RSTSCK 寄存器	10
图 2-4. 系统复位电路	10
图 2-5. LVD 阈值时序图	11
图 2-6. 上电 / 掉电复位时序图	11
图 2-7. 推荐外部复位电路	12
图 2-8. NRST 引脚上下电 MOS 管脉冲示意图	12
图 2-9. 时钟树	14
图 2-10. HXTAL 外部晶体电路	15
图 2-11. HXTAL 外部时钟电路（旁路模式）	15
图 2-12. LXTAL 外部晶体电路	16
图 2-13. LXTAL 外部时钟电路（旁路模式）	16
图 2-14. 推荐 BOOT 电路设计	19
图 2-15. 标准 IO 的基本结构	20
图 2-16. USART 参考电路	21
图 2-17. I2C 参考电路	21
图 2-18. SPI 四线模式参考电路	22
图 2-19. SPI 典型的全双工模式连接	22
图 2-20. SPI 典型的单工模式连接（主机：接收，从机：发送）	22
图 2-21. SPI 典型的单工模式连接（主机：发送，从机：接收）	23
图 2-22. SPI 典型的双向线连接	23
图 2-23. 不可充电电池参考电路	23
图 2-24. 不可充电电池参考电路	23
图 2-25. 可充电电池参考电路	24
图 2-26. ADC 采集电路设计	24
图 2-27. 在主机或设备模式下连接示意图	25
图 2-27. 推荐 USB 参考电路	26
图 2-28. 推荐待机模式外部唤醒引脚电路设计	26
图 2-29. 推荐 JTAG 接线参考设计	27
图 2-30. 推荐 SWD 接线参考设计	28
图 2-31. GD32F5HCxx 推荐参考原理图设计	29
图 3-1. 推荐电源引脚去耦 Layout 设计	30
图 3-2. Region 设计参考	31
图 3-3. 推荐时钟引脚 Layout 设计（无源晶体）	31
图 3-4. 推荐 NRST 走线 Layout 设计	32
图 3-5. 推荐 DM、DP 差分走线 Layout 设计	32
图 3-6. BGA64 封装的扇出方式	33
图 4-1. 推荐回流焊温度曲线	35

表索引

表 1-1. 适用产品	6
表 2-1. 节电模式总结	8
表 2-2. RTC 的省电模式	8
表 2-3. 不同复位类型下复位内容	9
表 2-4. 时钟输出 0 的时钟源选择	17
表 2-5. 时钟输出 1 的时钟源选择	17
表 2-6. BOOT0 模式	18
表 2-7. BOOT1 模式	18
表 2-8. TrustZone [®] 失能时引导模式, TZEN=0	18
表 2-9. TrustZone [®] 使能时引导模式, TZEN=1	19
表 2-10. 传输模式与上拉电阻参考关系	21
表 2-11. $f_{ADC} = 35\text{MHz}$ 采样周期与外部输入阻抗关系	24
表 2-12. JTAG 下载调试接口分配	27
表 2-13. SWD 下载调试接口分配	27
表 4-1. GD32F5HCxx 芯片推荐钢网厚度	34
表 4-2. 回流焊相关参数	35
表 5-1. 封装型号说明	36
表 6-1. 版本历史	37

1. 前言

该硬件应用开发指南是专为基于Arm® Cortex®-M33处理器和TrustZone®的高度集成的32位通用MCU GD32F5HC系列开发者提供的，他们需要对GD32F5HC系列产品硬件开发需要有个总体认识，如电源、复位、时钟、启动模式的设置及下载调试等。本开发指南的目的是让开发者快速上手使用GD32F5HC系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为八部分来讲述：

1. 电源，主要介绍GD32F5HC系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32F5HC系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32F5HC系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32F5HC系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32F5HC系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32F5HC系列硬件电路设计及PCB Layout设计注意事项；
7. 钢网与焊接，主要介绍钢网选择与使用方法及回流焊温度曲线；
8. 封装说明，主要介绍GD32F5HC系列所包含的封装形式及命名。

该文档也满足了基于GD32F5HC系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

类型	型号
MCU	GD32F5HCxx 系列

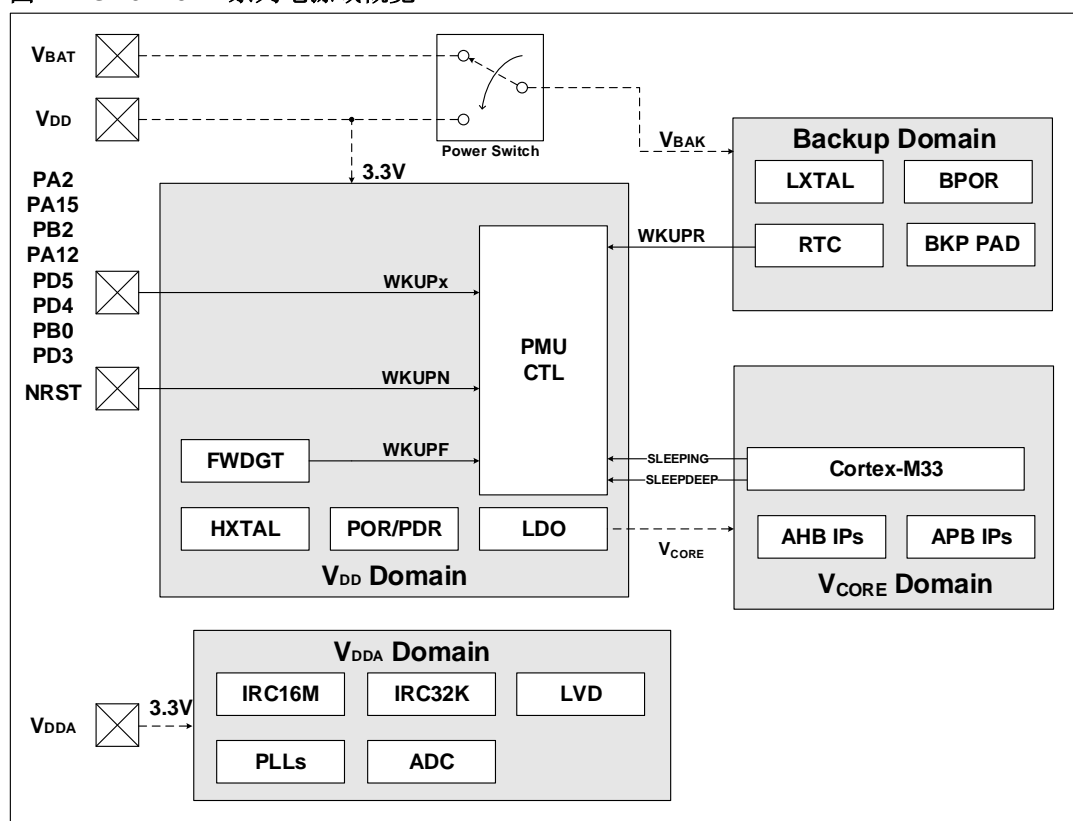
注意：本应用笔记仅作参考，若与用户手册或数据手册内容有冲突，以用户手册或数据手册为准。

2. 硬件设计

2.1. 电源

GD32F5HC系列 V_{DD} / V_{DDA} 工作电压范围为2.7 V - 3.63 V。如[图2-1. GD32F5HC系列电源域概览](#)所示，GD32F5HC系列设备有三个电源域，包括 V_{DD} / V_{DDA} 域， V_{CORE} 域和备份域。 V_{DD} / V_{DDA} 域由电源直接供电。在 V_{DD} / V_{DDA} 域中嵌入了一个LDO，用来为 V_{CORE} 域供电。在备份域中有一个电源切换器，当 V_{DD} 电源关闭时，电源切换器可以将备份域的电 源切换到 V_{BAT} 引脚，此时备份域由 V_{BAT} 引脚（电池）供电。

图2-1. GD32F5HC系列电源域概览



LVD: 低压检测器
POR: 上电复位

LDO: 电压调节器
PDR: 掉电复位

BPOR: 备份域上电复位

2.1.1. 备份域

备份域供电电压范围为1.62 V - 3.63 V。电池备份域由内部电源切换器来选择 V_{DD} 供电或 V_{BAT} （电池）供电，然后由 V_{BAK} 为备份域供电。为了确保备份域中寄存器的内容及RTC正常工作，当 V_{DD} 关闭时， V_{BAT} 引脚可以连接至电池或其他备份源供电。如果外部没有电池供电的应用，建议将 V_{BAT} 引脚通过100nF电容对地后接至 V_{DD} 引脚上。

关于 V_{BAT} 电源有以下注意事项：

关于 V_{BAT} 引脚的功耗，理论上，当MCU的 V_{DD} 上电时，备份域内部Switch连接到 V_{DD} 上， V_{BAT} 引

脚无电流。但是，当主程序有使用ADC通过内部channel测量V_{BAT}值时，由于MCU设计，会对V_{BAT}进行4分压，然后进ADC channel，因此会在V_{BAT}引脚上引起额外的功耗。

2.1.2. V_{DD} / V_{DDA} 电源域

V_{DD} / V_{DDA}电源域包括V_{DD}域和V_{DDA}域两部分。如果V_{DDA}不等于V_{DD}，要求两者之间的压差不能超过300 mV（芯片内部V_{DDA}与V_{DD}通过背靠背二极管连接）。为避免噪声，V_{DDA}可通过外部滤波电路连接至V_{DD}，相应的V_{SSA}通过特定电路（单点接地，通过0Ω电阻或者磁珠等）连接至V_{SS}。

2.1.3. 省电模式

GD32F5HC系列产品提供四种省电模式，分别是睡眠模式、深度睡眠模式、待机模式和SRAM睡眠模式，四种省电模式对比如[表2-1. 省电模式总结](#)所示。

表 2-1. 省电模式总结

模式	睡眠	深度睡眠	待机	SRAM 睡眠
描述	仅关闭 CPU 时钟	1、关闭 1.2V 电源域的所 有时钟 2、关闭 IRC16M、HXTAL 和 PLL	1、关闭 1.2V 电源 域的供电 2、关闭 IRC16M、 HXTAL 和 PLL	SRAM1 / SRAM2 / SRAM3 中至少一个 掉电
LDO 状 态	开启（正常功耗，正 常驱动模式）	开启（正常功耗或低功耗 模式，正常驱动或低驱动 模式）	关闭	开启（正常功耗模式 或者低功耗模式，正 常驱动或者低驱动模 式）
配置	SLEEPDEEP = 0	SLEEPDEEP = 1 STBMOD = 0	SLEEPDEEP = 1 STBMOD = 1, WURST=1	SRAMxPSLEEP = 1 (x = 1/2/3)
进入指令	WFI 或 WFE	WFI 或 WFE	WFI 或 WFE	-
唤醒	若通过 WFI 进入，则 任何中断均可唤醒； 若通过 WFE 进入， 则任何事件（或 SEVONPEND = 1 时 的中断）均可唤醒	若通过 WFI 进入，来自 EXTI 的任何中断可唤醒； 若通过 WFE 进入，来自 EXTI 的任何事件（或 SEVONPEND = 1 时的中 断）可唤醒	1、NRST 引脚 2、WKUP 引脚 3、FWDGT 复位 4、RTC	SRAMxPWAKE = 1 (x = 1/2/3)
唤醒延迟	无	IRC16M 唤醒时间 如果 LDO 处于低功耗模 式，需增加 LDO 唤醒时间	上电序列	100ns

注意：在待机模式下，除了RESET引脚，用作LXTAL晶振引脚的PC14和PC15，使能的WKUP引脚，其他所有I/O都处于高阻态。

针对RTC的省电模式，见[表2-2. RTC的省电模式](#)。

表 2-2. RTC 的省电模式

模式	模式下能否工作	退出该模式的方法
睡眠模式	是	RTC中断

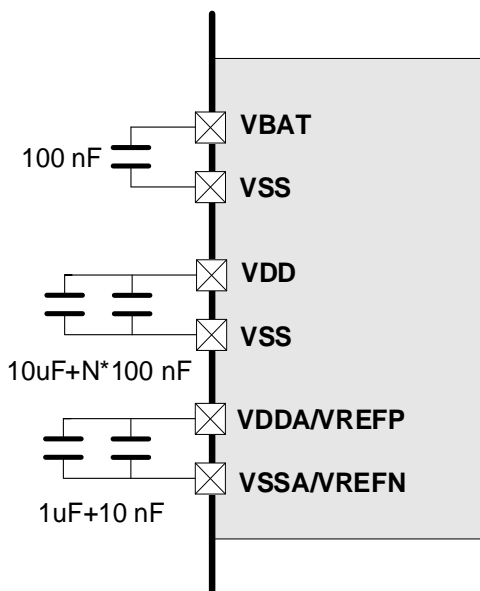
模式	模式下能否工作	退出该模式的方法
深度睡眠模式	当时钟源是LXTAL或IRC32K时可以工作	RTC闹钟/侵入事件/时间戳事件/唤醒事件
待机模式	当时钟源是LXTAL或IRC32K时可以工作	RTC闹钟/侵入事件/时间戳事件/唤醒事件

2.1.4. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD引脚必须外接对地电容（ $N * 100\text{nF}$ 陶瓷电容 + 不小于 $10\ \mu\text{F}$ 钽电容，至少一个VDD引脚需要接不小于 $10\ \mu\text{F}$ 电容到GND，其他VDD引脚接 $100\ \text{nF}$ ）；
- VDDA/VREFP引脚必须外接对地电容（建议 $10\ \text{nF} + 1\ \mu\text{F}$ 陶瓷电容）；
- VBAT引脚必须连接至外部电池，如果没有外部电池，建议将VBAT引脚通过 100nF 电容对地后接至VDD引脚上。

图 2-2. GD32F5HC 系列推荐供电设



注意：所有去耦电容须靠近芯片对应VDD、VDDA/VREFP、VBAT引脚放置。

2.2. 电源检测及复位

GD32F5HC系列复位包括三种控制方式：电源复位、系统复位和备份域复位。电源复位又称为冷复位，复位除备份域外的所有系统。系统复位将复位除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP。备份域复位将复位备份区域。复位能够被外部信号、内部事件和复位发生器触发。

表 2-3. 不同复位类型下复位内容

复位种类	电源复位	系统复位	备份域复位
复位内容	除了备份域的所有系统	除了SW-DP控制器和备份域之外的其余部分，包括处理器内核和外设IP	备份区域

MCU复位源可以通过查询寄存器RCU_RSTSCK获取，该寄存器只有上电复位，才能清除标志

位。所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志。之后再发生看门狗复位或其他复位事件时，才能较准确的在RCU_RSTSCK寄存器中体现出来。

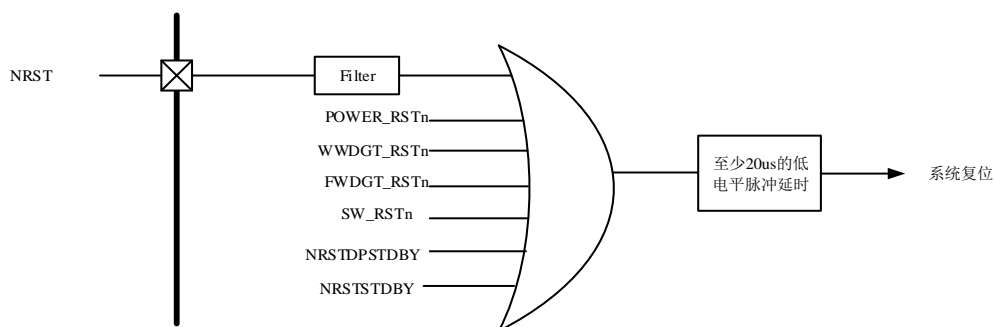
图 2-3. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	OBL	RSTFC	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	rw							
r	r	r	r	r	r	r	r	7	6	5	4	3	2	1	0
保留													IRC32K	IRC32KE	
													STB	N	
													r	rw	

电源和系统复位的过程中，NRST会维持一个低电平，直至复位结束。MCU无法执行起来时，可以通过示波器监测NRST引脚波形，来判断芯片是否有一直发生复位事件。

MCU内部集成有上电 / 掉电复位电路，当产生复位时，系统复位脉冲发生器保证每一个复位源（外部或内部）都能有至少20 μs的低电平脉冲延时。为防止误触发复位，NRST管脚建议放置一个电容（典型值为100nF）。[图2-4. 系统复位电路](#)中复位方式即为系统复位。

图2-4. 系统复位电路



当以下事件之一发生时，产生备份域复位：

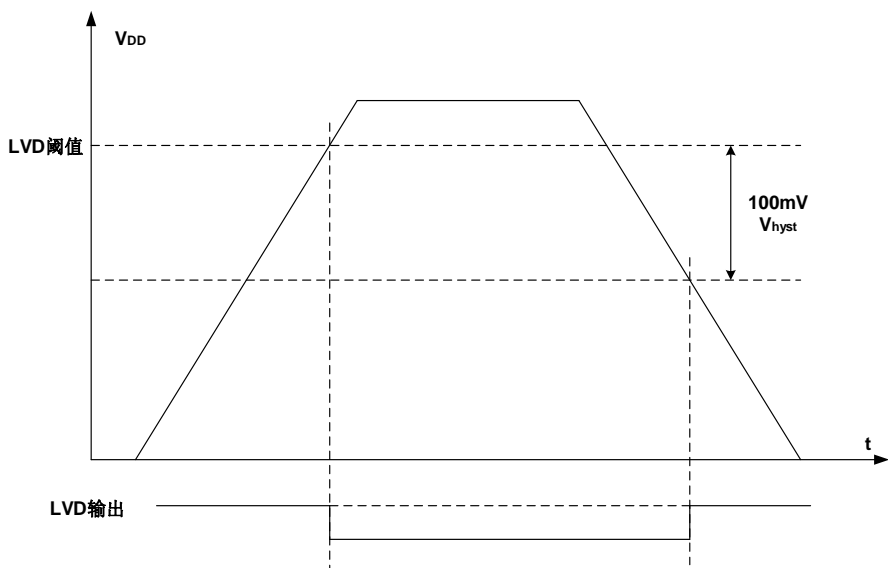
- 1、设置备份域控制寄存器中的BKPRST位为‘1’；
- 2、备份域电源上电复位（在V_{DD}和V_{BAT}两者都掉电的前提下，V_{DD}或V_{BAT}上电）。

2.2.1. LVD

LVD的功能是检测V_{DD} 供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器(PMU_CTL0)中的LVDT[2:0]位进行配置。LVD通过LVDEN置位使能，位于电源状态寄存器(PMU_CS0)中的LVDF位表示低电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-5. LVD阈值时序图](#)显示了V_{DD} / V_{DDA}供电电压和LVD输出信号的关系。(LVD中断信号依赖于EXTI第16线的上升或下降沿配置)。迟滞电压V_{hyst}值参考芯片数据手册。

LVD应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里设置软复位等操作，避免MCU发生其他异常。

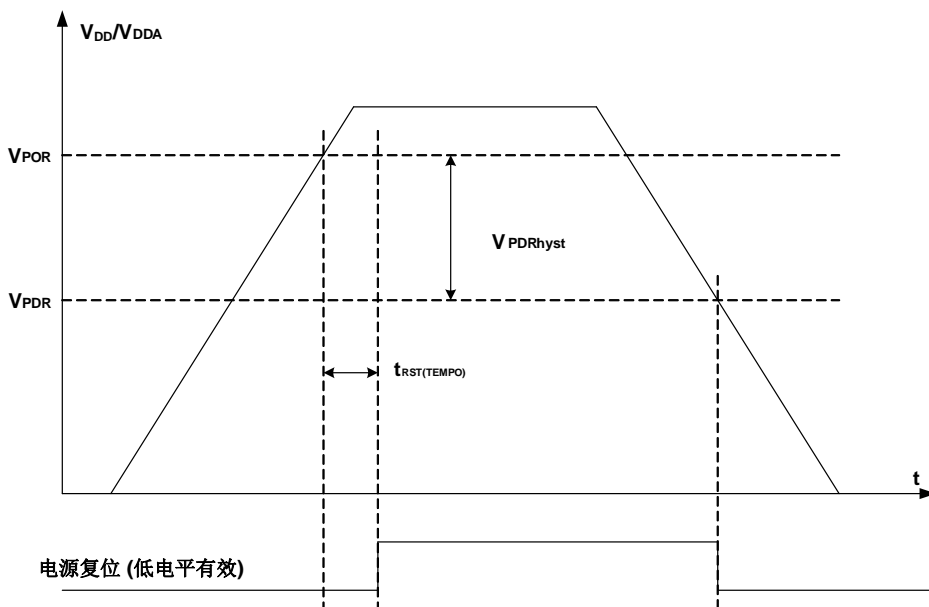
图2-5. LVD阈值时序图



2.2.2. POR / PDR

POR / PDR（上电/掉电复位）电路检测 V_{DD} / V_{DDA} 并在电压低于特定阈值时产生电源复位信号。复位除备份域之外的整个芯片。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压，迟滞电压 V_{hyst} 值参考芯片数据手册。其时序如 [图2-6. 上电 / 掉电复位时序图](#) 所示。

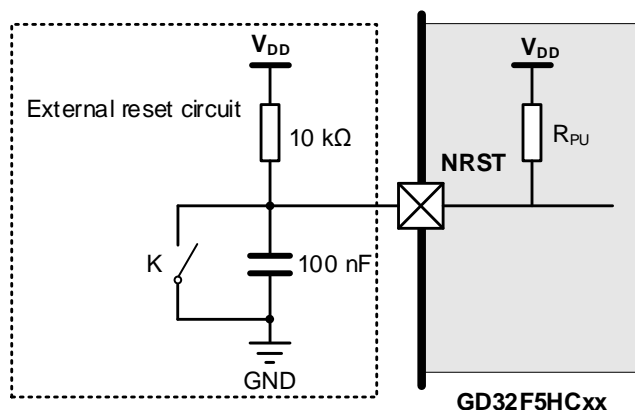
图2-6. 上电 / 掉电复位时序图



2.2.3. NRST 引脚

对于MCU的NRST引脚，为防止误触发复位，NRST管脚建议放置一个电容（典型值为100 nF）。

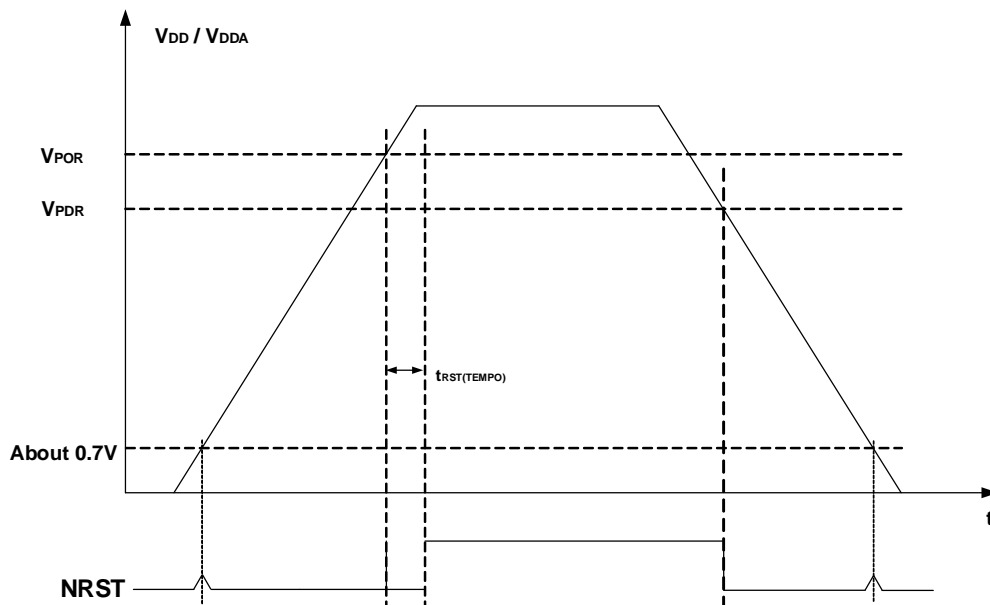
图 2-7. 推荐外部复位电路

**注意：**

1. 上拉电阻建议 10 kΩ 即可，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管；
3. 尽管 MCU 内部有硬件 POR 电路，仍推荐外部加 NRST 复位阻容电路；
4. 如果 MCU 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 MCU 复位完成时间，避开上电异常时序区。

因 MOS 管门限电压特性，在芯片上下电过程中，当 $V_{DD}/V_{DDA} < 0.7V$ 时，芯片内部下拉 MOS 管不会将 NRST 引脚拉低。即，在芯片上下电过程中，在 $V_{DD}/V_{DDA} \approx 0.7V$ 时，会出现一个微小脉冲，该脉冲不影响芯片正常工作，其示意如 [图 2-8. NRST 引脚上下电 MOS 管脉冲示意图](#) 中脉冲所示。

图 2-8. NRST 引脚上下电 MOS 管脉冲示意图



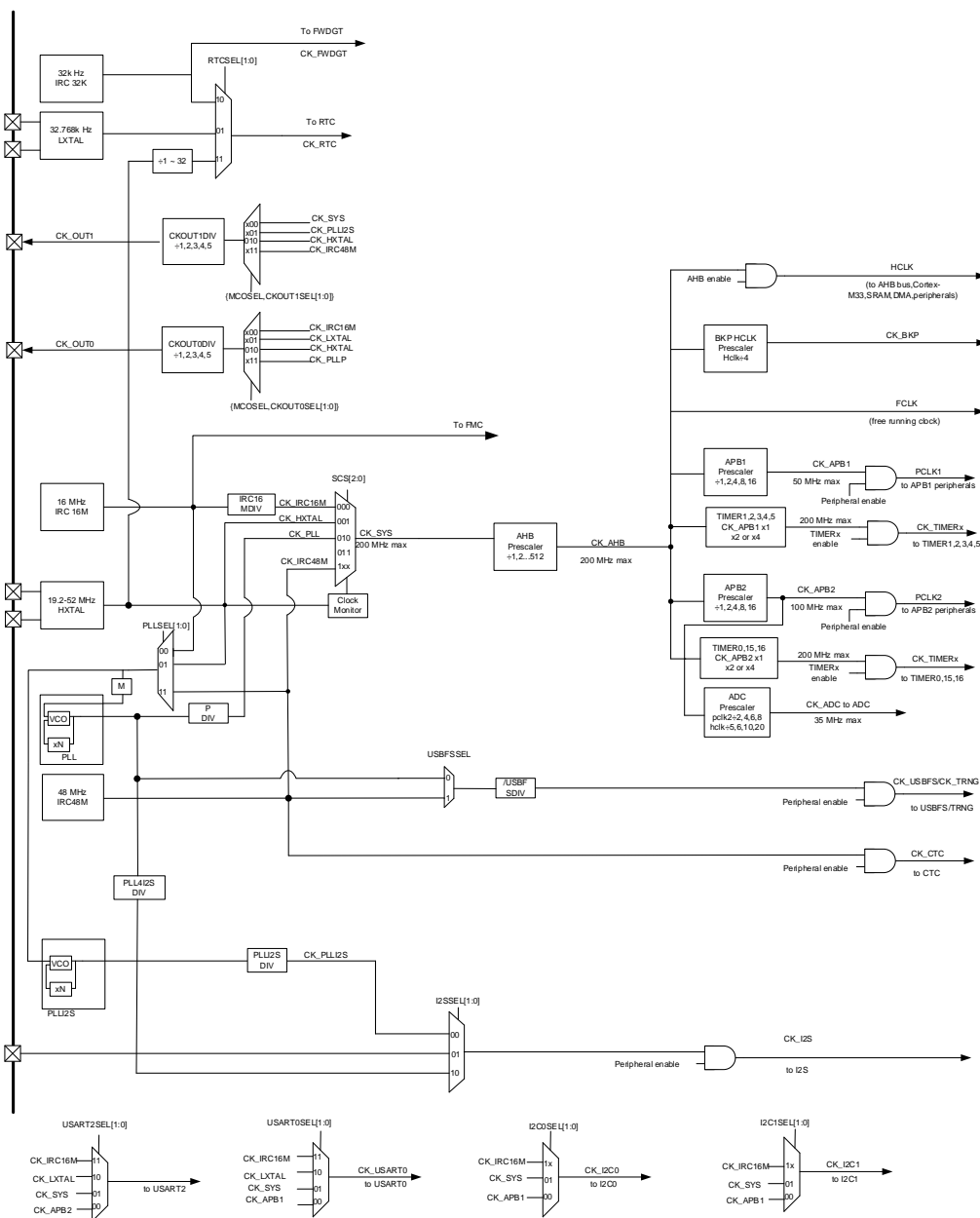
因充电和放电速度差异，下降沿的脉冲持续时间比上升沿长一些，二者持续时间都是 ms 级。

2.3. 时钟

GD32F5HC系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源。时钟主要特征：

- 19.2 - 52 MHz外部高速晶体振荡器（HXTAL）
- 内部16 MHz RC振荡器(IRC16M)
- 内部48 MHz RC振荡器(IRC48M)
- 32.768 kHz外部低速晶体振荡器 (LXTAL)
- 内部32 kHz RC振荡器(IRC32K)
- PLL和PLL12S时钟源可选HXTAL或IRC16M以及IRC48M
- HXTAL时钟监视器。

图 2-9. 时钟树



注意：GD32F5HC系列MCU最高主频为200 MHz。

2.3.1. 外部高速晶体振荡时钟（HXTAL）

19.2 - 52 MHz外部高速晶体振荡器（无源晶体），可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容，必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源。旁路输入时，信号接至OSC_IN引脚，OSC_OUT引脚保持悬空状态，软件上需要打开HXTAL的Bypass功能（可以通过配置RCU_CTL里面的HXTALBPS和HXTALEN位来使能）。

图 2-10. HXTAL 外部晶体电路

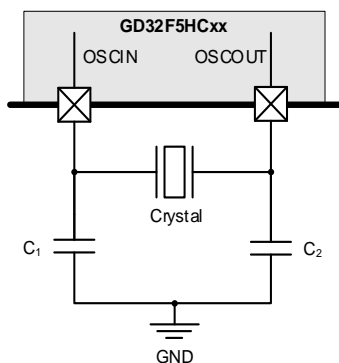
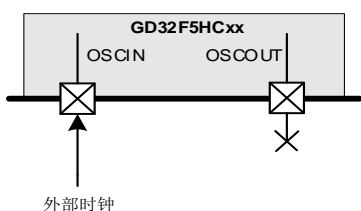


图 2-11. HXTAL 外部时钟电路（旁路模式）

**注意：**

1. 使用旁路输入时，信号从 OSC_IN 输入，OSC_OUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_s)$ ，其中 C_s 为 PCB 和 MCU 引脚的杂散电容，典型值为 10 pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20 pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20 pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚；
3. C_s 为 PCB 板走线及 IC pin 上的寄生电容，当晶体离 MCU 越近， C_s 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1 MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部 IRC16M；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}。如不打开 Bypass，对有源晶振的振幅幅值要求会大大降低；
7. 谐振器与 MCU 时钟引脚连接的走线，即连接到 MCU 的 OSC_OUT 和 OSC_IN 两个引脚的走线，可能会因为 PCB 布局布线的空间限制，导致长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不相等，需要存在差值，以匹配实际的 PCB 板。对于这种情况，建议联系谐振器厂家，测算实际的数值。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 晶体是一个 32.768 kHz 的低速外部晶体（无源晶体），能够为 RTC 提供一个低功耗且高精度的时钟源。MCU 的 RTC 模块相当于一个计数器，精度会受到晶体性能、匹配电容以及 PCB 材质等影响。LXTAL 也可以支持旁路时钟输入（有源晶振等），可以通过配置 RCU_BDCTL 里面的 LXTALBPS 和 LXTALEN 位来使能。

图 2-12. LXTAL 外部晶体电路

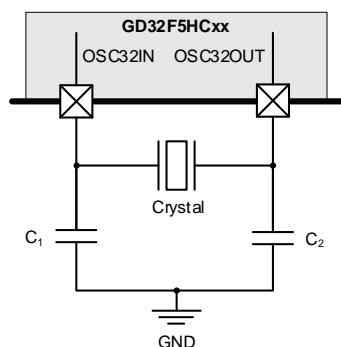
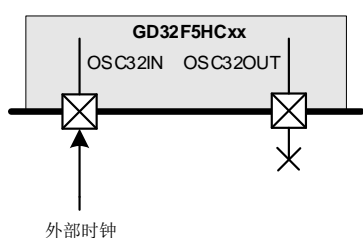


图 2-13. LXTAL 外部时钟电路（旁路模式）

**注意：**

1. 使用旁路输入时，信号从OSC32_IN引脚输入，OSC32_OUT引脚保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2 pF – 7 pF之间，建议以5 pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10 pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10 pF即可，且PCB Layout时尽可能近地靠近晶振引脚。
3. 当RTC选择IRC32K作为时钟源，并且 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数。重新上电后，RTC会接着之前的计数值，继续累加计时。若需要 V_{BAT} 外部独立给RTC供电，且MCU掉电后，RTC仍能正常计时，RTC须选择LXTAL作为时钟源。
4. MCU可以设置LXTAL的驱动能力。若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力。
5. 谐振器与MCU时钟引脚连接的走线，即连接到MCU的OSC_OUT和OSC_IN两个引脚的走线，可能会应PCB布局布线的空间限制，导致长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况，建议联系谐振器厂家，测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

GD32F5HC系列MCU可输出32 kHz到200 MHz的时钟信号。通过设置时钟配置寄存器0(RCU_CFG0)中的CK_OUT0时钟源选择位域CKOUT0SEL，能够选择不同的时钟信号。CK_OUT1时钟输出源的选择，通过设置时钟配置寄存器RCU_CFG0中的CKOUT1SEL位域实现。相应的GPIO引脚应该被配置成备用功能I/O(AFIO)模式，来输出选择的时钟信号。

表 2-4. 时钟输出 0 的时钟源选择

时钟输出 0 的时钟源选择位域	时钟源
00	CK_IRC16M
01	CK_LXTAL
10	CK_HXTAL
11	CK_PLLP

表 2-5. 时钟输出 1 的时钟源选择

时钟输出 1 的时钟源选择位域	时钟源
00	CK_SYS
01	CK_PLLI2S
10	CK_HXTAL
11	CK_IRC48M

2.3.4. HXTAL 时钟监视器 (CKM)

可以通过设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，使能HXTAL时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断，和Cortex®-M33的不可屏蔽中断NMI相连。如果HXTAL被选作系统或PLL的时钟源，HXTAL故障将促使选择IRC16M为系统时钟源且PLL将被自动禁止。

注意：使能HXTAL时钟监视器以后，硬件无视控制位IRC16MEN的状态，自动使能IRC16M时钟。

2.4. 启动配置

GD32F5HC系列启动时，使用BOOT0和BOOT1引脚选择引导存储器地址。

复位释放时，BOOTx (x = 0/1)的值（来自引脚或EFBOOTx位）被锁存。用户可以设置BOOTx值来选择所需的引导模式。从Standby模式退出时，也会对BOOTx引脚或EFBOOTx位（取决于EFUSE_CTL寄存器中EFBOOTLK和SWBOOTx位的值）进行重新采样。因此，它们必须在Standby模式下保持所需的引导模式配置。启动延迟后，在释放处理器复位之前完成了引导区域的选择。

芯片内嵌的引导装载程序位于系统存储器中，用来对片上闪存的主存进行重新编程。引导加载程序可以通过某些接口激活，请参阅datasheet的引导模式章节。

嵌入式引导加载程序（boot loader）位于系统存储器（System memory），用于重新编程Flash存储器。引导加载程序可通过以下串行接口之一激活：USART0（PA8, PB15）、USART1（PA2, PA3）、USART2（PB10, PB11）和USBFS（PB12, PB13）。

注意：当MCU从系统内存启动之后，USART接口和USB接口处于检测状态。因此，未使用的USART RX引脚（PA8, PA3, PB11）需要保持在稳定的逻辑电平。未使用的USB DP引脚（PB12）禁止下拉，建议上拉。这样设计以防止在连接的过程中误触发。

BOOT0值可以来自BOOT0引脚，也可以来自EFUSE_CTL寄存器中EFBOOT0位的值，以便在需要时释放GPIO引脚。BOOT1值可以来自PA14引脚，也可以来自EFUSE_CTL寄存器中EFBOOT1位的值，以便在需要时释放GPIO引脚。

电路设计时，若要运行用户程序，BOOT0引脚不能悬空，建议通过一个10 kΩ电阻到GND；运行System Memory进行程序更新，需要将BOOT0引脚接高，BOOT1引脚接低，更新完成后，再将BOOT0接低后上电才能运行用户程序；SRAM执行程序多用于调试状态下。

表 2-6. BOOT0 模式

EFUSE_CTL		FMC_OBR1		BOOT0 PC8 引脚	BOOT0
SWBOOT0	EFBOOT0	SWBOOT0	nBOOT0		
0	-	1	-	0	0
0	-	1	-	1	1
0	-	0	1	-	0
0	-	0	0	-	1
1	0	-	-	-	0
1	1	-	-	-	1

表 2-7. BOOT1 模式

EFUSE_CTL		FMC_OBR1		BOOT1 PA14 引脚	BOOT1
SWBOOT1	EFBOOT1	SWBOOT1	nBOOT1		
0	-	1	-	0	0
0	-	1	-	1	1
0	-	0	1	-	0
0	-	0	0	-	1
1	0	-	-	-	0
1	1	-	-	-	1

TrustZone®使能和失能时的引导地址分别参考[表2-8. TrustZone®失能时引导模式, TZEN=0](#)和[表2-9. TrustZone®使能时引导模式, TZEN=1](#)。当EFUSE_CTL寄存器中的EFBOOTLK位置1时，根据BOOT1和BOOT0选择引导存储器地址。

表 2-8. TrustZone®失能时引导模式, TZEN=0

EFBOOTLK	BOOT0	BOOT1	引导地址	引导区域
0	0	-	0x08000000	SIP Flash
0	1	0	0x0BF40000	Bootloader / ROM
0	1	1	0x0A000000	SRAM0
1	0	-	0x08000000	SIP Flash
1	1	-	0x0BF40000	Bootloader / ROM

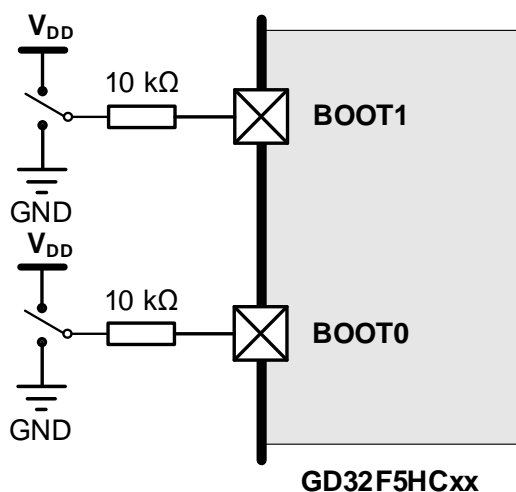
当TrustZone®通过TZEN位使能，启动空间必须位于安全区域。

表 2-9. TrustZone®使能时引导模式，TZEN=1

GSSACMD == 8'hc ⁽¹⁾	EFBOOTLK	BOOT0	BOOT1	EFSB	引导地址	引导区域
0	0	0	-	0	0x0C000000	SIP Flash
0	0	0	-	1	0X0FF84000	secure boot
0	0	1	0	-	0x0FF80000	GSSA
0	0	1	1	-	0x0E000000	SRAM0
-	1	0	-	0	0x0C000000	SIP Flash
-	1	0	-	1	0X0FF84000	secure boot
-	1	1	-	-	0x0FF80000	GSSA
1	0	-	-	-	0x0FF80000	GSSA

注：当GSSACMD位域为0x0C时表示1，否则表示0。

图 2-14. 推荐 BOOT 电路设计



注意：

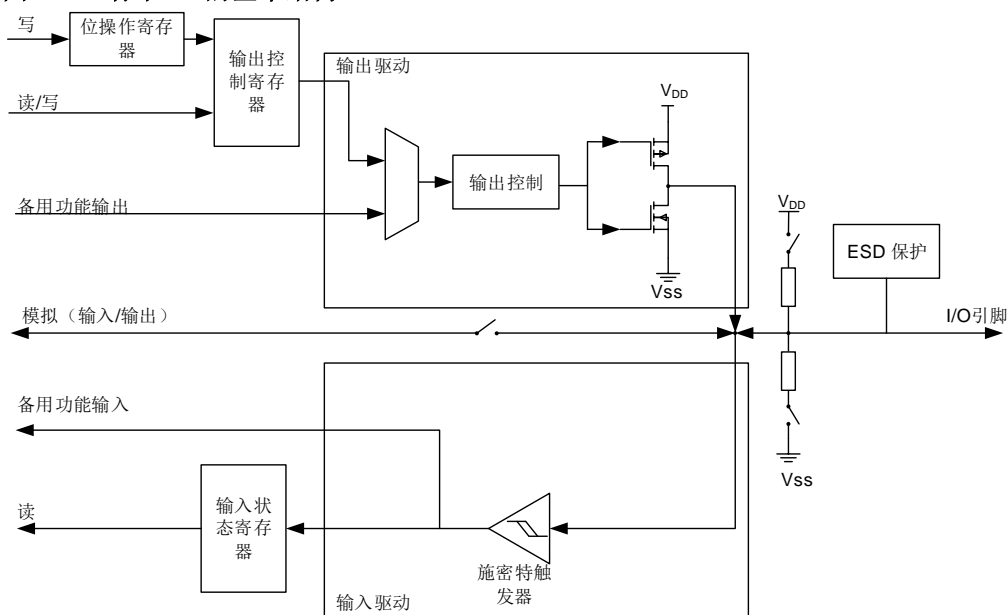
1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT1引脚状态被采样到，它可以被释放用于其他用途。

2.5. 典型外设模块

2.5.1. GPIO 电路

GD32F5HCxx最多可支持54个通用I/O引脚（GPIO），分别为PA0~PA15，PB0~PB15，PC0~PC15和PD0~PD5，每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见[图2-15. 标准IO的基本结构](#)：

图 2-15. 标准 IO 的基本结构

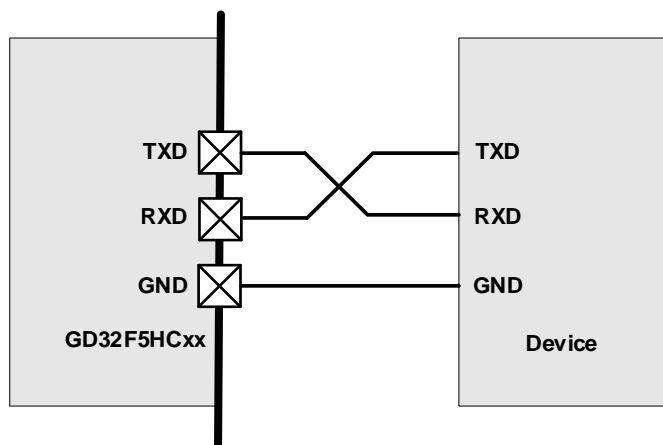
**注意：**

1. IO口均为5 V耐受脚，详见Datasheet；5V耐受的IO口直接5 V时，建议IO口配置为开漏模式，输出高电平通过外部上拉实现；
2. 每个GPIO引脚可以由软件配置为输出（推挽或开漏）、输入、外设备用功能或者模拟模式；
3. 在复位期间或复位之后，备用功能并未激活，所有GPIO端口都被配置成模拟模式，模拟模式禁用上拉(PU)/下拉(PD)电阻。为了获得较一致的功耗，建议所有IO口配置成模拟输入，然后再根据应用需求，修改为相应的模式（芯片内部没有引出的端口也需要配置）；
4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉(当bootloader使用USART接口时，USB引脚禁止下拉，建议上拉)；
5. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限，配置为输出模式时，其工作速度不能超过2 MHz；
6. 只有在输入模式下配置，端口才能使用外部中断 / 事件线；
7. 需要连接板外器件或者开关、按键的引脚，建议在紧靠对外端加上ESD防护电路。更多硬件防护设计参考官网《AN163 GD32 MCU EMC硬件防护设计参考》。

2.5.2. USART 电路

GD32F5HC系列产品提供3路USART (USART0, USART1, USART2)。在使用USART 时，注意引脚的交叉相连，[图2-16. USART参考电路](#)可供参考。

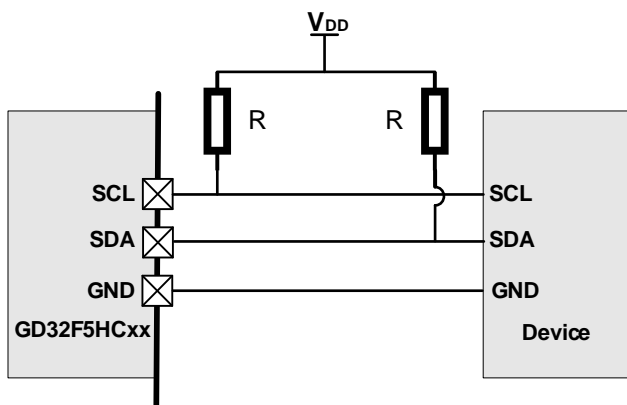
图 2-16. USART 参考电路



2.5.3. I2C 电路

GD32F5HC系列芯片提供2路I2C外设，I2C0、I2C1支持标准模式（最高100kHz）和快速模式（最高400kHz）和快速+模式（最高1MHz）。SDA和SCL都是双向线，所有I2C通道都可以工作在主机或者从机模式。同时，也支持多主机模式。I2C接口模块也支持DMA模式，可有效减轻CPU的负担。

图 2-17. I2C 参考电路



如需连接到I2C总线设备的输出极，考虑到线与，则需空闲时电平置高。

针对OC/OD电路，电路反应速度和功耗由上拉电阻决定。上拉电阻小，则反应速度快，信号边沿陡峭，即信号质量好，但是功耗高。反之，若上拉电阻大，则电路反应速度慢，信号边沿较为平缓，即信号质量差，但是功耗低。

表 2-10. 传输模式与上拉电阻参考关系

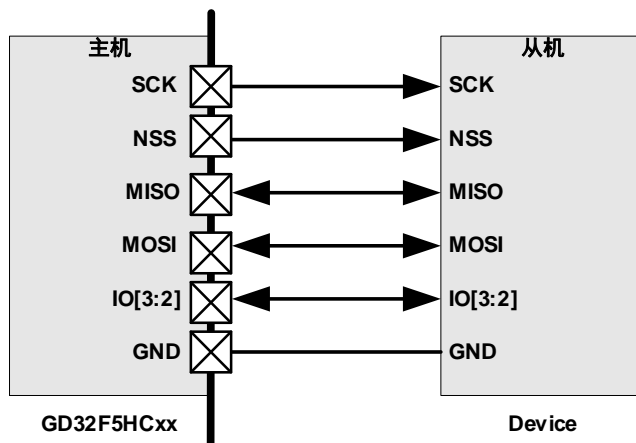
传输模式	上拉电阻 (kΩ)
标准模式	4.7
快速模式	2.2
快速+模式	1.5

考虑到I2C实际走线和电路板上情况的复杂多样，[表2-10. 传输模式与上拉电阻参考关系](#)中上拉电阻值仅供参考。在实际使用时，可结合在SDA与SCL之间加入串组，以调节信号质量。

2.5.4. SPI 电路

GD32F5HC系列芯片提供2路SPI，其中，只有SPI0支持SPI四线主机模式。除4线模式SPI外，所有SPI通道都可以工作在主机或者从机模式。

图 2-18. SPI 四线模式参考电路



上图为仅在SPI0工作在4线模式时才可参考，且此时GD32F5HC系列芯片只能作为主机。针对一般的SPI，寄存器进行适当的配置后，有以下四种典型的工作模式连接方法供参考。在以下四种工作模式中，GD32F5HC系列芯片都可以作为主机或者从机。

图 2-19. SPI 典型的全双工模式连接

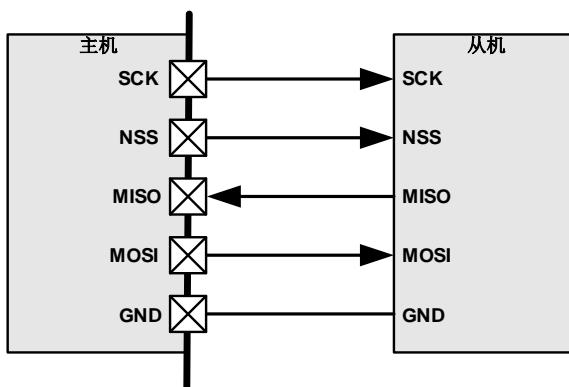


图 2-20. SPI 典型的单工模式连接（主机：接收，从机：发送）

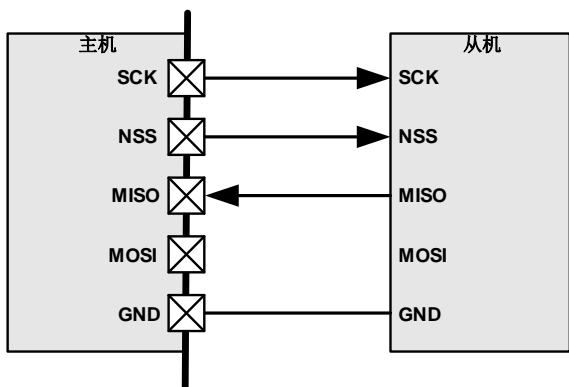


图 2-21. SPI 典型的单工模式连接（主机：发送，从机：接收）

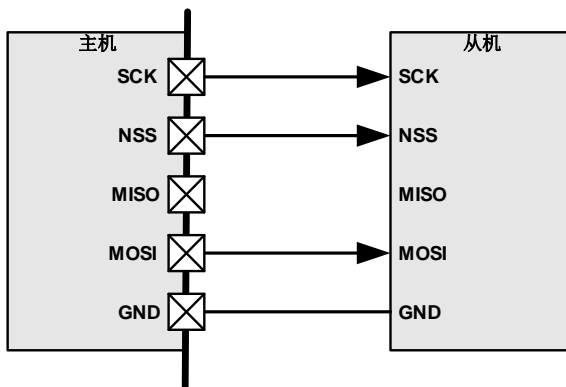
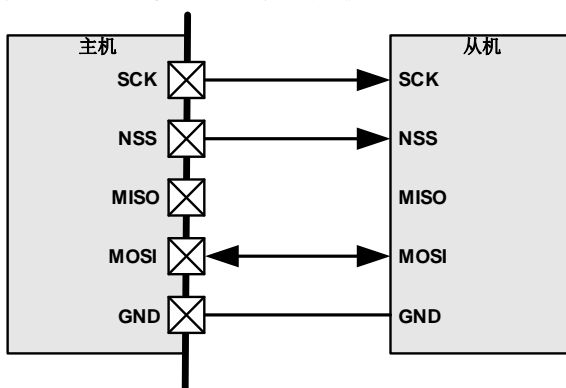


图 2-22. SPI 典型的双向线连接



2.5.5. Battery 电路

GD32F5HC系列芯片含有VBAT引脚，在VDD掉电时，通过给VBAT引脚供电，可保持芯片备份域正常工作。当使用外部电池为VBAT引脚供电时，以下电路供参考。

图 2-23. 不可充电电池参考电路

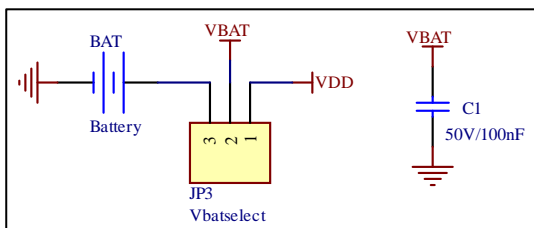


图 2-24. 不可充电电池参考电路

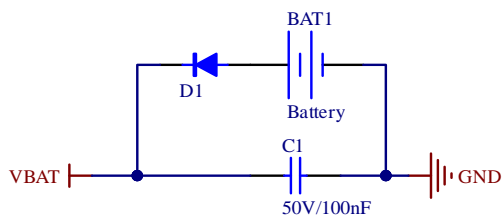
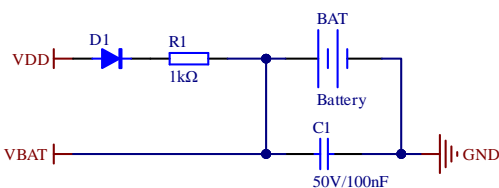


图 2-25. 可充电电池参考电路



参考以上电路时，请注意电池电压、二极管压降和 V_{BAT} 引脚的供电电压范围，避免出现过压或欠压的现象。针对可充电电池的参考电路中电阻，其阻值根据电池特性选择。

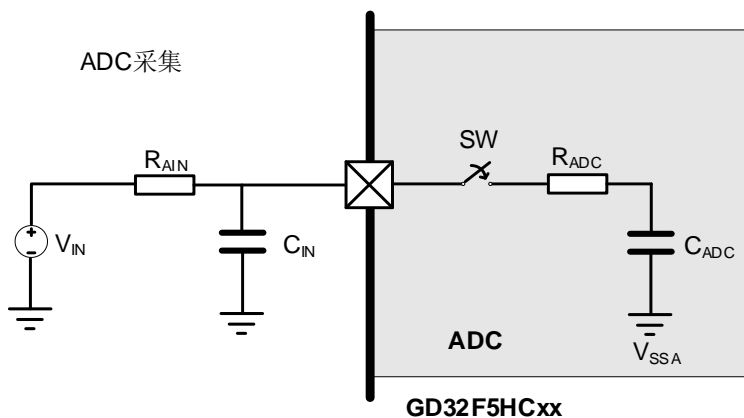
2.5.6. ADC 电路

GD32F5HC 系列内部集成了一个 12 位逐次逼近式模数转换器模块，它有多达 12 个通道，可测量 9 个外部和 2 个内部信号源及 1 个外部电池电压 (V_{BAT}) 监测信号源。内部信号为温度传感器通道 (ADC_CH9)，内部参考电压输入通道 (ADC_CH10)，外部信号为外部监测电池 V_{BAT} 供电引脚输入通道 (ADC_CH11)。温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压 V_{REFINT} 提供了一个稳定的电压输出给到 ADC，并内部连接至 ADC_CH10。提供外部检测 V_{BAT} 引脚电池电压功能，其转换的值为 $V_{BAT}/4$ 。

如果在使用过程中，ADC 采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部 V_{REFINT} 进行校准，反推外部采样电压。

设计 ADC 电路时，建议在 ADC 输入管脚处放置个小电容，建议放置一个 500 pF 的小电容即可。

图 2-26. ADC 采集电路设计



为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。 $f_{ADC} = 35 \text{ MHz}$ 时，输入阻抗和采样周期关系如下。

表 2-11. $f_{ADC} = 35 \text{ MHz}$ 采样周期与外部输入阻抗关系

T_s (cycles)	t_s (us)	$R_{AIN \text{ max}}$ (kΩ)
1.5	0.04	0.88
14.5	0.41	12.84
27.5	0.79	24.80

T_s (cycles)	t_s (us)	$R_{AIN\ max}$ (k Ω)
55.5	1.59	50.57
83.5	2.39	76.33
111.5	3.19	102.1
143.5	4.10	131.5
479.5	13.7	440.7

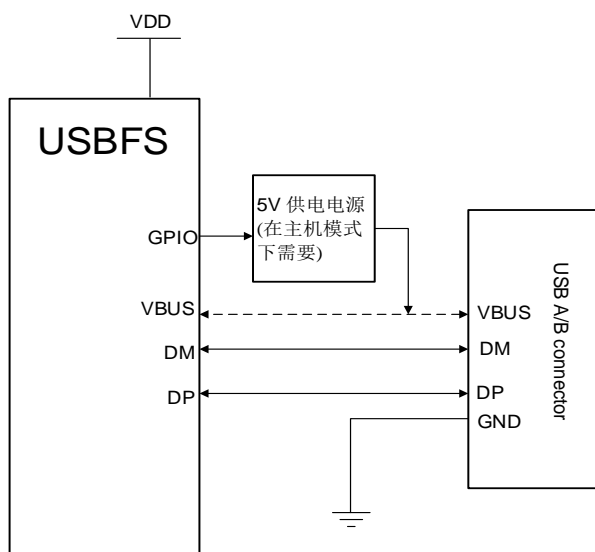
2.5.7. USB 电路

GD32F5HC系列MCU支持USBFS接口。USBFS包含了一个内部的全速USB PHY，并且不再需要外部PHY芯片。USBFS可以支持USB 2.0协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。USBFS可以作为一个主机、一个设备或者一个DRD（双角色设备），并且包含一个内部全速PHY。USBFS可支持的最大速率为全速。

USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。

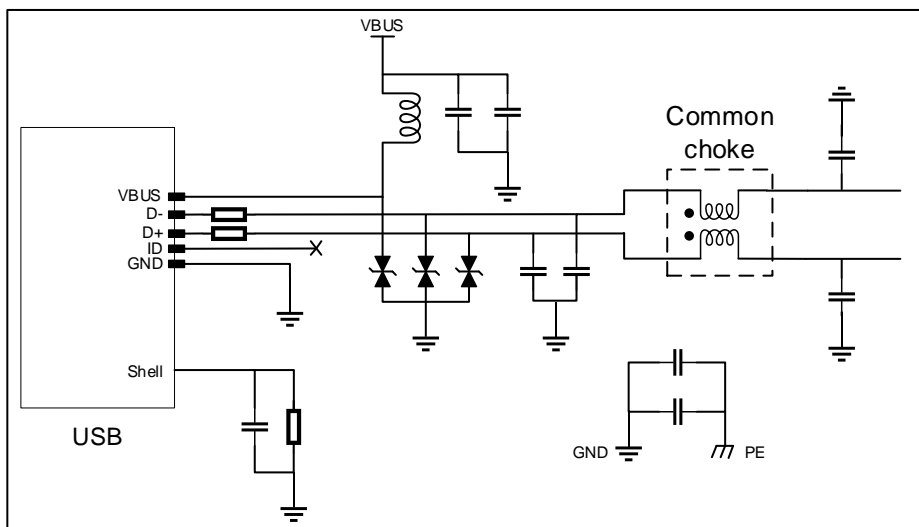
上拉或下拉电阻已经集成在内部全速PHY的内部，并且USBFS可根据当前模式（主机、设备或OTG模式）和连接状态进行自动控制。一个利用内部全速PHY的典型连接示意图如[图2-27. 在主机或设备模式下连接示意图](#)所示。

图 2-27. 在主机或设备模式下连接示意图



在设计电路时，为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。对EMC性能要求较高时，可选择共模电感、TVS等器件抑制共模干扰，防止静电影响USB通讯质量。参考电路设计如下[图2-28. 推荐USB参考电路](#)所示。

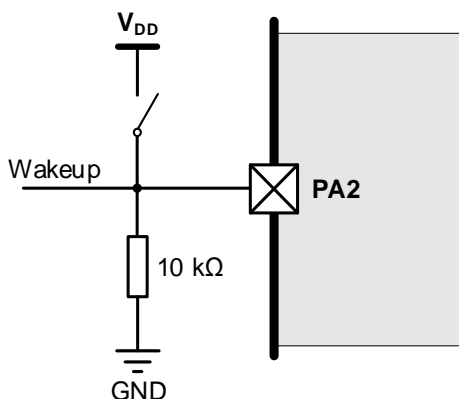
图 2-28. 推荐 USB 参考电路



2.5.8. 待机模式唤醒电路

GD32F5HC系列支持三种低功耗模式，分别为睡眠模式，深度睡眠模式和待机模式，其中功耗最低的是待机模式（Standby模式），此低功耗模式需要的唤醒时间也是最长的。从待机模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPEN位即可。对应WKUP唤醒引脚参考电路设计如下：

图 2-29. 推荐待机模式外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP引脚至VDD间如果有串电阻，可能会增加额外的功耗。

2.6. 下载调试电路

GD32F5HC系列内核支持JTAG调试接口与SWD调试接口。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

- PA15: JTDI为上拉模式；
- PA14: JTCK / SWCLK为下拉模式；
- PA13: JTMS / SWDIO为上拉模式；
- PB4: NJTRST为上拉模式；
- PB3: JTDO为浮空模式。

表 2-12. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-30. 推荐 JTAG 接线参考设计

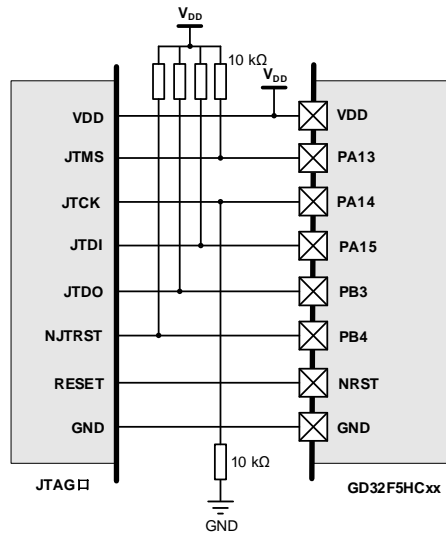
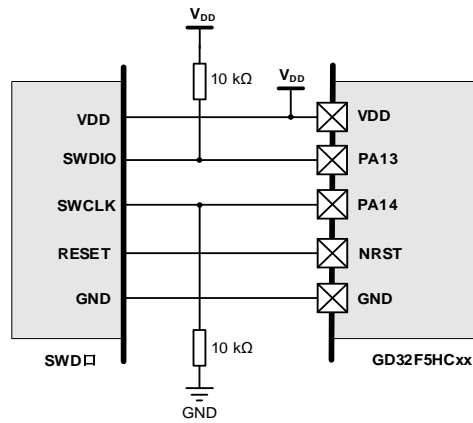


表 2-13. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-31. 推荐 SWD 接线参考设计

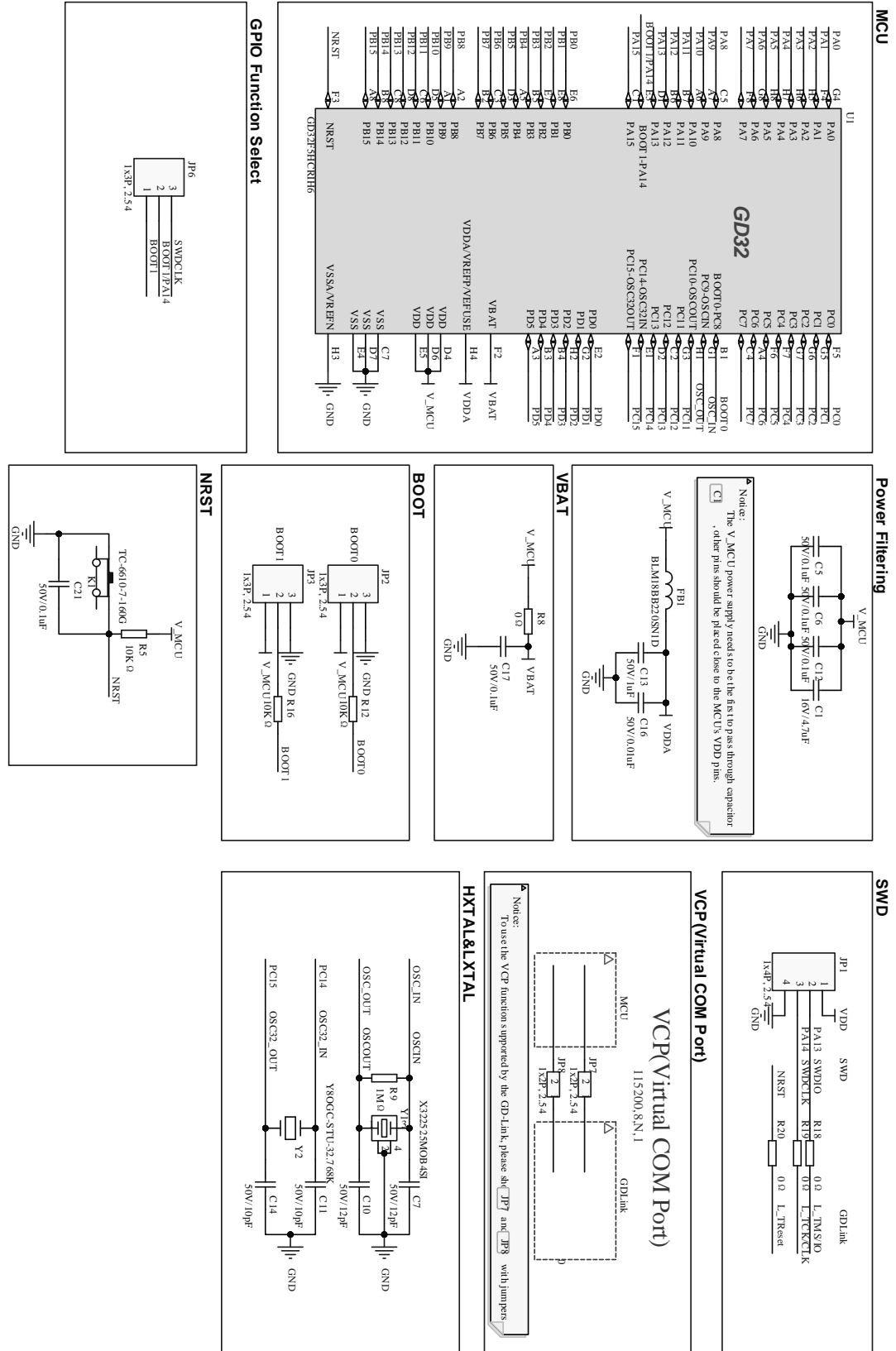


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15 cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100 Ω ~ 1 kΩ电阻。

2.7. 参考原理图设计

图 2-32. GD32F5HCxx 推荐参考原理图设计



3. PCB Layout 设计

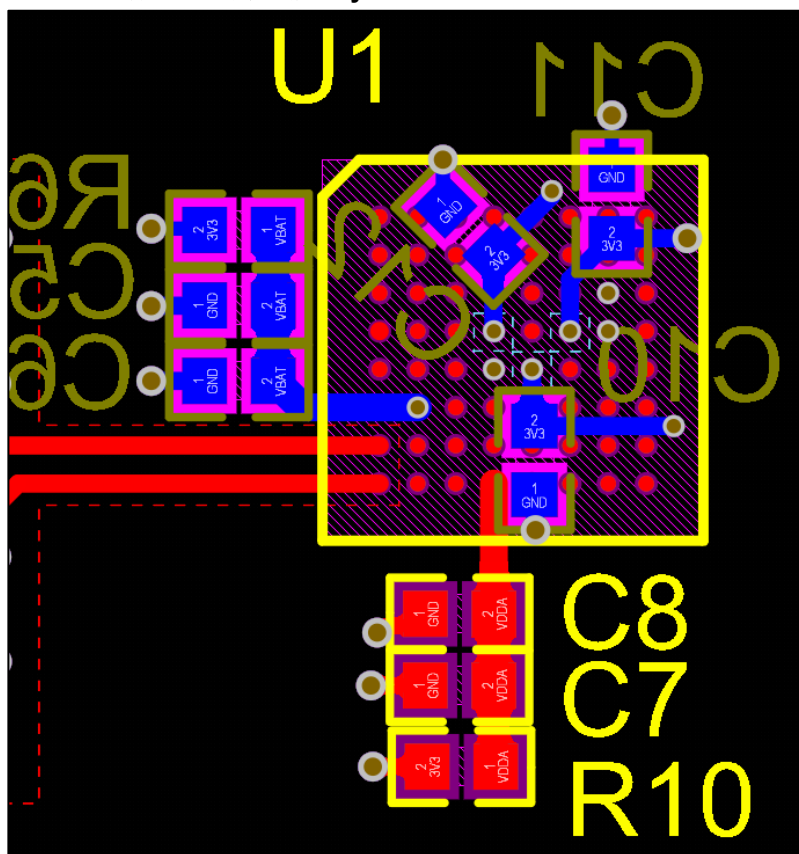
为提升MCU功能的稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，PCB的Layout也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量保持MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

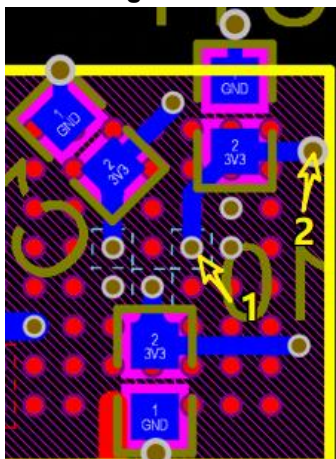
GD32F5HC系列电源有VDD、VDDA、VREFP等供电脚。100 nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线时，要尽量经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

图 3-1. 推荐电源引脚去耦 Layout 设计



从电源完整性及信号完整性的角度出发，建议客户采用四层板设计，第二层可设计为完整的GND，第三层可设计为完整的Power，建议去耦电容设计时，采用region的方式（蓝色方形区域避免Via1从Power层取电），电源供电时通过Via2先从Power层取电，然后经过去耦电容到MCU的V_{DD}引脚，此时去耦电容的效果最佳。

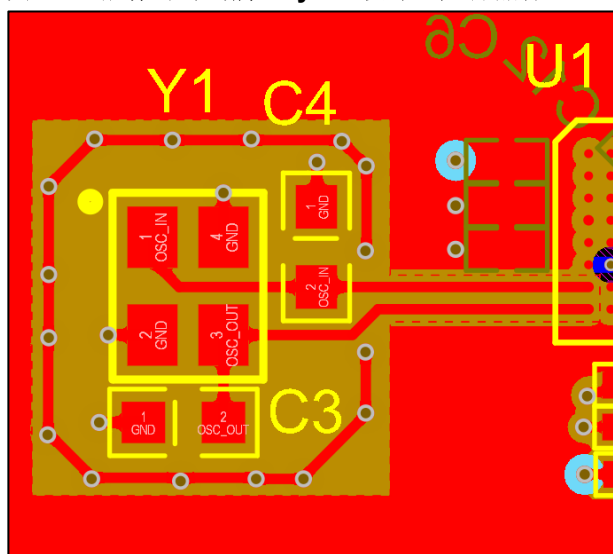
图 3-2. Region 设计参考



3.2. 时钟电路

GD32F5HC系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-3. 推荐时钟引脚 Layout 设计（无源晶体）



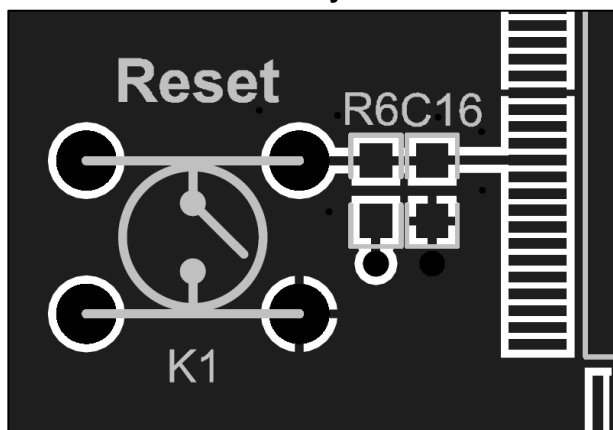
注意：

1. 晶体尽量靠近MCU时钟pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟器件及走线区域下方的相邻层，尽量禁空，不走任何与时钟无关走线，也不铺铜；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST引脚走线PCB Layout参考如下：

图 3-4. 推荐 NRST 走线 Layout 设计



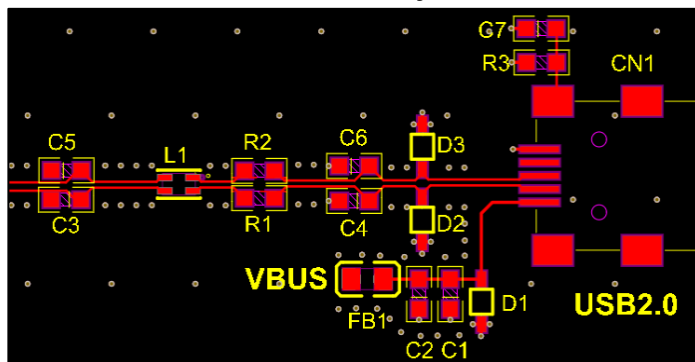
注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.4. USB 电路

对于GD32F5HC系列MCU USB FS模块有DM、DP两根差分信号线，对于USB HS模块，连接外部高速PHY后，PHY芯片也会引出DM、DP两根差分信号线，建议PCB走线要求做特性阻抗 90Ω ，差分走线严格按照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

DM、DP差分走线参考如下：

图 3-5. 推荐 DM、DP 差分走线 Layout 设计



推荐：R2 = R1 = 0Ω ，R3 = $1\text{M}\Omega$ ，C7 = 4700pF 。

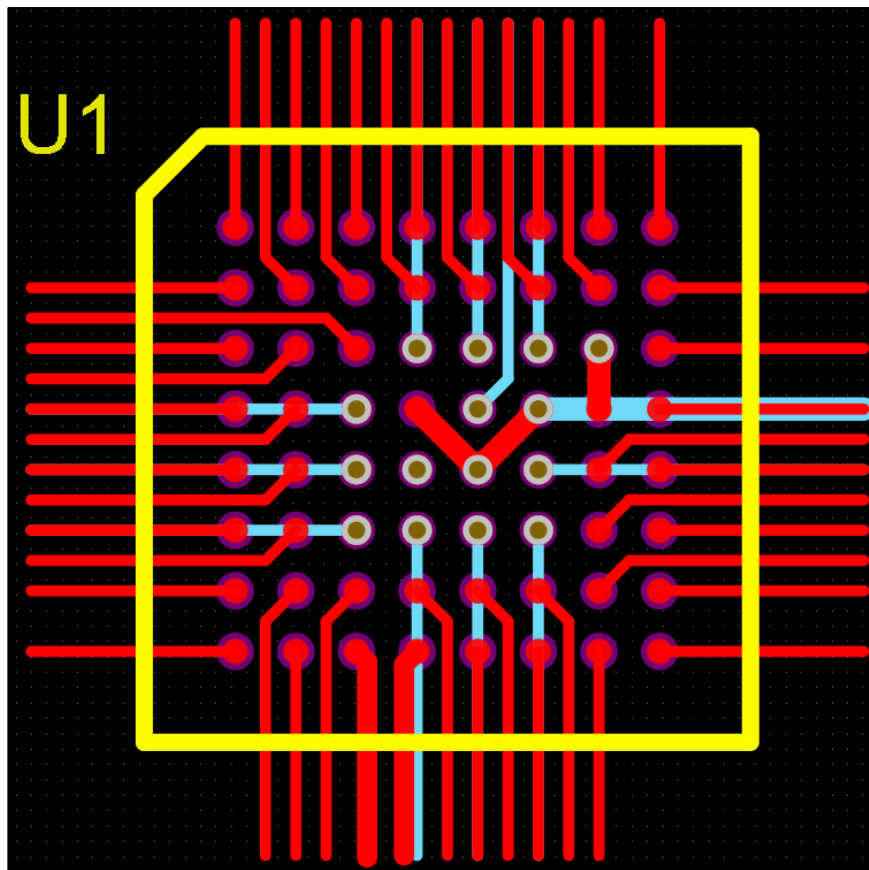
注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；一般不建议差分信号换层，若必须换层设计建议在USB Via换层处就近设计两个GND Via。
3. 对称平行走线，保证两根线紧密耦合，避免 90° 、弧形或 45° 走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则；
5. 对EMC性能要求较高时，可选择共模电感、TVS等器件抑制共模干扰，防止静电影响USB通讯质量。

3.5. BGA 封装的扇出

对于GD32F5HC系列BGA64(0.4 mm Pitch)封装，推荐以下的走线规则与扇出方式。

图 3-6. BGA64 封装的扇出方式



对于0.4 mm Pitch的BGA封装，推荐使用规则设置4 mil线宽线距，电源引脚建议走线5-8mil，IO建议走线4mil，通过盘中孔形式进行扇出，扇出后如[图3-6. BGA64封装的扇出方式](#)所示。

4. 钢网与焊接

4.1. 钢网

SMT 贴片时，钢网的厚度和漏孔的开口尺寸，取决于锡膏的种类、焊盘开孔的分布、密度以及间距等因素。钢网漏孔开口尺寸过大，往往导致锡膏分布量过多，容易造成焊接过程中的“桥连”情况。漏孔开口尺寸过小，会导致锡膏使用过少，导致焊点强度不足，或焊点强度不足的“虚焊”。

4.1.1. 钢网推荐厚度

钢网的厚度和开孔尺寸一般遵循规则：宽厚比高于 1.5（即钢网的开孔宽度是钢网厚度的 1.5 倍及以上）、面积高于 0.66（即钢网开孔面积是开孔柱体侧面积的 0.66 倍及以上），这样可以最大程度保证刷锡时，在焊盘上有适当量的锡膏。

GD32F5HC 系列新品推荐钢网厚度如[表 4-1. GD32F5HCxx 芯片推荐钢网厚度](#)所示。

表 4-1. GD32F5HCxx 芯片推荐钢网厚度

芯片封装	厚度 (mm)
BGA64 (4x4, 0.4pitch)	0.12
QFN56(7x7, 0.4pitch)	0.12
QFN56(7x7, 0.4pitch)	0.12

在具体实践中，上表仅可作为 GD32F5HC 系列产品钢网厚度参考，具体电路板钢网厚度，请结合电路板上器件密度、其他芯片引脚 pitch 值和焊盘尺寸及工艺要求，综合评估。

4.1.2. 钢网的清洁与使用

钢网的清洁

- 使用前应该先清洗钢网，以除去运输过程或长期放置中沾染到的污染物；
- 钢网使用后应及时清洗干净，装回包装，放置在专用储藏位置；
- 对于等待清洗的钢网，不可随意放置，避免损坏钢网，或者引入其他污染物；
- 钢网应该竖直放置在专用储藏位置，钢网之间应相互隔离，禁止叠放或相互接触。

钢网的使用

- 用来焊接的锡膏应升温 and 搅拌均匀后使用，避免堵塞钢网；
- 移动钢网时应轻拿轻放，避免钢网磕碰到硬物或锋利器具；
- 刷锡时钢网应紧贴电路板，且注意调整刮刀上的压力，以钢网上不留残余锡膏同时不伤害钢网为宜；
- 刷锡后，停顿 3 s 左右，再抬起钢网脱模，脱模速度不宜过快；
- 一般钢网使用寿命为 10 万次，达到使用寿命极限的钢网应报废，禁止钢网超额使用。

4.2. 焊接

在实际加工生产过程中，回流焊炉温曲线设置需要参考很多因素，除了元器件自身特性外，还需要考虑如印刷电路板材质、元器件分布密度、锡膏成分等因素。下面给大家介绍针对 GD32F5HC 系列芯片的回流焊炉温曲线，供参考。

图 4-1. 推荐回流焊温度曲线

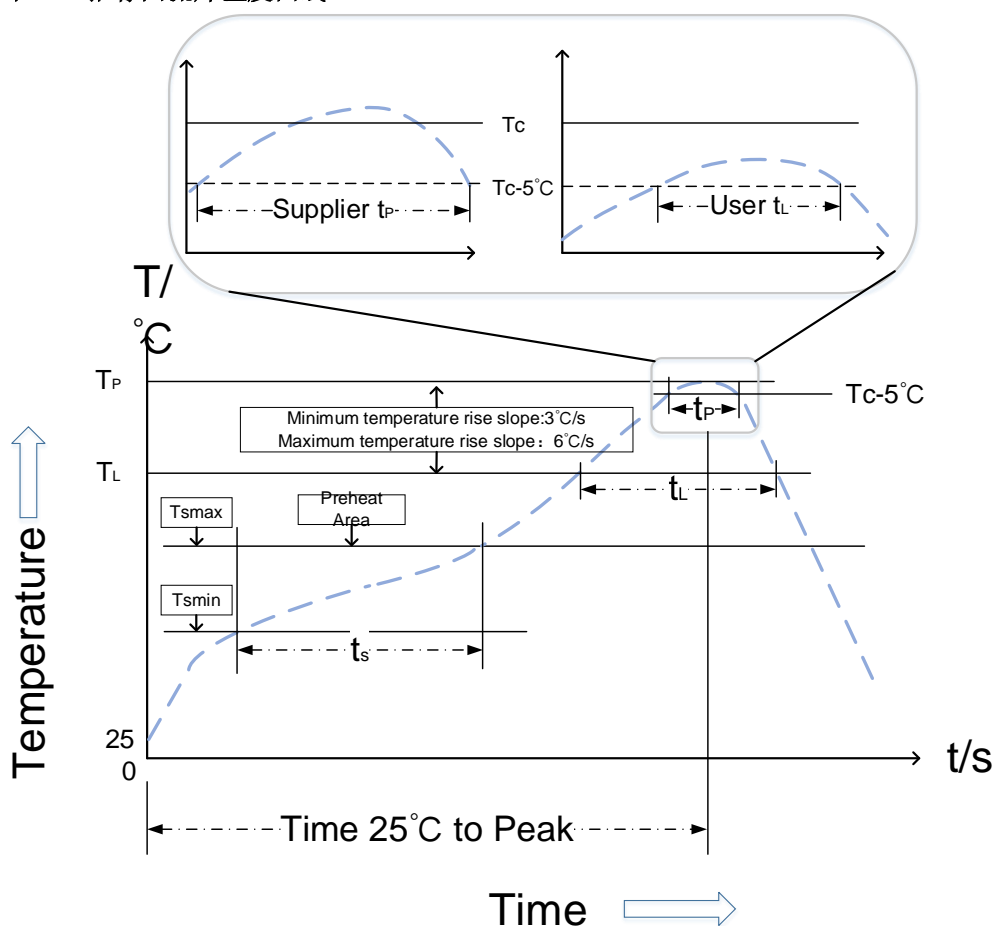


表 4-2. 回流焊相关参数

特征参数	无铅装配
平均升温斜率（217 °C 到峰值温度）	最大 3 °C / s
预热（150 °C - 200 °C）持续时间	60 – 120 s
保持 217 °C 以上的时间	60 – 150 s
峰值温度	260 + 5 / -0 °C
真实峰值温度 5 °C 以内持续时间	30 s
降温斜率	最大 6 °C / s
从 25 °C 到温度峰值时间	最大 8 min

5. 封装说明

GD32F5HC系列共有2种封装形式，分别为BGA64和QFN56。

表 5-1. 封装型号说明

产品型号	封装
GD32F5HCRIL6	BGA64 (4x4, 0.4pitch)
GD32F5HCPIQ6	QFN56(7x7, 0.4pitch)
GD32F5HCPIQ7	QFN56(7x7, 0.4pitch)

(尺寸单位为毫米mm)

6. 版本历史

表 6-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2026 年 04 月 09 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company according to the laws of the People's Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.