

**GigaDevice Semiconductor Inc.**

**GD32G553 系列 MCU 热特性设计指南**

**应用笔记**

**AN265**

1.1 版本

(2025 年 12 月)

# 目录

目录.....	2
图索引 .....	3
表索引 .....	4
<b>1. 前言.....</b>	<b>5</b>
<b>2. 系统热阻概念 .....</b>	<b>6</b>
<b>3. 实例量测 .....</b>	<b>7</b>
<b>3.1. 测试条件与设备 .....</b>	<b>7</b>
3.1.1. 测试条件 .....	7
3.1.2. 测试设备 .....	7
<b>3.2. LQFP64.....</b>	<b>7</b>
3.2.1. LQFP64 测试 PCB .....	7
3.2.2. LQFP64 功耗与温升 .....	8
<b>3.3. QFN48.....</b>	<b>9</b>
3.3.1. QFN48 测试 PCB .....	9
3.3.2. QFN48 功耗与温升 .....	10
<b>3.4. LQFP48.....</b>	<b>10</b>
3.4.1. LQFP48 测试 PCB .....	10
3.4.2. LQFP48 功耗与温升 .....	11
<b>3.5. LQFP80.....</b>	<b>12</b>
3.5.1. LQFP80 测试 PCB .....	12
3.5.2. LQFP80 功耗与温升 .....	13
<b>3.6. LQFP100.....</b>	<b>14</b>
3.6.1. LQFP100 测试 PCB .....	14
3.6.2. LQFP100 功耗与温升 .....	15
<b>3.7. LQFP128.....</b>	<b>15</b>
3.7.1. LQFP128 测试 PCB .....	15
3.7.2. LQFP128 功耗与温升 .....	16
<b>3.8. BGA64 .....</b>	<b>17</b>
3.8.1. BGA64 测试 PCB .....	17
3.8.2. BGA64 功耗与温升 .....	18
<b>4. 参考建议 .....</b>	<b>20</b>
4.1. 功耗与温升关系参考示例 .....	20
4.2. 设计建议 .....	20
<b>5. 版本历史 .....</b>	<b>22</b>

## 图索引

图 3-1. LQFP64 封装 GD32G553 测试子板各层铺铜 .....	8
图 3-2. LQFP64 封装供电电流与壳温温升关系.....	9
图 3-3. QFN48 封装 GD32G553 测试子板各层铺铜 .....	9
图 3-4. QFN48 封装供电电流与壳温温升关系.....	10
图 3-5. LQFP48 封装 GD32G553 测试子板各层铺铜 .....	11
图 3-6. LQFP48 封装供电电流与壳温温升关系.....	12
图 3-7. LQFP80 封装 GD32G553 测试子板各层铺铜 .....	13
图 3-8. LQFP80 封装供电电流与壳温温升关系.....	14
图 3-9. LQFP100 封装 GD32G553 测试子板各层铺铜 .....	14
图 3-10. LQFP100 封装供电电流与壳温温升关系.....	15
图 3-11. LQFP128 封装 GD32G553 测试子板各层铺铜.....	16
图 3-12. LQFP128 封装供电电流与壳温温升关系.....	17
图 3-13. BGA64 封装 GD32G553 测试子板各层铺铜 .....	18
图 3-14. BGA64 封装供电电流与壳温温升关系 .....	19
图 4-1. LQFP64 封装供电电流与壳温温升关系示例图.....	20

## 表索引

表 3-1. 测试设备.....	7
表 3-2. LQFP64 测试子板层叠信息 .....	8
表 3-3. QFN48 测试子板层叠信息 .....	10
表 3-4. LQFP48 测试子板层叠信息 .....	11
表 3-5. LQFP80 测试子板层叠信息 .....	13
表 3-6. LQFP100 测试子板层叠信息 .....	15
表 3-7. LQFP128 测试子板层叠信息 .....	16
表 3-8. BGA64 测试子板层叠信息.....	18
表 5-1. 版本历史.....	22

## 1. 前言

针对 GD32G553 系列芯片的高温温升特性，本文以实测为基础，研究 GD32G553 系列芯片在高温环境中功耗和壳温温升的关系。

## 2. 系统热阻概念

芯片的热阻一般定义为：

$$\theta_{JA}=(T_J-T_A)/P_D \quad (2-1)$$

其中 $\theta_{JA}$ 为芯片 Die 到环境空气的热传递阻力，相同封装芯片之间可以对比 $\theta_{JA}$ 以判定散热能力高低。但 $\theta_{JA}$ 是严格采用 JEDEC 标准设计电路板，对测试环境也提出严格条件，因此直接采用 $\theta_{JA}$ 评估用户的实际场景是不妥当的。芯片的散热能力实际上受到很多方面因素的影响，例如 PCB 设计、有无散热器等各方面影响。

因此，针对特定的 PCB 和环境，可将系统散热能力抽象成一个固定系数。当芯片运行，结温( $T_J$ )高于环境温度( $T_A$ )，其温差可计算为耗散功率和系统热阻的乘积：

$$T_J=T_A+P_D \times \text{Theta\_j\_sys} < T_{J\_max} \quad (2-2)$$

在公式中， $\text{Theta\_j\_sys}$  是一个复杂系数的简化，它不是芯片特性，而是系统特性(设备+其他组件+电路板+外壳+其他散热条件)。结温必须保持低于上式给出的最大目标。

$\text{Theta\_j\_sys}$  可以体现系统的散热能力，我们可以用系统热特性 (System Thermal Characteristic, STC)来表示：

$$\text{STC}=\frac{(T_J-T_A)}{\text{Theta\_j\_sys}} \quad (2-3)$$

理想情况下，认为当系统散热方式固定时， $\text{Theta\_j\_sys}$ 就固定不变。

### 3. 实例量测

为更好的展示在高温条件下，芯片温升与功耗的关系，基于 GD32G553 系列芯片设计对比测试。

#### 3.1. 测试条件与设备

##### 3.1.1. 测试条件

在本文中，测试条件如下：

- 1、给定电压  $V_{DD} = V_{DDA} = 3.3\text{ V}$ (GD32G553 输入电压域宽泛，实际电源电压越低，功耗越低，本文以 3.3 V 为例)；
- 2、通过改变芯片运行主频进而改变芯片功耗，主频在 120 MHz ~ 216 MHz 内划分 6 个频点（功耗，以电流为自变量）来完成；
- 3、测试系统无其他散热方式，以热电偶紧贴在芯片上表面中心采集芯片壳温 ( $T_C$ )，壳温温升  $\Delta T = T_C - T_A$ ；
- 4、使用高温箱设定环境温度为 115 °C、125 °C；
- 5、测试用 PCB 采用子母板设计，子板正面搭载被测芯片，背面放置必要的阻容器件和连接母板的接插件，以此构成 MCU 最小系统。所有被测芯片的 GPIO 和电源引脚均与母板通过接插件连接，子板设计基于用户实际使用场景的模拟。所有测试均使用同一设计 PCB。
- 6、每种封装随机测试 10 颗芯片，取每个频点的测量值进行线性拟合得到结果。

**注意：**

与壳温温升成正相关的是芯片功率，而非电流，此处使用电流作为横坐标是为了便于对比。

##### 3.1.2. 测试设备

本文进行的热特性测试，使用设备参数如下：

表 3-1. 测试设备

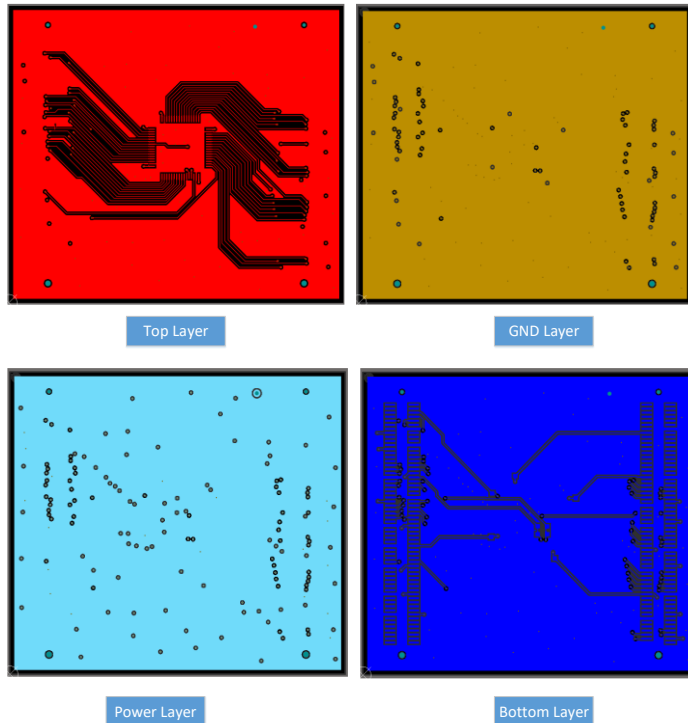
Devices	Parameters	Values
温箱	风速	1.7 m / s
热电偶	精度	±1.4 °C

#### 3.2. LQFP64

##### 3.2.1. LQFP64 测试 PCB

LQFP64 封装 GD32G553 芯片测试子板各层铺铜如[图 3-1. LQFP64 封装 GD32G553 测试子板各层铺铜](#)所示：

图 3-1. LQFP64 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如[表 3-2. LQFP64 测试子板层叠信息](#)所示：

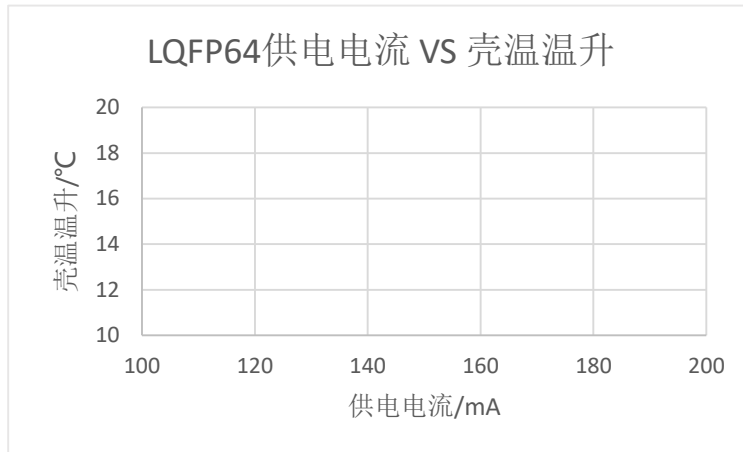
表 3-2. LQFP64 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	78 %
		铜厚	35 μm
	GND	含铜率	94 %
		铜厚	35 μm
	Power	含铜率	92 %
		铜厚	35 μm
Bottom	含铜率	84 %	
	铜厚	35 μm	

### 3.2.2. LQFP64 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 LQFP64 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如[图 3-2. LQFP64 封装供电电流与壳温温升关系](#)所示：

图 3-2. LQFP64 封装供电电流与壳温温升关系



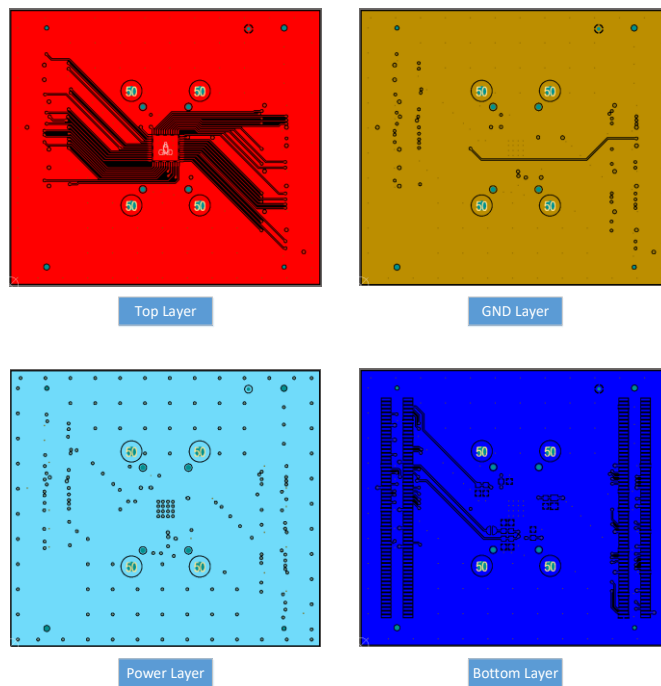
由上图可知：芯片温升随着电流变化呈正相关。

### 3.3. QFN48

#### 3.3.1. QFN48 测试 PCB

LQFP64 封装 GD35G553 芯片测试子板各层铺铜如[图 3-3.QFN48 封装 GD32G553 测试子板各层铺铜](#)所示：

图 3-3.QFN48 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如[表 3-3. QFN48 测试子板层叠信息](#)所示：

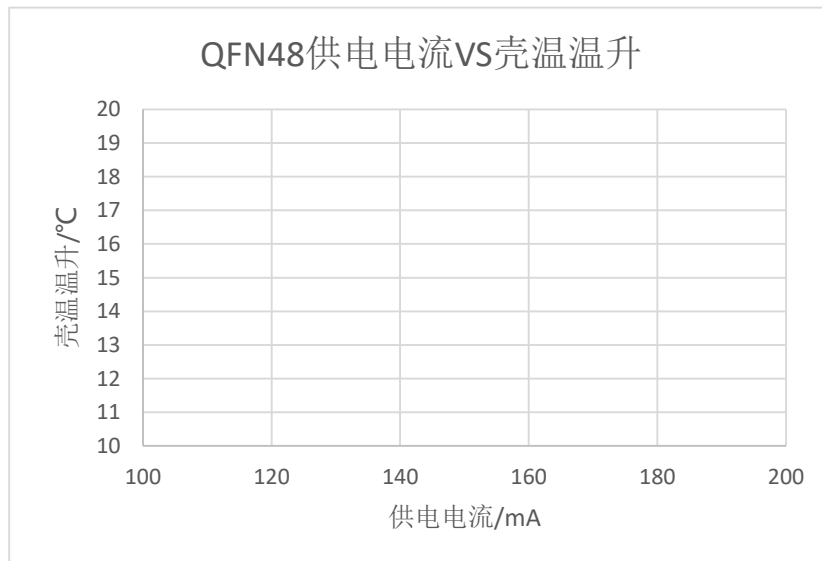
表 3-3. QFN48 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	89 %
		铜厚	35 μm
	GND	含铜率	97 %
		铜厚	35 μm
	Power	含铜率	96 %
		铜厚	35 μm
	Bottom	含铜率	91 %
		铜厚	35 μm

### 3.3.2. QFN48 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 QFN48 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如 [图 3-4. QFN48 封装供电电流与壳温温升关系](#) 所示：

图 3-4. QFN48 封装供电电流与壳温温升关系



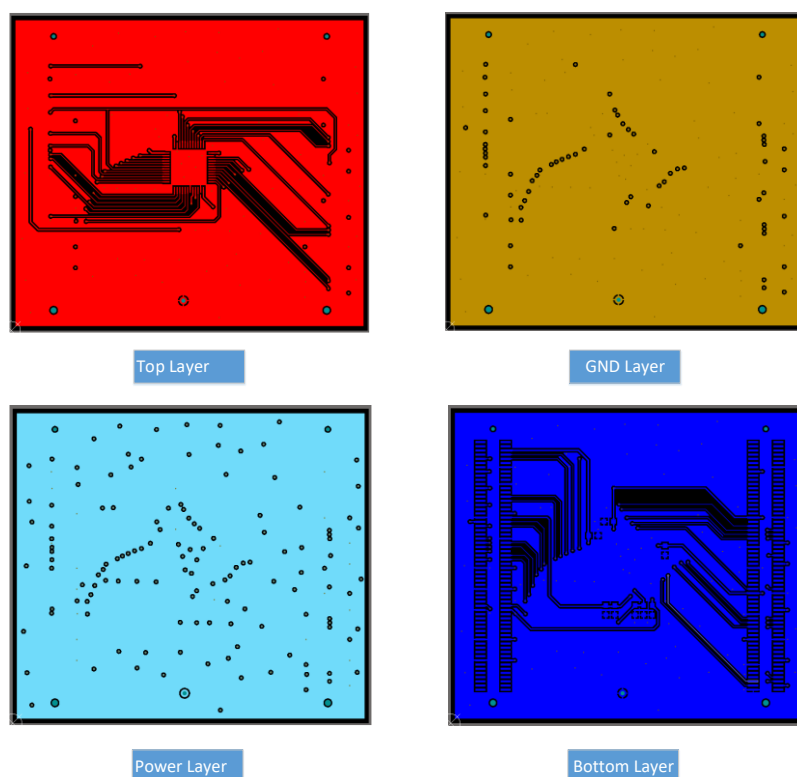
由上图可发现：芯片温升随着电流变化呈正相关。

## 3.4. LQFP48

### 3.4.1. LQFP48 测试 PCB

LQFP48 封装 GD35G553 芯片测试子板各层铺铜如 [图 3-5. LQFP48 封装 GD32G553 测试子板各层铺铜](#) 所示：

图 3-5. LQFP48 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如[表 3-4. LQFP48 测试子板层叠信息](#)所示：

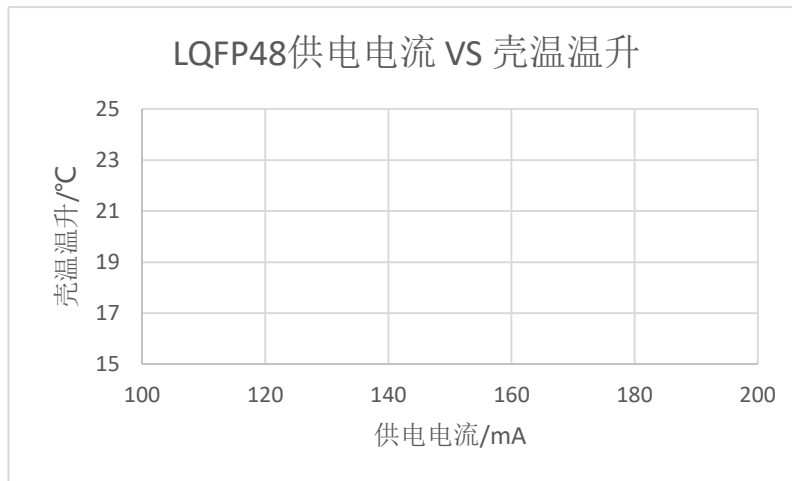
表 3-4. LQFP48 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	83 %
		铜厚	35 μm
	GND	含铜率	94 %
		铜厚	35 μm
	Power	含铜率	93 %
		铜厚	35 μm
Bottom	含铜率	79 %	
	铜厚	35 μm	

### 3.4.2. LQFP48 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 LQFP48 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如[图 3-6. LQFP48 封装供电电流与壳温温升关系](#)所示：

图 3-6. LQFP48 封装供电电流与壳温温升关系



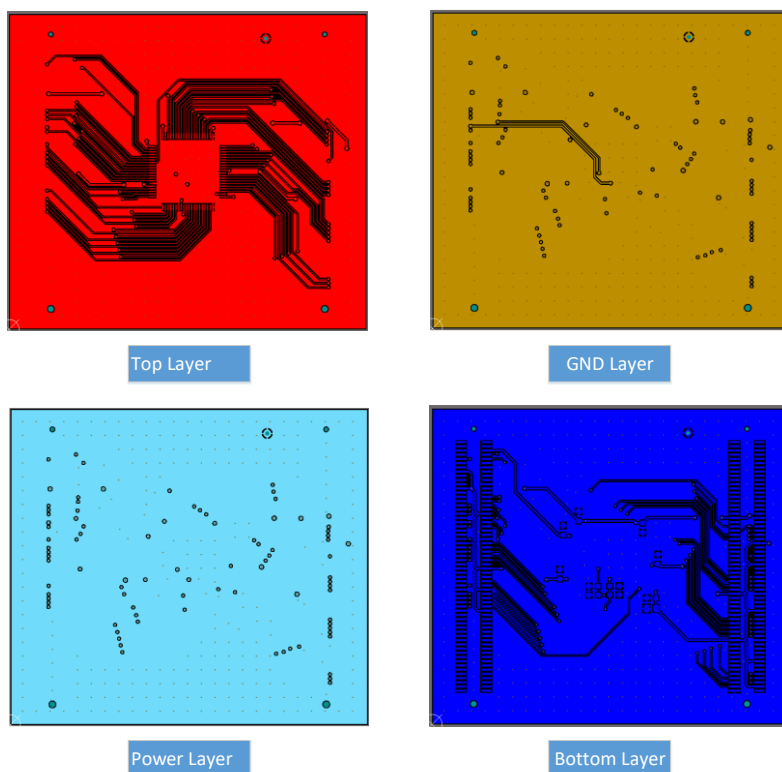
由上图可知：芯片温升随着电流变化呈正相关。

## 3.5. LQFP80

### 3.5.1. LQFP80 测试 PCB

LQFP80 封装 GD32G553 芯片测试子板各层铺铜如 [图 3-7.LQFP80 封装 GD32G553 测试子板各层铺铜](#) 所示：

图 3-7.LQFP80 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如 [表 3-5. LQFP80 测试子板层叠信息](#) 所示：

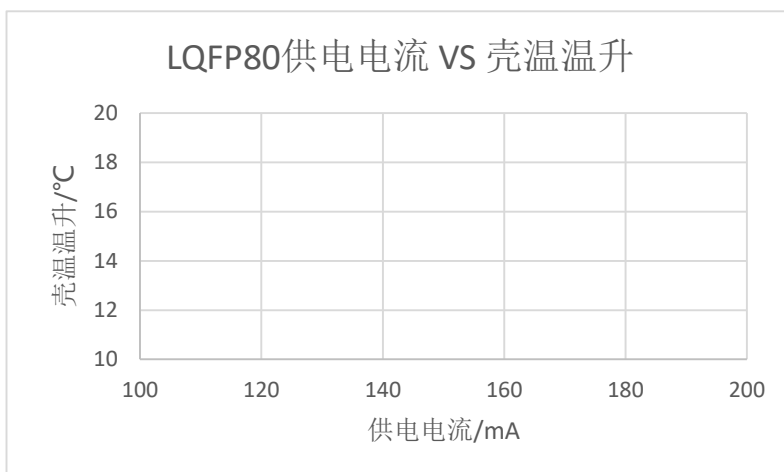
表 3-5. LQFP80 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	85 %
		铜厚	35 μm
	GND	含铜率	97 %
		铜厚	35 μm
	Power	含铜率	98 %
		铜厚	35 μm
Bottom	含铜率	87 %	
	铜厚	35 μm	

### 3.5.2. LQFP80 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 LQFP80 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如 [图 3-8. LQFP80 封装供电电流与壳温温升关系](#) 所示：

图 3-8. LQFP80 封装供电电流与壳温温升关系



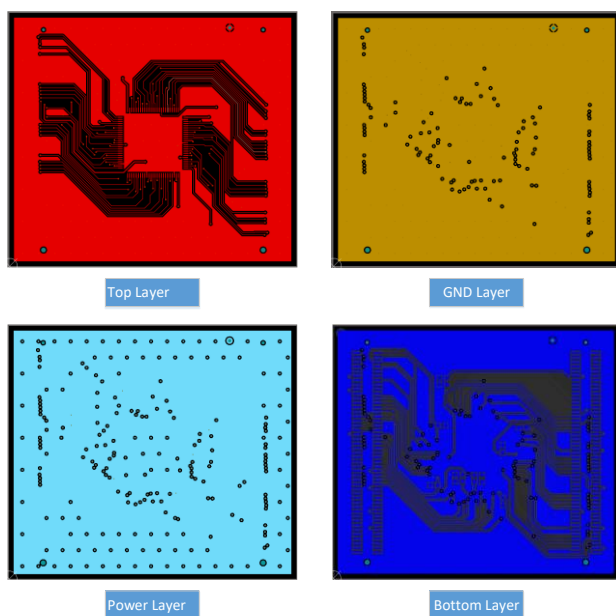
由上图可知：芯片温升随着电流变化呈正相关。

## 3.6. LQFP100

### 3.6.1. LQFP100 测试 PCB

LQFP100 封装 GD35G553 芯片测试子板各层铺铜如 [图 3-9](#)。LQFP100 封装 GD32G553 测试子板各层铺铜所示：

图 3-9. LQFP100 封装 GD32G553 测试子板各层铺铜



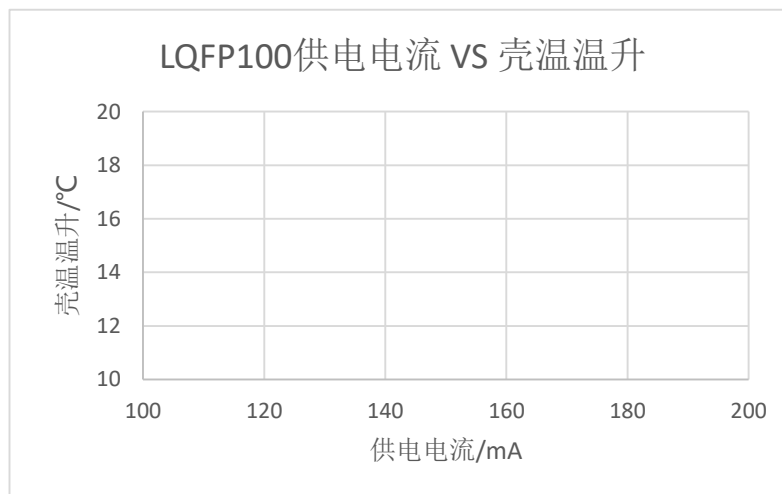
测试板层叠结构如 [表 3-6. LQFP100 测试子板层叠信息](#) 所示：

**表 3-6. LQFP100 测试子板层叠信息**

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	73 %
		铜厚	35 μm
	GND	含铜率	90 %
		铜厚	35 μm
	Power	含铜率	90 %
		铜厚	35 μm
	Bottom	含铜率	69 %
		铜厚	35 μm

### 3.6.2. LQFP100 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 LQFP100 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如 [图 3-10. LQFP100 封装供电电流与壳温温升关系](#) 所示：

**图 3-10. LQFP100 封装供电电流与壳温温升关系**


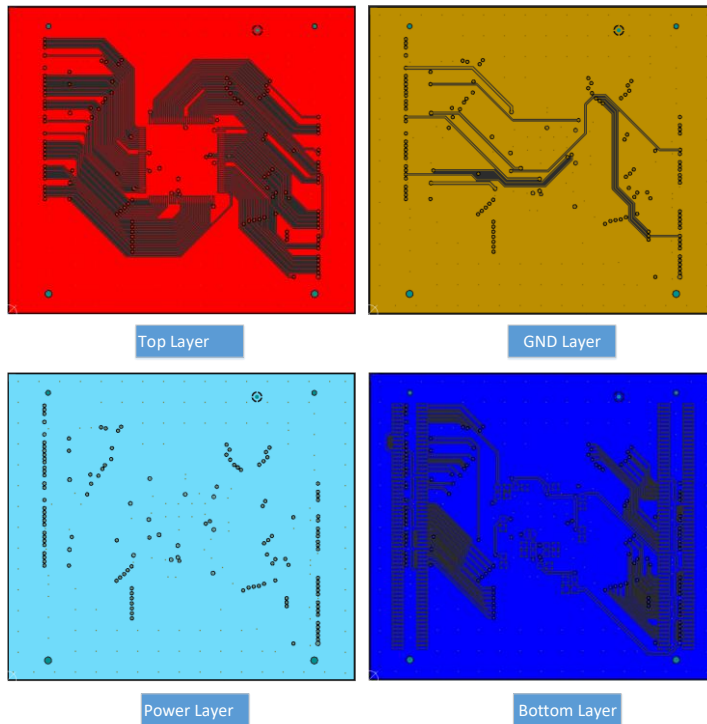
由上图可知：芯片温升随着电流变化呈正相关。

## 3.7. LQFP128

### 3.7.1. LQFP128 测试 PCB

LQFP128 封装 GD35G553 芯片测试子板各层铺铜如 [图 3-11. LQFP128 封装 GD32G553 测试子板各层铺铜](#) 所示：

图 3-11. LQFP128 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如[表 3-7. LQFP128 测试子板层叠信息](#)所示：

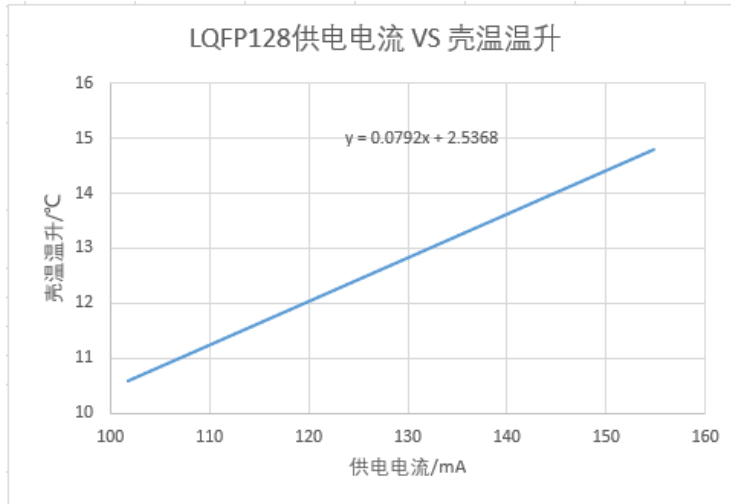
表 3-7. LQFP128 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	77 %
		铜厚	35 μm
	GND	含铜率	95 %
		铜厚	35 μm
	Power	含铜率	97 %
		铜厚	35 μm
Bottom	含铜率	84 %	
	铜厚	35 μm	

### 3.7.2. LQFP128 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 LQFP128 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如[图 3-12. LQFP128 封装供电电流与壳温温升关系](#)所示：

图 3-12. LQFP128 封装供电电流与壳温温升关系



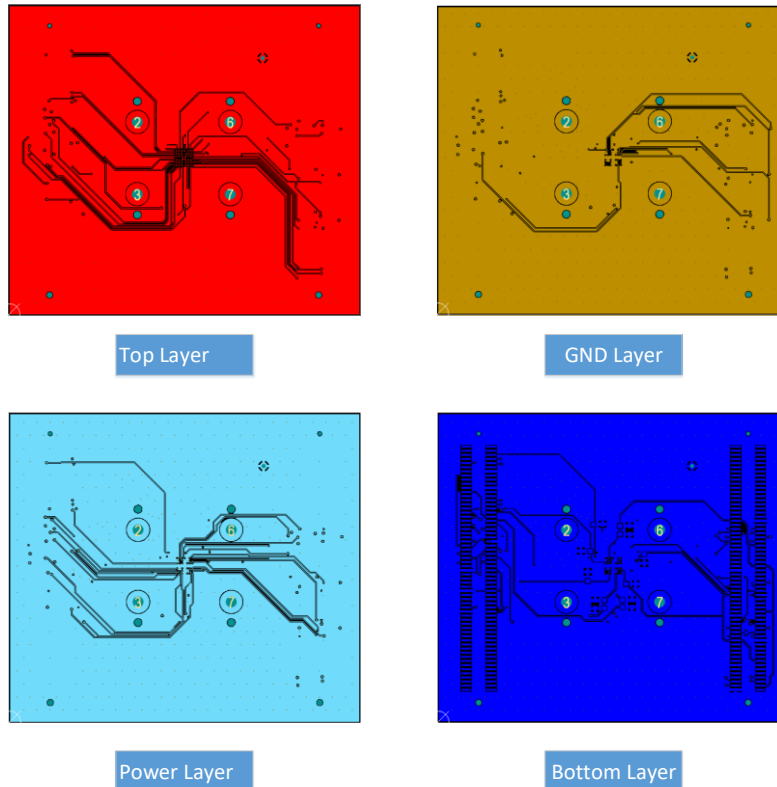
由上图可知：芯片温升随着电流变化呈正相关。

## 3.8. BGA64

### 3.8.1. BGA64 测试 PCB

BGA64 封装 GD32G553 芯片测试子板各层铺铜如[图 3-13. BGA64 封装 GD32G553 测试子板各层铺铜](#)所示：

图 3-13. BGA64 封装 GD32G553 测试子板各层铺铜



测试板层叠结构如[表 3-8. BGA64 测试子板层叠信息](#)所示：

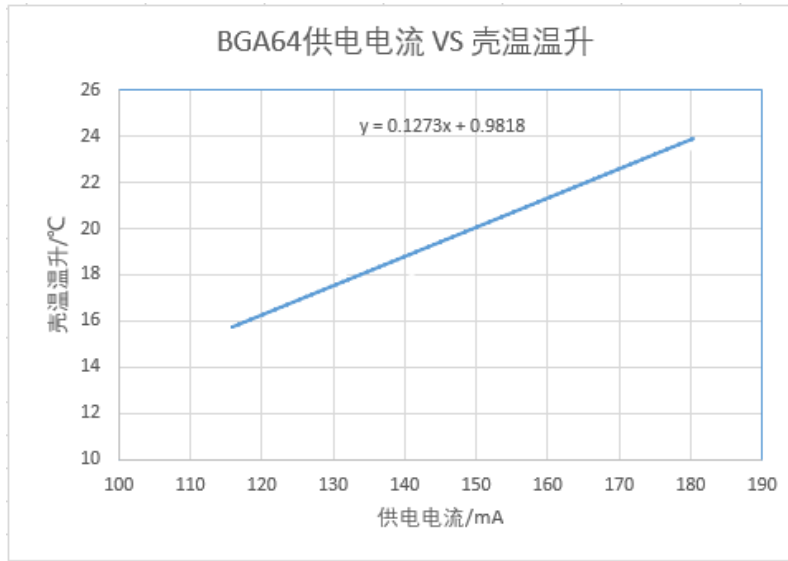
表 3-8. BGA64 测试子板层叠信息

Parameters	Descriptions		Values
PCB 面积	—		60 mm × 68 mm
PCB 材料	—		FR4
层叠	Top	含铜率	94 %
		铜厚	35 μm
	GND	含铜率	95 %
		铜厚	35 μm
	Power	含铜率	96 %
		铜厚	35 μm
Bottom	含铜率	91 %	
	铜厚	35 μm	

### 3.8.2. BGA64 功耗与温升

通过对高温环境下，芯片工作在不同主频（功耗）时壳温温升的变化，研究 BGA64 封装 GD32G553 芯片功耗（电流）与壳温温升的关系，如[图 3-14. BGA64 封装供电电流与壳温温升关系](#)所示：

图 3-14. BGA64 封装供电电流与壳温温升关系



由上图可知：芯片温升随着电流变化呈正相关。

## 4. 参考建议

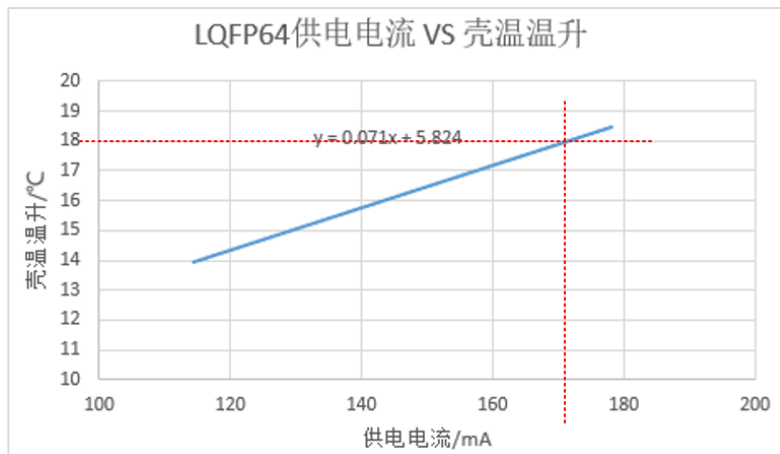
### 4.1. 功耗与温升关系参考示例

针对第 3 章中功耗电流与壳温温升关系图，以 LQFP64 封装芯片为例，进行介绍。

在 GD32G553 的芯片手册中可以看到，LQFP64 封装 GD32G553 的  $\psi_{JT}$  为  $1.1\text{ }^{\circ}\text{C}/\text{W}$ ，即芯片功耗 1 W（若 3.3V 供电，总功耗电流约 303 mA）时，芯片结温比芯片壳温高  $1.1\text{ }^{\circ}\text{C}$ 。由此可知，对芯片壳温进行适当补偿后，在一定程度上，壳温可以代替结温。

同样在 GD32G553 的芯片手册中可以看到，grade 3 芯片最高结温  $135\text{ }^{\circ}\text{C}$ 。若想知道芯片在  $117\text{ }^{\circ}\text{C}$  环温中可以运行的最大功耗（ $V_{DD} = V_{DDA} = 3.3\text{ V}$  时供电电流），可参考 [图 4-1. LQFP64 封装供电电流与壳温温升关系示例图](#)。

图 4-1. LQFP64 封装供电电流与壳温温升关系示例图



因 grade 3 芯片最高结温为  $135\text{ }^{\circ}\text{C}$ ，本文中以壳温代替结温，可知在  $117\text{ }^{\circ}\text{C}$  环温中，芯片最高壳温温升为  $18\text{ }^{\circ}\text{C}$ 。[图 4-1. LQFP64 封装供电电流与壳温温升关系示例图](#)中水平虚线指示参数为壳温温升  $18\text{ }^{\circ}\text{C}$ ，其与蓝线（供电电流与壳温温升关系）交点对应的横坐标——竖直虚线与横坐标的交点，即为环温  $117\text{ }^{\circ}\text{C}$  下，芯片可运行最大电流，约  $170\text{ mA}$ 。

若温升与电流关系曲线在 [图 4-1. LQFP64 封装供电电流与壳温温升关系示例图](#)未标出，如环温  $125\text{ }^{\circ}\text{C}$  时，大壳温温升为  $10\text{ }^{\circ}\text{C}$ 。可将温升（ $y = 10$ ）带入图中公式  $y = 0.071x + 5.824$  计算。由  $y = 10$  时  $x \approx 59$  可知，当环温为  $125\text{ }^{\circ}\text{C}$  时，芯片最大运行电流不能超过  $59\text{ mA}$ 。

### 4.2. 设计建议

为降低在使用 GD32G553 系列芯片过程中出现过热可能，有如下设计建议供参考：

- 1、PCB 保证覆铜完整的情况下，在热源附近多打散热过孔，且热源尽可能远离芯片；
- 2、尽量将发热元件置于铺铜的几何中心，有利于提高铺铜散热效果；

- 3、 靠近芯片端的 PCB 表层死铜不去除，使用多个过孔连接到地平面，增大散热面积；
- 4、 一定范围内，增加 PCB 层数与铺铜面积可改善系统散热能力。
- 5、 使能内部高精度温度传感器，实时监测  $T_J$ ，若结温超过最大限定值，采取主动降频策略以保证芯片安全；
- 6、 必要时可使用散热器、风扇、液冷管等手段对芯片进行降温以保证芯片可靠性。

**注意：**

以上建议，结合成本、电路功能和性能综合考虑后采用。

## 5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2025 年 6 月 10 日
1.1	增加 LQFP128 和 BGA64 封装的相关内容。	2025 年 12 月 16 日

## Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.