

GigaDevice Semiconductor Inc.

GD32A503 系列硬件开发指南

应用笔记

AN110

目 录

目 录	2
图索引	3
表索引	4
1. 前言	5
2. 硬件设计	6
2.1. 电源	6
2.1.1. 备份域	6
2.1.2. VDD/VDDA 电源域	6
2.1.3. 供电设计	7
2.1.4. 复位及电源管理	7
2.2. 时钟	11
2.2.1. 外部高速晶体振荡时钟 (HXTAL)	12
2.2.2. 外部低速晶体振荡时钟 (LXTAL)	14
2.2.3. 时钟输出能力 (CKOUT)	14
2.2.4. HXTAL 时钟监视器 (CKM)	14
2.2.5. LXTAL 时钟监视器 (LCKM)	15
2.3. 启动配置	15
2.4. 典型外设模块	16
2.4.1. GPIO 电路	16
2.4.2. ADC 电路	16
2.4.3. DAC 电路	17
2.4.4. 待机模式唤醒电路	18
2.5. 下载调试电路	18
2.6. 参考原理图设计	21
3. PCB 布线设计	22
3.1. 电源去耦电容	22
3.2. 时钟电路	22
3.3. 复位电路	23
4. 封装说明	24
5. 版本历史	25

图索引

图 2-1. GD32A503 系列电源域概览.....	6
图 2-2. GD32A503 系列推荐供电设计	7
图 2-3. 上电/掉电复位波形图.....	8
图 2-4. LVD 阈值波形图.....	9
图 2-5. OVD 阈值波形图	9
图 2-6. BOR 阈值波形图	10
图 2-7. RCU_RSTSCK 寄存器.....	10
图 2-8. 系统复位电路	11
图 2-9. 推荐外部复位电路	11
图 2-10. 时钟树	12
图 2-11. HXTAL 外部晶体电路.....	13
图 2-12. HXTAL 外部时钟电路.....	13
图 2-13. LXTAL 外部时钟电路	14
图 2-14. 推荐 BOOT 电路设计	15
图 2-15. 标准 IO 的基本结构	16
图 2-16. ADC 采集电路设计	17
图 2-17. 推荐待机外部唤醒引脚电路设计	18
图 2-18. 推荐 JTAG 接线参考设计	19
图 2-19. 推荐 SWD 接线参考设计	20
图 2-20. GD32A503 系列推荐参考原理图设计	21
图 3-1. 推荐电源引脚去耦布线设计.....	22
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	23
图 3-3. 推荐 NRST 布线设计	23

表索引

表 1-1. 适用产品	5
表 2-1. CKOUTSEL[2:0]控制位	14
表 2-2. BOOT 模式	15
表 2-3. $f_{ADC}=15MHz$ 采样周期与外部输入阻抗关系	17
表 2-4. DAC 相关引脚描述	17
表 2-5. JTAG 下载调试接口分配	19
表 2-6. SWD 下载调试接口分配	19
表 4-1. 封装型号说明	24
表 5-1. 版本历史	25

1. 前言

本文是专为基于Arm® Cortex®-M33架构的32位通用MCU GD32A503系列开发者提供的，对GD32A503系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32A503系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32A503系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32A503系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32A503系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32A503系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32A503系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32A503系列硬件电路设计及PCB布线设计注意事项；
7. 封装说明，主要介绍GD32A503系列所包含的封装形式及命名。

该文档也满足了基于GD32A503系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

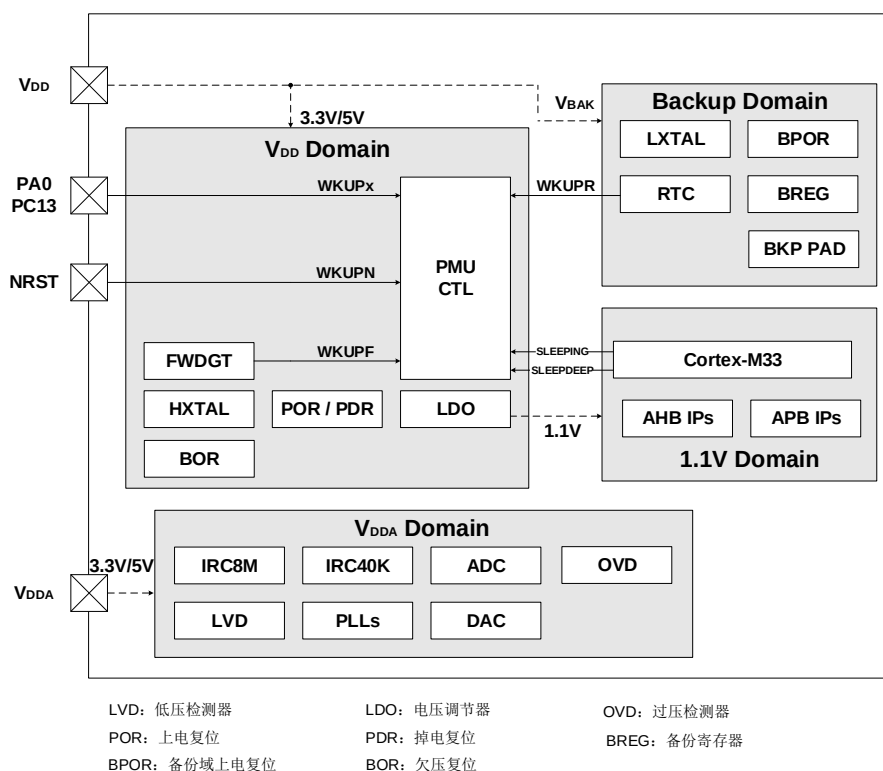
类型	型号
MCU	GD32A503xx 系列

2. 硬件设计

2.1. 电源

GD32A503系列 V_{DD}/V_{DDA} 工作电压范围为2.7 V ~ 5.5 V。如[图2-1. GD32A503系列电源域概览](#)所示，GD32A503系列设备有三个电源域，包括 V_{DD}/V_{DDA} 域，1.1 V域和备份域。 V_{DD}/V_{DDA} 域和备份域由电源直接供电，且在 V_{DD}/V_{DDA} 域中嵌入了一个LDO，用来为1.1 V域提供1.1V电源。

图 2-1. GD32A503 系列电源域概览



2.1.1. 备份域

备份域供电电压范围为2.7 V ~ 5.5 V。为了确保备份寄存器和RTC正常工作， V_{DD} 电源不可关闭，一旦 V_{DD} 电源关闭后，所有备份域数据及寄存器会复位。

注意：GD32A503系列MCU无VBAT管脚，无法使用RTC及备份域等断电后正常工作功能。

2.1.2. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA} 电源域包括 V_{DD} 域和 V_{DDA} 域两部分。如果 V_{DDA} 不等于 V_{DD} ，要求两者之间的压差不能超过300mV（芯片内部 V_{DDA} 与 V_{DD} 通过背靠背二极管连接）。为避免噪声， V_{DDA} 可通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路（单点接地，通过0Ω电阻或者磁珠等）连接至 V_{SS} 。

为了提高ADC的转换精度，为 V_{DDA} 独立供电可使模拟电路达到更好的特性。在大封装上含有专为ADC独立供电的VREFP引脚（ $2.7 \text{ V} \leq V_{REFP} \leq V_{DDA}$ ， $V_{REFN} = V_{SSA}$ ）。

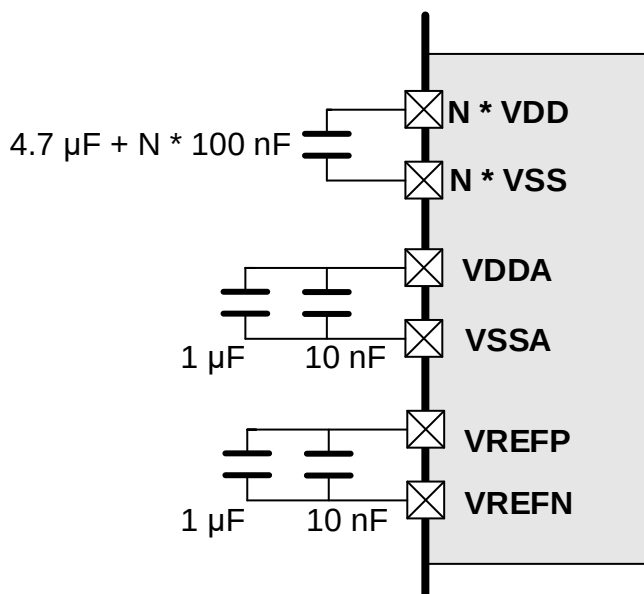
- 64及以上引脚的封装芯片含有VREFP和VREFN，VREFP可以使用外部参考电源，也可以直连至VDDA，VREFN必须连接到VSSA；
- 64及32引脚封装芯片无VREFP和VREFN，其在内部直连至VDDA，所有模拟模块均由VDDA供电（包括ADC/DAC）。

2.1.3. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD脚必须外接电容（100nF陶瓷电容+不小于4.7uF钽电容，至少一个VDD需要接不小于4.7uF电容到GND，其他VDD引脚接100nF）；
- VDDA脚必须外接电容（建议10nF+1uF陶瓷电容）；
- VREFP引脚可由内部产生也可直连至VDDA，且在VREFP引脚对地连接10nF+1uF陶瓷电容。

图 2-2. GD32A503 系列推荐供电设计



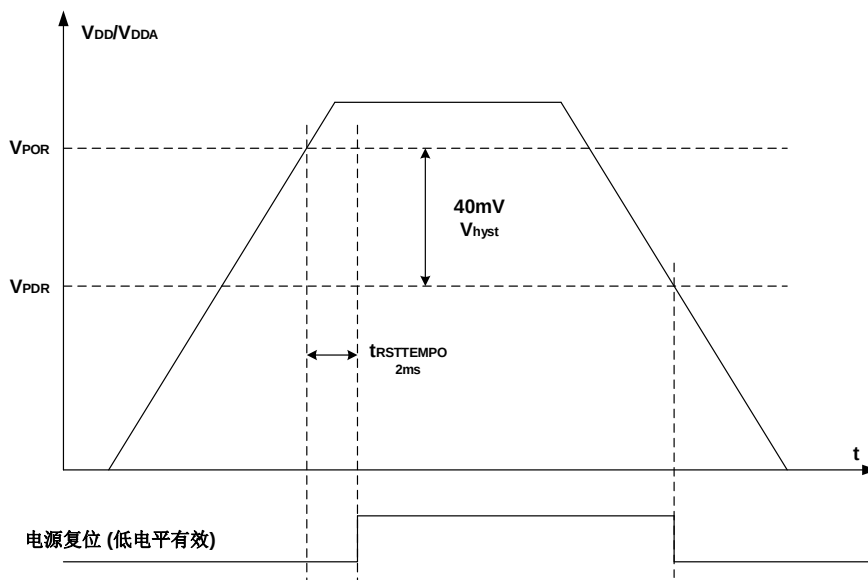
注意：所有去耦电容须靠近芯片对应引脚放置。

2.1.4. 复位及电源管理

GD32A503 系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。除了 SW-DP 控制器和备份域，系统复位将复位处理器内核和外设 IP 部分。电源和系统复位的过程中，NRST 会维持一个低电平，直至复位结束。MCU 无法执行起来时，可以通过示波器监测 NRST 管脚波形来判断芯片是否有一直发生复位事件。

芯片内部集成 POR/PDR（上电/掉电复位）电路，用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压。迟滞电压 V_{hyst} 值约为 40mV。

图2-3. 上电/掉电复位波形图



LVD的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值（2.9V ~ 4.6V），该阈值由电源控制寄存器(PMU_CTL)中的LVDT[2:0]位进行配置。LVD通过LV DEN置位使能，位于电源控制和状态寄存器(PMU_CS)中的LVDF位表示 V_{DD}/V_{DDA} 高于或低于LVD阈值电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-4. LVD阈值波形图](#)显示了 V_{DD}/V_{DDA} 供电电压和LVD输出信号的关系。（LVD中断信号依赖于EXTI第16线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为100mV。

LVD 应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里做一些保护措施，避免MCU发生其他异常。

OVD的功能是检测 V_{DD}/V_{DDA} 供电电压是否高于电压检测阈值，该阈值由电源控制寄存器(PMU_CTL)中的OVDT位进行配置。OVD通过OV DEN置位使能，位于电源控制和状态寄存器(PMU_CS)中的OVDF位表示过电压事件是否出现，该事件连接至EXTI的第24线，用户可以通过配置EXTI的第24线产生相应的中断。[图2-5. OVD阈值波形图](#)显示了 V_{DD}/V_{DDA} 供电电压和OVD输出信号的关系。（OVD中断信号依赖于EXTI第24线的上升或下降沿配置）。该图也显示了供电电压与OVD信号的关系。迟滞电压 V_{hyst} 值为25mV。

图2-4. LVD阈值波形图

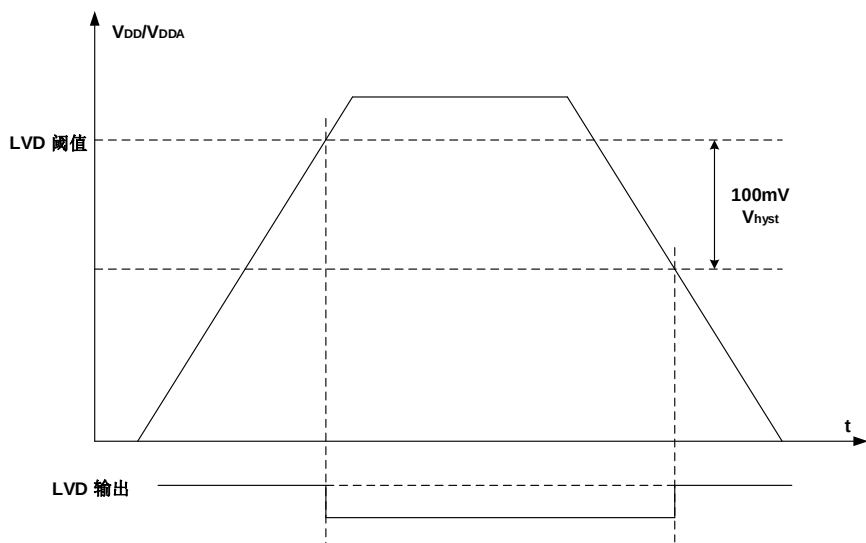
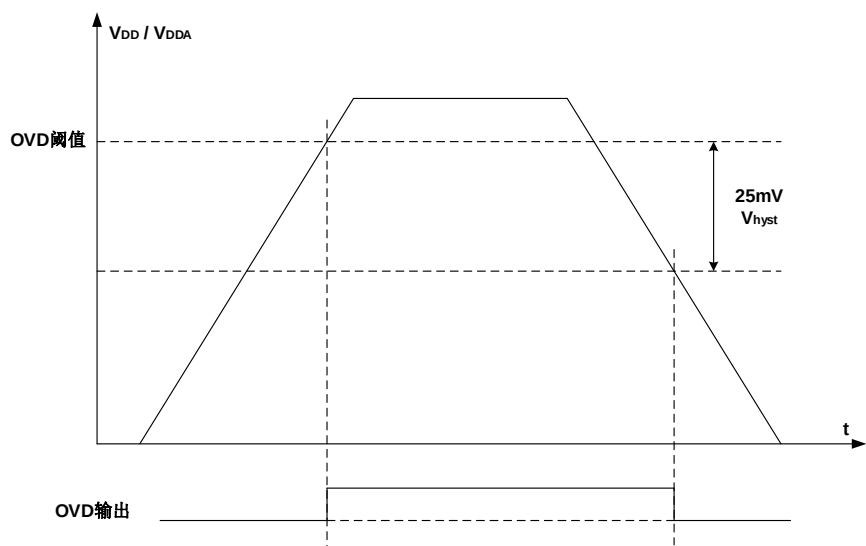
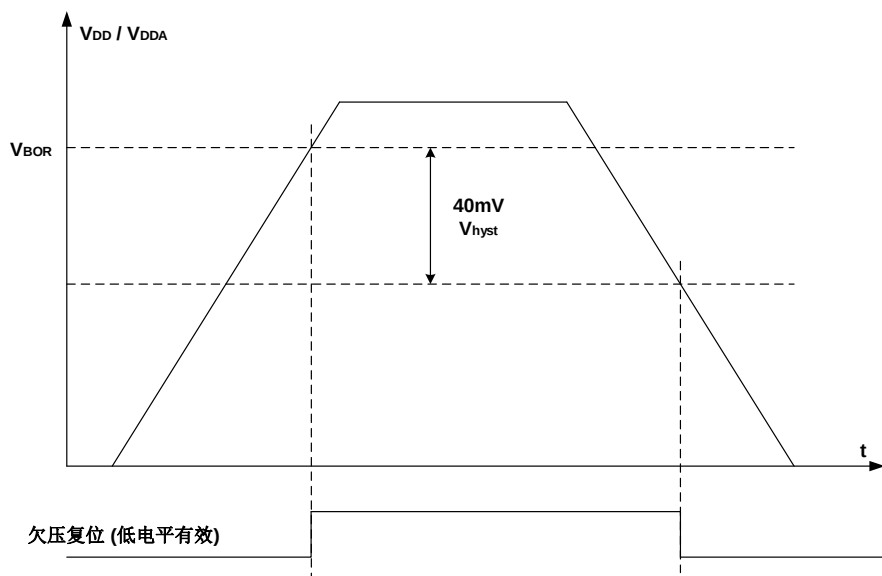


图2-5. OVD阈值波形图



GD32A503系列MCU内部还集成有BOR电路。BOR（欠压复位）电路检测 V_{DD}/V_{DDA} 并在电压低于选项字节的BOR_TH定义的阈值时产生电源复位信号复位除备份域之外的整个芯片。[图2-6. BOR阈值波形图](#)显示了供电电压和BOR复位信号之间的关系。 V_{BOR} 表示欠压复位的阈值电压，该值在选项字节BOR_TH中定义。迟滞电压 V_{hyst} 值约为 40mV 。

图2-6. BOR阈值波形图



另外，MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断。在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，这样当再次发生看门狗复位或其他复位事件时，RCU_RSTSCK寄存器就可以准确反应出复位源。

图 2-7. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP RSTF	WWDGT RSTF	FWDGT RSTF	SW RSTF	POR RSTF	EP RSTF	OBL RSTF	RSTFC	V11 RSTF	LOP RSTF	LOH RSTF	ECC RSTF	LVD RSTF	LOCKUP RSTF	BOR RSTF	保留
r	r	r	r	r	r	r	r/w	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LOPRSTE N	LOHRSTE N	ECC RSTEN	LVD RSTEN	LOCKUP RSTEN	保留								IRC40K STB	IRC40K EN
	r/w	r/w	r/w	r/w	r/w									r	r/w

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图2-8. 系统复位电路

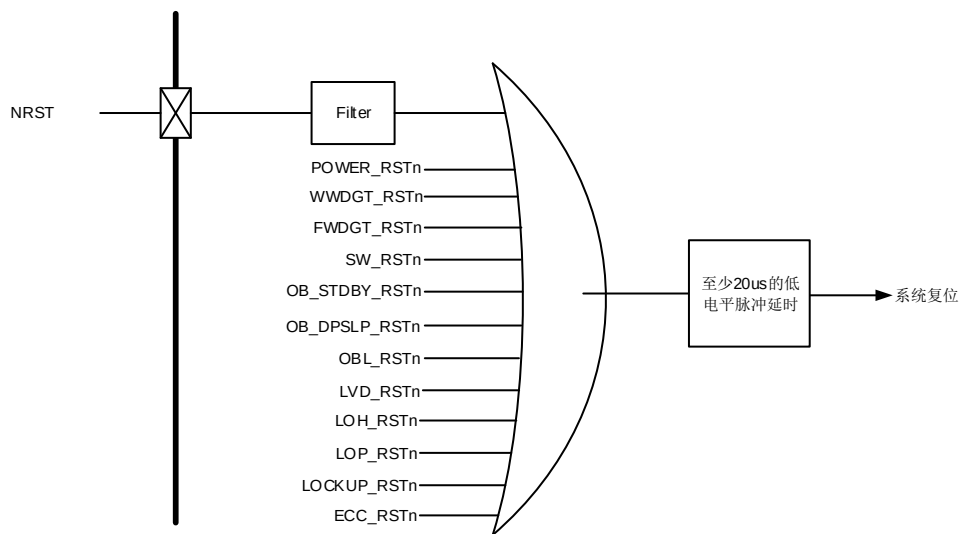
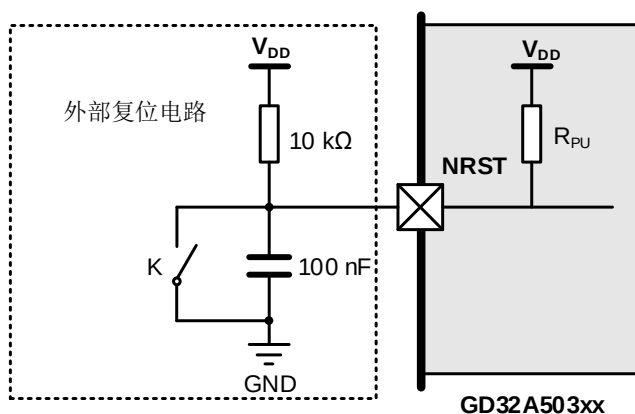


图 2-9. 推荐外部复位电路



注意：

1. 内部上拉电阻 $R_{PU} = 40k\Omega$ ，建议接外部上拉电阻 $10k\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

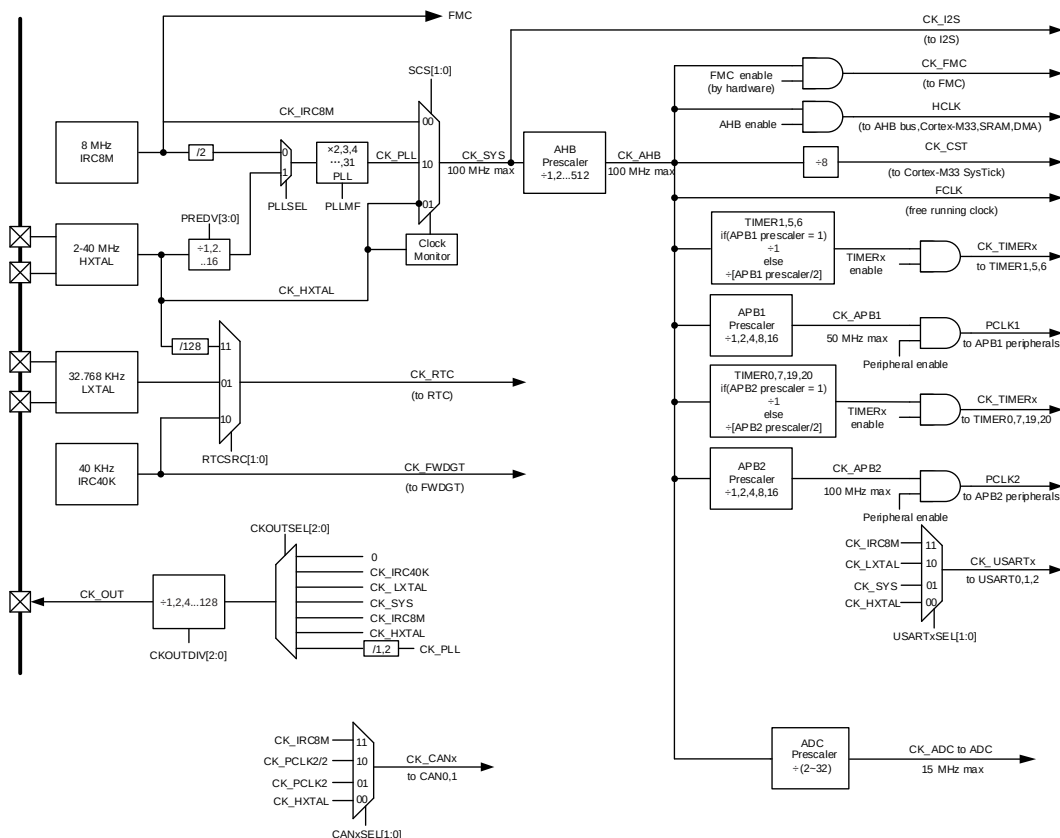
2.2. 时钟

GD32A503系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 2-40 MHz外部高速晶体振荡器（HXTAL）
- 8 MHz内部高速RC振荡器（IRC8M）

- 32.768 KHz外部低速晶体振荡器（LXTAL）
- 40 KHz内部低速RC振荡器（IRC40K）
- PLL时钟源可选HXTAL或IRC8M
- HXTAL时钟监视
- LXTAL时钟监视

图 2-10. 时钟树



2.2.1. 外部高速晶体振荡时钟（HXTAL）

2-40MHz外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源（1-50MHz有源晶振）。旁路输入时，信号接至OSCIN，OSCOOUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能RCU_CTL里的HXTALBPS位）。

图 2-11. HXTAL 外部晶体电路

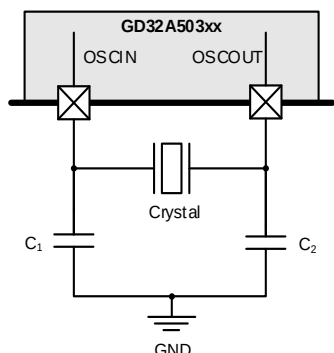
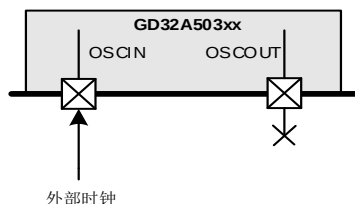


图 2-12. HXTAL 外部时钟电路

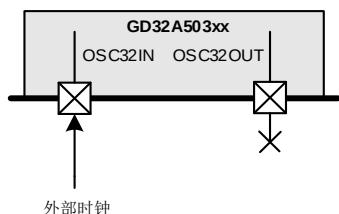
**注意：**

1. 使用旁路输入时，信号从 OSCIN 输入，OSCOUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_s)$ ，其中 C_s 为 PCB 和 MCU 引脚的杂散电容，典型值为 10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20pF 即可，且 PCB 布线时尽可能近地靠近晶振引脚；
3. C_s 为 PCB 板走线及 IC 引脚上的寄生电容，当晶体离 MCU 越近， C_s 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > IRC8M；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}。如不打开 Bypass，对有源晶振的振幅幅值要求会大大降低；
7. 谐振器与 MCU 时钟引脚连接的走线可能会应为 PCB 布局布线的空间限制导致连接到 OSCOUT 和 OSCIN 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值；
8. 当使用无源晶振时，需要通过使用控制寄存器（RCU_CTL）中的 HXTALSCAL 位选择 HXTAL 频率范围。如果 HXTAL 频率高于 8MHz，则必须将 HXTALSCAL 位置 1。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL晶体是一个32.768KHz的低速外部晶体，能够为RTC提供一个低功耗且高精度的时钟源。在这个系列中，只能使用有源晶振，此时需要开启旁路模式（LXTALBPS位为1），

图 2-13. LXTAL 外部时钟电路



注意：使用旁路输入时，信号从OSC32IN输入，OSC32OUT保持悬空状态。

2.2.3. 时钟输出能力（CKOUT）

GD32A503系列MCU可输出从32kHz到100MHz的时钟。通过设置时钟配置寄存器RCU_CFG0中的CK_OUT时钟源选择位域CKOUTSEL能够选择不同的时钟信号。相应的GPIO引脚（PC13、PC2、PA1）应该被配置成备用功能I/O(AFIO)模式来输出选择的时钟信号。

表 2-1. CKOUTSEL[2:0]控制位

时钟源选择位	时钟源
000	无时钟
001	保留
010	CK_IRC40K
011	CK_LXTAL
100	CK_SYS
101	CK_IRC8M
110	CK_HXTAL
111	CK_PLL 或 CK_PLL/2

2.2.4. HXTAL 时钟监视器（CKM）

设置时钟控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦检测到HXTAL故障，HXTAL丢失复位将产生由寄存器RCU_RSTSCK中的LOHRSTEN位决定。或者NMI中断可由SYSCFG_CFG3寄存器的CKMNMIIIE位决定。

如果CKMNMIIIE为0且LOHRSTEN为0，则将时钟中断寄存器RCU_INT中的HXTAL时钟阻塞标志位CKMIF将被置‘1’，产生HXTAL故障事件。HXTAL将被自动禁用。此故障中断连接到Arm® Cortex®-M33的不可屏蔽中断NMI。如果选择HXTAL作为CK_SYS或PLL的时钟源，则HXTAL

故障将迫使CK_SYS源为IRC8M，并且PLL将被自动禁用。

如果CKMNMIE为0且LOHRSTEN为1，则会生成HXTAL丢失复位。

2.2.5. LXTAL 时钟监视器 (LCKM)

可以通过软件在控制寄存器 (RCU_CTL) 中写入 LCKMEN 来激活 LXTAL 上的时钟监视器。在 LXTAL 和 IRC40K 使能并准备就绪之前，无法使能 LCKMEN。

当 LCKMEN 使能时，4 位加 1 计数器将在 IRC40K 域工作。如果 LXTAL 时钟卡在 0/1 错误或减慢约 20KHz，计数器将溢出。LXTAL 时钟故障将被发现。

2.3. 启动配置

GD32A503系列提供三种启动方式，可以通过BOOT0和BOOT1引脚进行选择来确定启动选项，这两个引脚的电平状态会在复位后的第四个CK_SYS（系统时钟）的上升沿进行锁存。

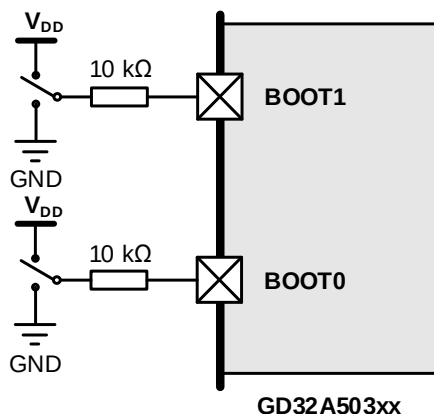
电路设计时，运行用户程序，BOOT0引脚不能悬空，建议通过一个10kΩ电阻到GND；运行System Memory进行程序更新，需要将BOOT0引脚接高，BOOT1引脚接低，更新完成后，再将BOOT0接低后上电才能运行用户程序；如果需要从SRAM启动，那么BOOT0和BOOT1引脚都需要接高。

嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。Bootloader可以通过USART0（PA10和PA11）、LIN（PA3和PA4）或CAN0（PB13和PB14）和外界交互。

表 2-2. BOOT 模式

BOOT 模式	BOOT1	BOOT0
主 FLASH 存储器	X	0
系统存储器	0	1
片上 SRAM	1	1

图 2-14. 推荐 BOOT 电路设计



注意：

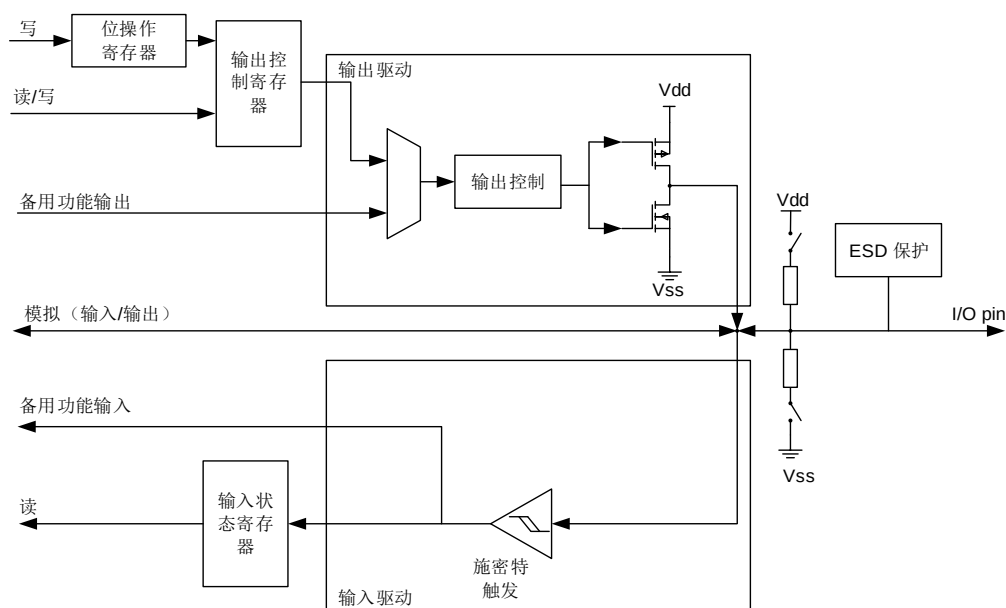
1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT引脚状态被采样到，它们可以被释放用于其他用途。

2.4. 典型外设模块

2.4.1. GPIO 电路

GD32A503系列最多可支持88个通用I/O引脚（GPIO），分别为PA0 ~ PA15，PB0 ~ PB15，PC0 ~ PC15，PD0 ~ PD15，PE0 ~ PE15，PF0 ~ PF7；每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-15. 标准 IO 的基本结构



注意：

1. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
2. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
3. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式。

2.4.2. ADC 电路

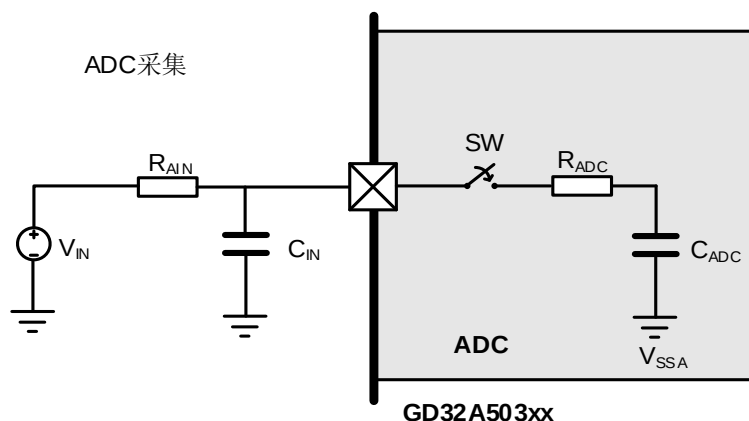
GD32A503系列内部集成了一个12位的SAR ADC，它有多达18个通道，可测量16个外部和2个内部信号源。内部信号为温度传感器通道(ADC_IN16)和内部参考电压输入通道(ADC_IN17)。

温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压V_{REFINT}提供了一个稳定的电压输出(1.2V)给到ADC。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部 V_{REFINT} 进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500pF的小电容即可。

图 2-16. ADC 采集电路设计



$f_{ADC} = 15\text{MHz}$ 时，输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-3. $f_{ADC}=15\text{MHz}$ 采样周期与外部输入阻抗关系

T_s (cycles)	t_s (us)	$R_{AIN\ max}$ (K Ω)
2.5	0.17	1.4
14.5	0.97	10.5
27.5	1.83	20.5
55.5	3.7	41.8
83.5	5.57	63.2
111.5	7.43	84.6
143.5	9.57	109
479.5	31.97	365.5

2.4.3. DAC 电路

GD32A503系列MCU的数字/模拟转换器可以将12位的数字数据转换为外部引脚上的电压输出。数据可以采用8位或12位模式，左对齐或右对齐模式。当使能了外部触发，DMA可被用于更新输入端数字数据。在输出电压时，可以利用使能DAC输出缓冲区来获得更高的驱动能力。

表2-4. DAC相关引脚描述

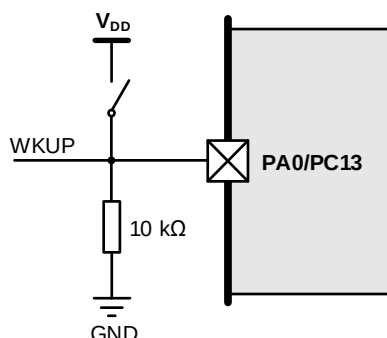
名称	描述	信号类型
V_{DDA}	模拟电源	输入，模拟电源
V_{SSA}	模拟电源地	输入，模拟电源地
V_{REFP}	DAC 正参考电压， $2.7V \leq V_{REFP} \leq V_{DDA}$	输入，模拟正参考电压
DAC_OUTx	DAC 模拟输出	模拟输出信号

在使能DAC模块前，GPIO口（PA7对应DAC_OUT）应配置为模拟模式。

2.4.4. 待机模式唤醒电路

GD32A503系列支持三种省电模式，包括睡眠模式，深度睡眠模式和待机模式。其中功耗最低的是待机模式，此低功耗模式需要的唤醒时间也是最长的。待机模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPEN0/ WUPEN1位即可。对应WKUP唤醒引脚参考电路设计如下：

图 2-17. 推荐待机外部唤醒引脚电路设计



注意：

1. 该模式在电路设计时需要注意，WKUP引脚至VDD间如果有串电阻，可能会增加额外的功耗；
2. 如果WUPEN0位在进入待机模式之前置1，那么PA0的上升沿会将系统从待机模式唤醒。置位WUPEN0后，PA0内部被配置为输入下拉模式。当PA0输入已经为高的时候置位WUPEN0，将会导致WUF位置位。其他WKUP位同理，具体可参考用户手册。

2.5. 下载调试电路

GD32A503系列内核支持JTAG调试接口与SWD调试接口。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。JTAG时钟引脚（JTCK），JTAG模式选择引脚（JTMS），JTAG数据输入引脚（JTDI），JTAG数据输出引脚（JTDO），JTAG复位引脚（NJTRST，低电平有效）。串行调试（SWD）提供两个引脚的接口：数据输入输出引脚（SWDIO）和时钟引脚（SWCLK）。SW调试接口的两个引脚与JTAG调试接口的两个引脚复用，SWDIO和JTMS复用，SWCLK和JTCK复用。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

- PB7: JTDI为上拉模式；
- PB8: JTCK / SWCLK为下拉模式；
- PB9: JTMS / SWDIO为上拉模式；
- PB3: NJTRST为上拉模式；
- PB4: JTDO为浮空模式。

表 2-5. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PB9
JTCK	PB8
JTDI	PB7
JTDO	PB4
NJTRST	PB3

图 2-18. 推荐 JTAG 接线参考设计

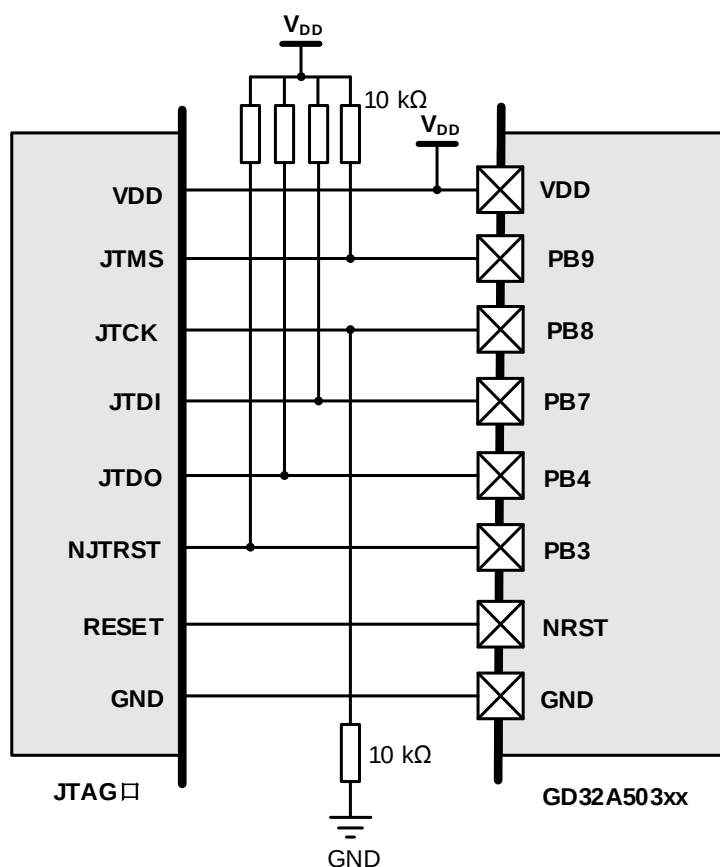
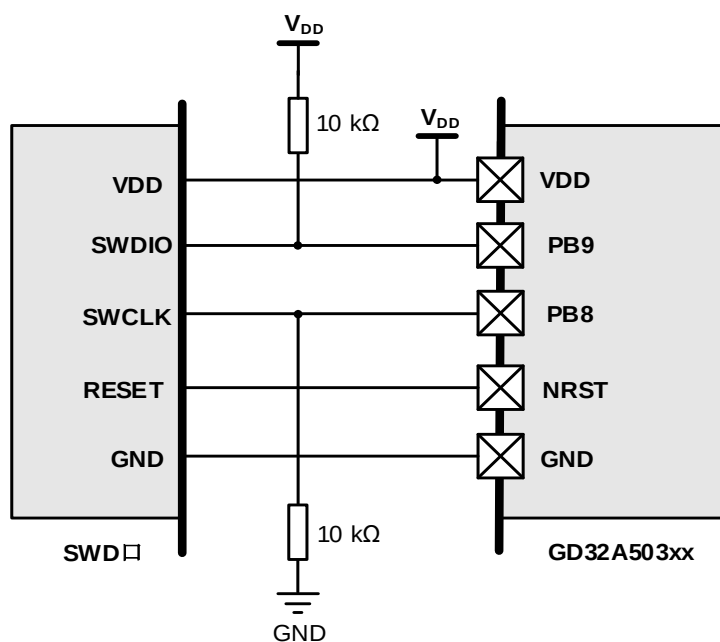


表 2-6. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PB9
SWCLK	PB8

图 2-19. 推荐 SWD 接线参考设计

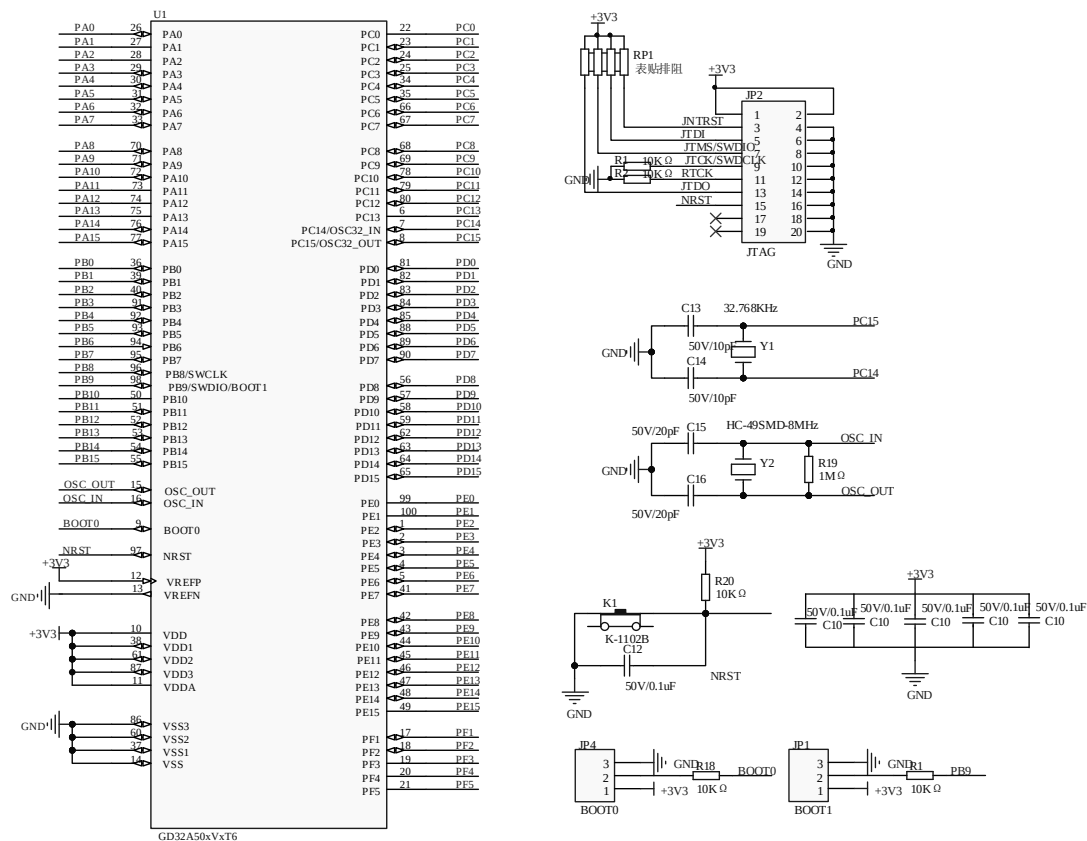


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1KΩ电阻。

2.6. 参考原理图设计

图 2-20. GD32A503 系列推荐参考原理图设计



3. PCB 布线设计

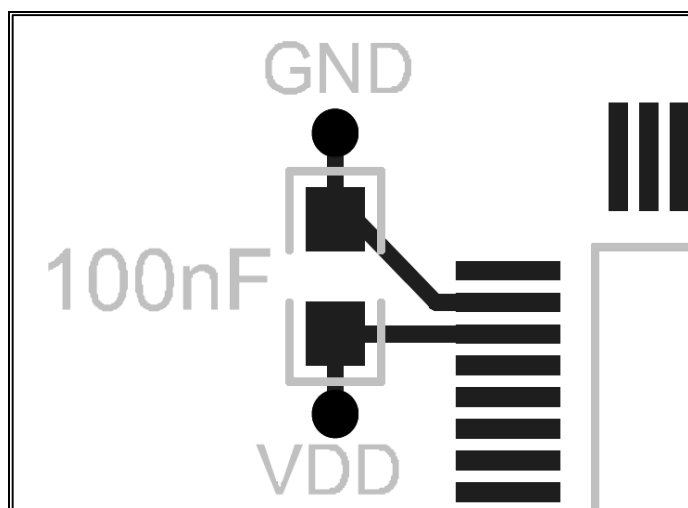
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB布线上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32A503系列电源有VDD、VDDA、VREF等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容焊盘处打过孔的形式布线。

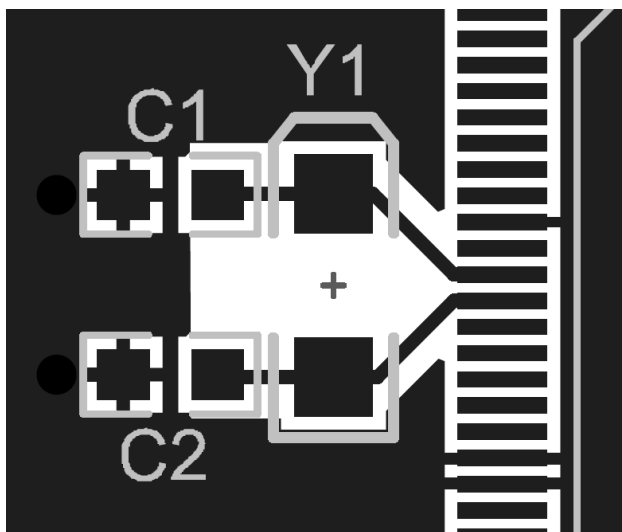
图 3-1. 推荐电源引脚去耦布线设计



3.2. 时钟电路

当使用HXTAL（无源晶振）作为GD32A503系列时钟源时，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



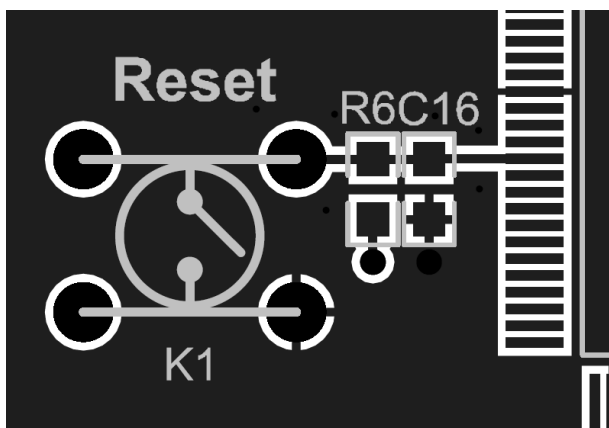
注意：

1. 晶体尽量靠近 MCU 时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与 MCU 在同层，走线尽量不要穿层；
3. 时钟电路 PCB 区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST 走线 PCB 布线参考如下：

图 3-3. 推荐 NRST 布线设计



注意：复位电路阻容等尽可能地靠近 MCU NRST 引脚，且 NRST 走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将 NRST 走线做包地处理，以起到更好的屏蔽效果。

4. 封装说明

GD32A503系列共有4种封装形式，分别为LQFP100、LQFP64、LQFP48和QFN32。

表 4-1. 封装型号说明

产品型号	封装
GD32A503VxT6	LQFP100(14x14, 0.5pitch)
GD32A503RxT6	LQFP64(10x10, 0.5pitch)
GD32A503CxT6	LQFP48(7x7, 0.8pitch)
GD32A503KxQ6	QFN32(5x5, 0.5pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2023 年 04 月 07 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.